

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

100 484

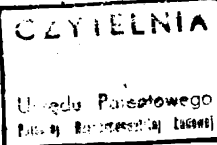
Patent dodatkowy
do patentu _____

Zgłoszono: 26.11.74 (P.175955)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 19.06.76

Opis patentowy opublikowano: 15.02.1979



Int. Cl.² H03B 19/00

Twórcy wynalazku: Živko Subotić, Jerzy Kurpiewski

Uprawniony z patentu: Przemysłowy Instytut Telekomunikacji,
Warszawa (Polska)

Cyfrowy syntetyzer częstotliwości

Przedmiotem wynalazku jest cyfrowy syntetyzer częstotliwości umożliwiający zmianę częstotliwości syntetyzowanej przy zadanym współczynniku podziału N cyfrowego dzielnika nastawnego syntetyzera.

Znane syntetyzery cyfrowe realizujące algorytm syntezy według wzoru $f = N/T_0$ charakteryzują się tym, że proces syntezy zachodzi w układzie pętli fazowej automatycznej regulacji częstotliwości FARCz. Zmianę częstotliwości znanego syntetyzera realizuje się poprzez zmianę współczynnika N . Syntetyzery te są złożone z kwarcowego generatora odniesienia, którego częstotliwość jest dzielona w cyfrowym dzielniku stałym i po podziale przykładana do jednego z wejść detektora fazowego. Okres powtarzania tak ukształtowanych impulsów wynosi T_0 . Do drugiego wejścia detektora fazowego przykładany jest ciąg impulsów, który został wytworzony w cyfrowym dzielniku nastawnym o nastawianym współczynniku podziału N w wyniku podziału częstotliwości sygnału generatora wyjściowego, którego wyjście zostało przyłączone poprzez układy formujące do wejścia cyfrowego dzielnika nastawnego. W detektorze fazowym tych znanych syntetyzerów nieustannie porównuje się okres zliczania wytworzony w cyfrowym dzielniku nastawnym w wyniku zliczania N impulsów z generatora wyjściowego z okresem powtarzania T_0 . W wyniku porównania na wyjściu detektora fazowego wytwarza się napięcie błędu, które tak reguluje częstotliwość generatora wyjściowego, że algorytm syntezy jest spełniony w stanie utrzymywania FARCz. W tym stanie okres zliczania N impulsów jest równy okresowi powtarzania T_0 .

Algorytm $f = N/T_0$ został zdefiniowany w założeniu, że łączny czas propagacji N impulsów w cyfrowym dzielniku nastawnym znanych syntetyzerów cyfrowych jest pomijalnie mały w stosunku do okresu sygnału wyjściowego syntetyzera. Gdy jednak łączny czas propagacji N impulsów wzrośnie ponad pewną wartość progową wskutek np. zwiększenia pojemności cyfrowego dzielnika nastawnego w górnych zakresach częstotliwości syntetyzera, wówczas pętla FARCz nie jest w stanie pokonać w ten sposób powstającego opóźnienia wydłużającego okres zliczania. Występuje wtedy zjawisko pasożytniczej modulacji częstotliwości sygnału wyjściowego, istotnie zmniejszające stabilność częstotliwości syntetyzowanych. Przy dalszym wzroście opóźnienia zostaje naruszony sam proces syntezy i przestaje być spełniany algorytm $f = N/T_0$. Z tego właśnie powodu

wszystkie dotychczas znane syntetyzery cyfrowe są tak rozwiązywane, że szkodliwego wpływu czasu propagacji N impulsów w cyfrowych dzielnikach nastawnych unika się kosztem obniżenia górnych częstotliwości syntetyzowanych, w stosunku do częstotliwości granicznych stosowanych układów scalonych, oraz zmniejszenia pojemności dzielników. Podwyższenie tych parametrów następuje tylko poprzez stosowanie cyfrowych układów scalonych o coraz wyższych częstotliwościach granicznych. W ten sposób istniejącego zjawiska opóźnienia w znanych syntetyzerach generalnie się nie eliminuje, lecz tylko kosztem szybszych i droższych układów scalonych przesuwając w coraz wyższe zakresy częstotliwości. Poza tym w znanych syntetyzerach cyfrowy dzielnik nastawny wymaga zastosowania złożonych układów rozpoznawania stanów umożliwiających prawidłowe nastawianie współczynnika N , który jest nastawiany za pomocą przełączników dekadowych. O wiele bardziej funkcjonalnie byłoby nastawianie żądanej częstotliwości za pomocą jednego organu regulacyjnego.

Podobnie przedstawia się sprawa programowania pracy tych syntetyzerów. Dla zrealizowania np. procesu wobulacji cyfrowej w sposób bezpośredni, musiałoby być zastosowane bardzo złożone układy sterowania cyfrowego dzielnika nastawnego.

Celem wynalazku jest zbudowanie syntetyzera cyfrowego umożliwiającego łatwiejsze nastawianie i programowanie syntetyzowanych częstotliwości, prostszą wobulacją dyskretną i możliwie maksymalne zbliżenie górnych częstotliwości syntetyzowanych do maksymalnych częstotliwości granicznych cyfrowych układów scalonych wchodzących w skład cyfrowych dzielników nastawnych syntetyzerów. Cel ten został osiągnięty poprzez opracowanie bloku regulacji ciągu impulsów zliczonych, oddziałującego na proces zliczania w cyfrowym dzielniku nastawnym syntetyzera. Blok ten, w skład którego wchodzi również cyfrowy dzielnik nastawny, jest włączany do znanej struktury syntetyzera cyfrowego w ten sposób, że jego wejście połączone jest z wyjściem układu formowania impulsów częstotliwości syntetyzowanych, a wyjście tego bloku połączone jest z drugim wejściem detektora fazowego.

Istota niniejszego wynalazku polega tu mianowicie na tym, że w wymienionym bloku regulacji ciągu impulsów zliczanych oprócz wspomnianego już cyfrowego dzielnika nastawnego zastosowano ponadto multiwibrator jednostabilny, oraz układ rozdziału impulsów wyposażony w przełącznik programujący rodzaj pracy całości bloku, które to układy współpracując ze sobą sterują pracą układu sterowania, sterującego z kolei cyfrowy dzielnik nastawny, przy czym w jednym rozwiązaniu bloku regulacji ciągu impulsów zliczanych układ sterujący cyfrowy dzielnik nastawczy jest zasilany sumą impulsów, doprowadzanych z układu kształtowania impulsów, oraz poprzez układ rozdziału impulsów z dodatkowego układu kształtowania i przesuwania impulsów, dzięki czemu umożliwiona jest praca syntetyzera na większych częstotliwościach, natomiast w rozwiązaniu drugim bloku regulacji ciągu impulsów zliczanych blok ten jest wyposażony tylko w jeden układ kształtowania impulsów, doprowadzanych do układu sterującego cyfrowy dzielnik nastawczy, co wystarcza do pracy syntetyzera, w którym synteza częstotliwości następuje przy obniżonych częstotliwościach syntetyzowanych.

W tak opracowanym bloku regulacji ciągu impulsów zliczanych w zależności od wielkości stałej czasowej RC w multiwibratorze jednostabilnym stanowiącym jeden z układów tego bloku powstaje impuls o regulowanej szerokości, który po przejściu przez układy logiczne bloku regulacji ciągu impulsów zliczanych, na okres swego trwania zamyka dopływ impulsów zliczanych, do cyfrowego dzielnika nastawnego lub w tym czasie umożliwia wstrzykiwanie dodatkowej porcji impulsów do w/w dzielnika.

W syntetyzerze cyfrowym według wynalazku następuje proces syntezy według nowego algorytmu

$$f_1 = \frac{N}{T_0} \cdot g(\sigma) \quad (1)$$

gdzie $g(\sigma)$ charakteryzuje funkcję rządzącą zmianami procesu zliczania w cyfrowym dzielniku nastawnym syntetyzera.

W zależności od ustawiania przełącznika rodzaju pracy stanowiącego element układu programującego w bloku regulacji ciągu impulsów zliczanych nowa częstotliwość syntetyzowana f_1 jest mniejsza, lub większa od f , gdzie $f = N/T_0$. Przy pomocy regulacji wielkości stałej czasowej układu RC multiwibratora jednostabilnego (np. przy pomocy potencjometru zmieniającego rezystancję R), nie zmieniając stanu nastawienia dekad w cyfrowym dzielniku nastawnym, czyli współczynnika N , nie rozwierając pętli FARC z syntetyzera w trakcie regulacji, uzyskuje się zmianę częstotliwości syntetyzowanej, która wzrasta lub maleje skokami równymi krokowi syntezy. Przy zaprogramowaniu zmian rezystancji można zrealizować proces wobulacji cyfrowej, przy czym każdorazowo syntetyzowana częstotliwość w takt zmian rezystancji R , będzie posiadać stabilność nadaną przez proces syntezy.

Wynalazek umożliwia uzyskanie następujących korzyści technicznych wynikających z jego zastosowania:

— zbudowanie nowej odmiany syntetyzerów cyfrowych, w których funkcja nastawiania żądanej częstotliwości syntetyzowanej jest realizowana przy współdziałaniu uproszczonego cyfrowego dzielnika nastawnego z blokiem regulacji ciągu impulsów zliczanych, bez konieczności posługiwania się przełącznikami dekadowymi. Tak np. w odbiornikach radiowych wysokiej klasy z cyfrowym odczytem częstotliwości nastawianej stacji

syntetyzery cyfrowe stosowane jako heterodyny dla zakresu UKF przestrajane są za pomocą zespołu 10 klawiszy dla dziesięciu cyfr. Tymczasem syntetyzer cyfrowy według wynalazku z częstotliwością zmienianą za pomocą bloku regulacji impulsów zliczanych może być zastosowany w każdym odbiorniku wyższej klasy dla każdego zakresu fal AM, lub FM; umożliwia on bowiem płynne przestrajanie odbiornika z zachowaniem jego skali, napisów i napędu do skali.

— cyfrowy syntetyzer według wynalazku pozwala niezależnie od możliwości odczytu cyfrowego częstotliwości nastawionej stacji na zbudowanie nowej odmiany dyskretnych wobulatorów cyfrowych, lub syntetyzerów cyfrowych z uproszczonymi układami programowania a ponadto na podwyższenie górnej częstotliwości granicznej syntetyzowanych częstotliwości bez stosowania droższych cyfrowych układów scalonych.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia w postaci ogólnej schemat modelu funkcjonalnego jednego rozwiązania syntetyzera cyfrowego częstotliwości nastawianej za pomocą bloku regulacji ciągu impulsów zliczanych, natomiast fig. 2 przedstawia drugie rozwiązanie.

Jak pokazano na fig. 1 cyfrowy syntetyzer częstotliwości według pierwszego rozwiązania składa się z generatora częstotliwości syntetyzowanych G , z generatora częstotliwości odniesienia G_k , z cyfrowego dzielnika częstotliwości DL_0 o stałym stosunku podziału, z układu formowania impulsów UF , z detektora fazy DF oraz z bloku regulacji ciągów impulsów zliczanych BRC , które to układy połączone są w ten sposób, że generator częstotliwości odniesienia G_k połączony jest poprzez dzielnik cyfrowy DL_0 o stałym stosunku podziału częstotliwości z jednym wejściem detektora fazy DF , którego wyjście połączone jest z generatorem częstotliwości syntetyzowanych G , natomiast drugie wejście detektora fazy DF połączone jest poprzez blok regulacji ciągów impulsów zliczanych BRC z wyjściem układu formującego impulsy UF , którego wejście połączone jest z wyjściem WY generatora częstotliwości syntetyzowanych G . Wymieniony wyżej blok regulacji ciągów impulsów zliczanych BRC składa się z cyfrowego dzielnika nastawnego DCN , układu multiwibratora jednostabilnego MJ , układu rozdziału impulsów URC i układu sterującego US , połączonych ze sobą szeregowo w obwód zamknięty, z tym, że do drugiego wejścia układu sterującego US dołączony jest swym wyjściem układ kształtowania impulsów UK , zaś do drugiego wejścia układu rozdziału impulsów URC dołączony jest swym wyjściem układ kształtowania i przesuwania impulsów UKP , przy czym wejścia obu układów UK i UKP są połączone ze sobą i z wyjściem układu UF formowania impulsów częstotliwości syntetyzowanych, natomiast wyjście cyfrowego dzielnika nastawnego DCN , niezależnie od połączenia go z wejściem układu multiwibratora jednostabilnego MJ , jest dołączone do drugiego wejścia detektora fazy DF .

Cyfrowy syntetyzer częstotliwości według drugiego rozwiązania, uwidocznionego na fig. 2, składa się również z generatora częstotliwości syntetyzowanych G , z generatora częstotliwości odniesienia G_k z cyfrowego dzielnika częstotliwości DL_0 o stałym stosunku podziału, z układu formowania impulsów UF , z detektora fazy DF oraz z bloku regulacji ciągów impulsów zliczanych BRC , które to układy połączone są tak, że generator częstotliwości odniesienia G_k połączony jest poprzez dzielnik cyfrowy DL_0 o stałym stosunku podziału częstotliwości z jednym wejściem detektora fazy DF , którego wyjście połączone jest z generatorem częstotliwości syntetyzowanych G , oraz którego drugie wejście połączone jest poprzez blok regulacji ciągów impulsów zliczanych BRC z wyjściem układu formującego impulsy UF , którego wejście połączone jest z wyjściem WY generatora częstotliwości syntetyzowanych G .

Blok regulacji ciągów impulsów zliczanych BRC cyfrowego syntetyzera częstotliwości według drugiego rozwiązania składa się z cyfrowego dzielnika nastawnego DCN , układu multiwibratora jednostabilnego MJ , układu rozdziału impulsów URC , układu sterującego US połączonych ze sobą szeregowo w obwód zamknięty z tym, że do drugiego wejścia układu sterującego US dołączony jest swym wyjściem jedyny zastosowany w bloku regulacji ciągów impulsów zliczanych — układ kształtowania impulsów UK o wejściu połączonym z wyjściem układu UF formowania impulsów częstotliwości syntetyzowanych.

Wyjście cyfrowego dzielnika nastawnego DCN oraz wejście układu multiwibratora jednostabilnego MJ połączone są ze sobą i stanowią wyjście bloku, dołączone do drugiego wejścia detektora fazy DF .

Działanie cyfrowych syntetyzerów częstotliwości według rozwiązania pierwszego i drugiego przedstawia się w sposób następujący.

Rodzaj pracy bloku regulacji ciągu impulsów BRC wybiera się za pomocą przełącznika programującego znajdującego się w układzie rozdziału impulsów URC aktywizującego odpowiednie obwody układów URC i US za pomocą napięć stałych wytwarzających odpowiednie poziomy logiczne.

Zastosowany w układzie URC przełącznik posiada trzy położenia:

W pierwszym położeniu przełącznika układ sterujący US przepuszcza do układu DCN ciąg impulsów w wyjścia układu UF w przedziale czasowym $T_0 - \sigma$ oraz w przedziale czasowym σ — ciąg impulsów o dwukrotnie wyższej częstotliwości stanowiący sumę impulsów z układów UK i UKP , pokazanych na fig. 1. Oznacza to,

że w pierwszym cyklu zliczania układ DCN zliczy więcej niż N impulsów w czasie T_0 i mechanizm pętli FARCz zadziała w odwrotnym kierunku. Wówczas częstotliwość $f_1 < f$ może być regulowana poprzez pętlę sprzężenia zwrotnego.

W drugim położeniu przełącznika układ sterujący US przepuszcza do układu DCN ciąg impulsów, jak to wynika ze schematu blokowego na fig. 2, tylko z układu UK w przedziale czasowym $T_0 - \sigma$; w przedziale σ układ sterujący US jest zablokowany. Ponieważ czas trwania $\sigma > 1/T$ w pierwszym cyklu zliczania cyfrowy dzielnik nastawny DCN zliczy mniej impulsów, wobec tego mechanizm działania pętli FARCz syntetyzera spowoduje wzrost częstotliwości, tak, że cyfrowy dzielnik nastawny DCN w czasie $T_0 - \sigma$ zliczy N impulsów. Oznacza to, że na wyjściu syntetyzera zjawi się nowa częstotliwość $f_1 > f$, której wielkość można regulować w takt kroku syntezy, zmieniając wielkość stałej czasowej RC w układzie multiwibratora MJ.

W trzecim położeniu przełącznika obwodu programującego układ sterujący US przepuszcza do cyfrowego dzielnika nastawnego DCN tylko ciąg impulsów z układu UK i synteza następuje według ogólnie znanego algorytmu, czyli $f_1 = f = N/T_0$.

Zastrzeżenia patentowe

1. Cyfrowy syntetyzer częstotliwości, w skład którego wchodzi: generator częstotliwości syntetyzowanych, generator częstotliwości odniesienia, cyfrowy dzielnik częstotliwości o stałym stosunku podziału, układ formowania impulsów oraz detektor fazy, połączone w ten sposób, że generator częstotliwości odniesienia połączony jest poprzez dzielnik cyfrowy o stałym stosunku podziału częstotliwości z detektorem fazy, którego wyjście połączone jest z generatorem częstotliwości syntetyzowanych oraz którego drugie wejście połączone jest przy pomocy układu sprzężenia zwrotnego, zawierającego układ formowania impulsów z wyjściem generatora częstotliwości syntetyzowanych, z n a m i e n n y t y m, że jest on zaopatrzony w blok regulacji ciągów impulsów zliczonych (BRC) składający się z cyfrowego dzielnika nastawnego (DCN), układu multiwibratora jednostabilnego (MJ) układu rozdziału impulsów (URC) i układu sterującego (US), połączonych ze sobą szeregowo w obwód zamknięty, z tym, że do drugiego wejścia układu sterującego (US) dołączony jest swym wyjściem układ kształtowania impulsów (UK), zaś do drugiego wejścia układu (URC) dołączony jest swym wyjściem układ kształtowania i przesuwania impulsów (UKP), przy czym wejścia tych układów (UK i UKP) są połączone ze sobą i z wyjściem układu (UF) formowania impulsów częstotliwości syntetyzowanych, natomiast wyjście cyfrowego dzielnika nastawnego (DCN), niezależnie od połączenia go z wejściem układu (MJ), jest dołączone do drugiego wejścia detektora fazy (DF).

2. Cyfrowy syntetyzer częstotliwości, w skład którego wchodzi: generator częstotliwości syntetyzowanych, generator częstotliwości odniesienia, cyfrowy dzielnik częstotliwości o stałym stosunku podziału, układ formowania impulsów oraz detektor fazy, połączone w ten sposób, że generator częstotliwości odniesienia połączony jest poprzez dzielnik cyfrowy o stałym stosunku podziału częstotliwości z detektorem fazy, którego wyjście połączone jest z generatorem częstotliwości syntetyzowanych oraz którego drugie wejście połączone jest przy pomocy układu sprzężenia zwrotnego, zawierającego układ formowania impulsów z wyjściem generatora częstotliwości syntetyzowanych, z n a m i e n n y t y m, że jest on wyposażony w blok regulacji ciągów impulsów zliczanych (BRC), składający się z cyfrowego dzielnika nastawnego (DCN), układu multiwibratora jednostabilnego (MJ), układu rozdziału impulsów (URC) oraz układu sterującego (US) połączonych ze sobą szeregowo w obwód zamknięty, z tym, że do drugiego wejścia układu sterującego (US) dołączony jest swym wyjściem układ kształtowania impulsów (UK) o wejściu połączonym z wyjściem układu (UF) formowania impulsów częstotliwości syntetyzowanych, natomiast wyjście cyfrowego dzielnika nastawnego (DCN) oraz wejście układu multiwibratora jednostabilnego (MJ) połączone są z drugim wejściem detektora fazy (DF).

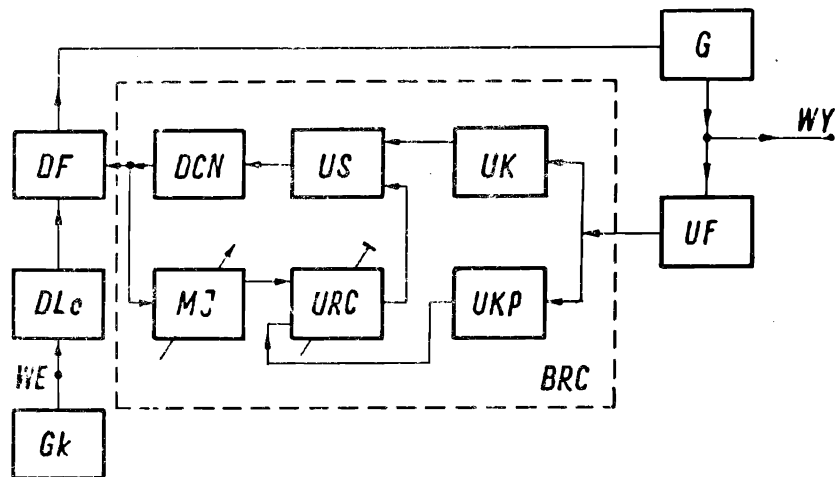


Fig. 1

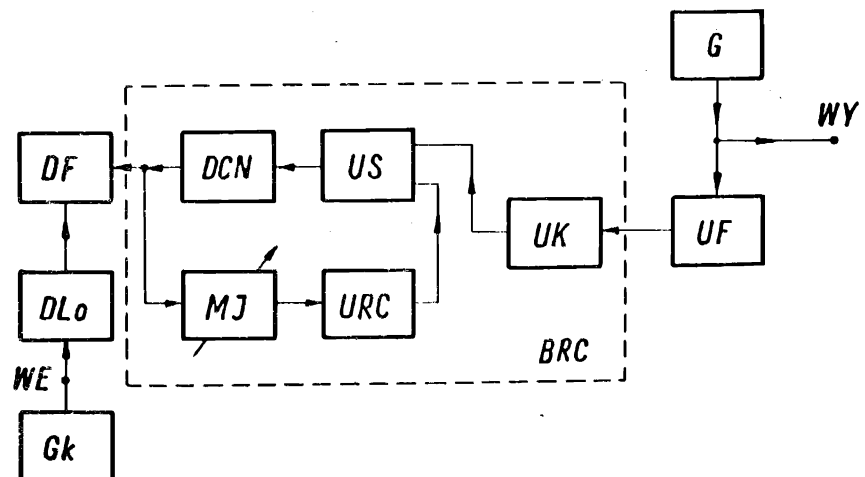


Fig. 2