

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G11C 29/00	(45) 공고일자 1999년 10월 01일	(11) 등록번호 10-0222046
(21) 출원번호 10-1996-0069172	(24) 등록일자 1999년 07월 01일	(65) 공개번호 특 1998-0050368
(22) 출원일자 1996년 12월 20일	(43) 공개일자 1998년 09월 15일	

(73) 특허권자	삼성전자주식회사	윤종용
(72) 발명자	경기도 수원시 팔달구 매탄3동 416 전홍신	경기도 수원시 장안구 수원우체국사서함 105호 조창현
(74) 대리인	경기도 수원우체국 사서함 105호 김능균	

심사관 : 이철희

**(54) 자기 테스트회로를 가진 반도체 메모리장치**

**요약**

본 발명은 자기 테스트회로를 가진 반도체 메모리장치에 관한 것으로서, 특히 복수의 메모리블럭들, 테스트모드신호에 응답하여 상기 각 메모리블럭의 어드레스, 제어신호, 데이터를 노말/테스트로 선택하기 위한 복수의 선택수단들, 각 메모리블럭에 기입할 데이터와 비교할 데이터를 발생하는 복수의 백그라운드 발생수단들, 상기 테스트모드신호에 응답하여 각 메모리블럭으로부터 독출된 데이터와 상기 비교할 데이터를 입력하여 비교하고 비교결과를 출력하는 복수의 비교수단들, 상기 복수의 비교수단들의 각 출력들을 조합하여 테스트결과를 발생하는 조합수단, 상기 테스트모드신호에 응답하여, 상기 복수의 선택수단들에 테스트용 어드레스 및 제어신호를 제공하고, 상기 복수의 백그라운드 발생수단들에 백그라운드 번호와 출력반전 제어신호를 제공하고, 상기 복수의 비교수단들에 비교제어신호를 제공하는 테스트제어수단을 구비하는 것을 특징으로 한다.

**대표도**

**도 1**

**명세서**

**도면의 간단한 설명**

도 1은 본 발명에 의한 자기 테스트회로를 가진 반도체 메모리장치의 구성을 나타낸 블록도.  
도 2는 도 1의 사이클 제어부에서 실행되는 SOA(Single Order Addressing)알고리즘을 나타낸 도면.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 자기 테스트회로를 가진 반도체 메모리장치에 관한 것으로서, 특히 다수의 메모리블럭들이 하나의 테스트 제어수단을 공유함으로써 상호연결 구성을 최소화하여 코스트를 다운시킬 수 있는 자기 테스트회로를 가진 반도체 메모리장치에 관한 것이다.

반도체 제조기술의 급격한 발달로 집적도가 하나의 칩에 시스템을 포함하는 정도에 이르고 있다. 이에 따라 내장된 램의 사용이 크기와 개수 면에서 증가하고 있으며 이의 테스트가 큰 이슈로 대두되고 있다.

일반적으로 내장된 램의 테스트 방법은 테스트 패턴이 생성되는 장소에 따라 두 가지로 구분될 수 있다. 첫째는 테스트 장비에 의한 것이고, 둘째는 BIST(Built-In Self Test, 이하 비스트라 칭함)회로에 의한 것이다.

테스트장비에 의한 방법은 다양한 테스트 패턴을 사용한 테스트가 용이하다는 장점이 있다. 그러나, 테스트 모드에서 램들의 어드레스 데이터 입력, 데이터 출력, 제어신호 등을 테스트 장비가 관리하기 위하여 램의 모든 포트가 테스트 장비가 액세스할 수 있는 핀까지 연결되어야 하므로 라우팅(routing)과 핀의 사용에 오버헤드가 따른다. 핀을 멀티플렉싱하여 사용할 경우 램들을 동시에 테스트할 수 없어 테스트시간이 증가한다.

비스트방법은 외부에서 비스트모드를 설정하면 비스트회로가 구동되어 램을 정해진 테스트 패턴을 가하여 테스트한 후에 에러의 발생여부만을 출력한다. 따라서, 램들의 테스트를 위해 핀에 연결이 필요한 신호가 최소화되고 램들을 동시에 테스트할 수 있어 테스트시간이 감소한다는 장점이 있는 반면 테스트 패턴을 생성하는 회로가 하드웨어로 구현되어 칩내부에 추가되기 때문에 칩면적에 오버헤드가 발생하고 테스트 패턴이 고정된다는 단점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 다양한 크기를 가진 다수의 내장된 램을 테스트하기 위해 하나의 컨트롤러를 공유하며 인터코넥션 연결비용을 최소화할 수 있는 자기 테스트회로를 가진 반도체 메모리장치를 제공하는 데 있다.

상기 목적을 달성하기 위하여 본 발명의 장치는 복수의 메모리블럭들, 테스트모드신호에 응답하여 상기 각 메모리블럭의 어드레스, 제어신호, 데이터를 노말/테스트로 선택하기 위한 복수의 선택수단들, 각 메모리블럭에 기입할 데이터와 비교할 데이터를 발생하는 복수의 백그라운드 발생수단들, 상기 테스트모드신호에 응답하여 각 메모리블럭으로부터 독출된 데이터와 상기 비교할 데이터를 입력하여 비교하고 비교결과를 출력하는 복수의 비교수단들, 상기 복수의 비교수단들의 각 출력들을 조합하여 테스트결과를 발생하는 조합수단, 상기 테스트모드신호에 응답하여, 상기 복수의 선택수단들에 테스트용 어드레스 및 제어신호를 제공하고, 상기 복수의 백그라운드 발생수단들에 백그라운드 번호와 출력반전 제어신호를 제공하고, 상기 복수의 비교수단들에 비교제어신호를 제공하는 테스트제어수단을 구비하는 것을 특징으로 한다.

### 발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명을 보다 상세하게 설명하고자 한다.

도 1은 본 발명에 의한 자기 테스트회로를 가진 반도체 메모리장치의 구성을 나타낸다. 도 1의 장치는 복수의 메모리블럭들(R1, R2, R3)과, 테스트 모드신호(BIST\_MODE)에 응답하여 상기 각 메모리블럭들의 어드레스, 제어신호, 데이터를 노말/테스트로 선택하기 위한 복수의 선택수단들(MUX1, MUX2, MUX3)과, 각 메모리블럭에 기입할 데이터와 비교할 데이터를 발생하는 복수의 백그라운드 발생수단들(BG1, BG2, BG3)과, 상기 테스트 모드신호(BIST\_MODE)에 응답하여 각 메모리블럭으로부터 독출된 데이터와 상기 비교할 데이터를 입력하여 비교하고 비교결과를 출력하는 복수의 비교수단들(COMP1, COMP2, COMP3)과, 상기 복수의 비교수단들의 각 테스트 에러신호들을 논리합하여 테스트결과를 발생하는 논리합 게이트(G1)와, 상기 테스트 모드신호(BIST\_MODE)에 응답하여, 상기 복수의 선택수단들(MUX1, MUX2, MUX3)에 테스트용 어드레스(tA5, tA8) 및 제어신호(tWEN)를 제공하고, 상기 복수의 백그라운드 발생수단들(BG1, BG2, BG3)에 백그라운드 번호(BGN)와 출력반전 제어신호(INV\_BG)를 제공하고, 상기 복수의 비교수단들(COMP1, COMP2, COMP3)에 비교제어신호(COMPARE)를 제공하는 테스트제어수단(100)을 포함한다.

상기 복수의 메모리블럭들(R1, R2, R3)은 서로 다른 크기를 가지며 각 메모리블럭들은 하나의 제어수단(100)을 공유하면서 상호연결구조의 비용을 최소화하도록 설계된다.

상기 제어수단(100)은 SOA알고리즘의 실현을 위하여 스테이지 0부터 스테이지 3를 카운팅하는 제 1 업카운터(10)와, 테스트 어드레스를 카운팅하는 어드레스 포인터용 제 2 업카운터(20)와, 어드레스 백그라운드 번호를 카운팅하는 제 3 업카운터(25)와, 데이터 백그라운드 번호를 카운팅하는 제 4 업카운터(30)와, 상기 제 1 내지 제 4 카운터(10~30)와 교신하면서 SOA알고리즘DMF 수행하여 테스트동작 사이클을 발생하는 사이클제어부(40)와, 상기 제 1 업카운터(10)의 스테이지정보와 제 3 업카운터(25)의 어드레스 백그라운드 정보와 사이클제어부(40)의 출력에 응답하여 테스트 완료신호(DONE), 테스트 기입제어신호(tWEN), 백그라운드 제어신호(INV\_BG), 비교제어신호(COMPARE)를 발생하는 제어신호발생부(50)와, 어드레스 포인터정보, 상기 사이클제어부(40)의 출력, 제 3 업카운터(25)의 출력, 제 4 업카운터(30)의 출력을 조합하여 복수의 메모리블럭들의 각 테스트 인에이블신호들(TEN1, TEN2, TEN3)을 발생하는 테스트 인에이블 발생부(70)를 포함한다.

상기 메모리블럭이 N개라면,  $1 \leq i \leq N$ 에 대하여 어드레스 사이즈(Address Size(Ri)), 라스트 어드레스(Last Address(Ri)), AGBSize(Ri), DBGSize(Ri), 워드 사이즈 라스트 백그라운드가 각각 메모리블럭(Ri)의 어드레스 라인의 비트수, 어드레스의 최대값, 어드레스 백그라운드 개수, 데이터 백그라운드 개수, 데이터 입출력의 비트수일 때, 상기 제어신호 발생부(50)의 각 제어신호들, 테스트 완료신호(DONE), 테스트 기입제어신호(tWEN), 백그라운드 제어신호(INV\_BG), 비교제어신호(COMPARE)은 다음과 같이 정의 된다.

$$INV_{BG} = \begin{cases} STAGE[0] \oplus tWEN & \text{when } ABP=0 \\ AP[ABP-1] \oplus tWEN \oplus STAGE[0] & \text{else} \end{cases}$$

상기 테스트 인에이블신호(TENi)는 각 메모리블럭의 최종 어드레스값보다 상기 어드레스 포인터의 값이 더 작고 어드레스 백그라운드 사이즈 보다 어드레스 백그라운드값이 더 작고 데이터 백그라운드 사이즈 보다 데이터 백그라운드 값이 더 작을 경우에는 액티브상태를 유지하고, 그외에는 비활성상태를 가진다. 이를 정리하면 다음과 같다.

$$TEN_i = \begin{cases} '0' & \text{when } AP \leq \text{Last Address}(R_i) \text{ and } ABP \leq \text{AGBSize}(R_i) \text{ and } DBP \leq \text{DBGSize}(R_i) \\ '1' & \text{else} \end{cases}$$

상기 테스트 어드레스신호는 AP신호중 램의 어드레스 라인의 크기만큼만 연결하면 되고 어드레스는 증가하는 변화만 갖는다.

상기 사이클 제어부(50)은 도 2에 도시한 바와 같이 제 1 내지 제 3 카운터(10~30)의 값을 초기화시키는 초기화 사이클(inti), 메모리블럭으로부터 테스트 데이터 M(tA)를 독출하고 독출된 데이터와 비교할 데이

터를 비교하는 독출 사이클(read), 백그라운드 발생수단에 테스트 데이터를 기입하는 기입 사이클(write), 스테이지 0과 3에서 리드와 라이트만 수행하기 위한 사이클스테이지 03, 스테이지 인크리먼트 사이클(inc\_stg), 백그라운드번호 인크리먼트 사이클(inc\_bg), 및 종료사이클(final)을 포함한다.

상기 각 백그라운드 발생수단(BGi)은 상기 백그라운드 제어신호(INV\_BG)와 상기 제 3 카운터(30)의 백그라운드번호(BGN)에 응답하여 비교할 데이터를 발생한다.

상기 각 비교수단(COMPi)은 대응하는 메모리블럭(Ri)으로부터 출력되는 데이터와 백그라운드 발생수단(BGi)에서 발생된 비교할 데이터를 입력하여 비교하고 상기 비교제어신호(COMPARE)에 응답하여 대응하는 메모리블럭의 테스트 에러신호를 출력한다.

### **발명의 효과**

상기와 같이 본 발명에서는 다양한 크기를 가진 다수의 내장된 램을 테스트하기 위해 하나의 컨트롤러를 공유하며 인터코넥션 연결비용을 최소화할 수 있다.

### **(57) 청구의 범위**

#### **청구항 1**

복수의 메모리블럭들, 테스트모드신호에 응답하여 상기 각 메모리블럭의 어드레스, 제어신호, 데이터를 노말/테스트로 선택하기 위한 복수의 선택수단들, 각 메모리블럭에 기입할 데이터와 비교할 데이터를 발생하는 복수의 백그라운드 발생수단들, 상기 테스트모드신호에 응답하여 각 메모리블럭으로부터 독출된 데이터와 상기 비교할 데이터를 입력하여 비교하고 비교결과를 출력하는 복수의 비교수단들, 상기 복수의 비교수단들의 각 출력들을 조합하여 테스트결과를 발생하는 조합수단, 상기 테스트모드신호에 응답하여, 상기 복수의 선택수단들에 테스트용 어드레스 및 제어신호를 제공하고, 상기 복수의 백그라운드 발생수단들에 백그라운드 번호와 출력반전 제어신호를 제공하고, 상기 복수의 비교수단들에 비교제어신호를 제공하는 테스트제어수단을 구비하는 것을 특징으로 하는 자기 테스트회로를 가진 반도체 메모리장치.

#### **청구항 2**

제 1 항에 있어서, 상기 복수의 메모리블럭들은 서로 다른 크기를 가지는 것을 특징으로 하는 자기 테스트회로를 가진 반도체 메모리장치.

#### **청구항 3**

제 1 항에 있어서, 상기 제어수단은 SOA알고리즘을 수행하는 것을 특징으로 하는 자기 테스트회로를 가진 반도체 메모리장치.

#### **청구항 4**

제 1 항에 있어서, 상기 제어수단은 스테이지단계를 카운팅하는 제 1 카운터, 어드레스를 카운팅하는 어드레스 포인터용 제 2 카운터, 어드레스 백그라운드번호를 카운팅하는 제 3 카운터, 데이터 백그라운드번호를 카운팅하는 제 4 카운터, 상기 제 1 내지 제 4 카운터와 교신하면서 SOA알고리즘을 수행하여 테스트동작 사이클을 발생하는 사이클제어부, 상기 제 1 카운터의 스테이지정보와 제 3 카운터의 어드레스 백그라운드 정보와 사이클제어부의 출력에 응답하여 테스트 완료신호, 테스트 기입제어신호, 백그라운드 제어신호, 비교제어신호를 발생하는 제어신호발생부, 상기 제 2 카운터의 어드레스 포인터정보에 응답하여 각 메모리블럭들의 테스트 어드레스신호를 발생하는 테스트 어드레스 변환부, 및 어드레스 포인터정보, 상기 사이클제어부의 출력, 제 1 내지 3 카운터의 출력을 조합하여 복수의 메모리블럭들의 각 테스트 인에이블신호들을 발생하는 테스트 인에이블 발생부를 구비하는 것을 특징으로 하는 자기 테스트회로를 가진 반도체 메모리장치.

#### **청구항 5**

제 4 항에 있어서, 상기 테스트 인에이블신호는 각 메모리블럭의 최종 어드레스값보다 상기 어드레스 포인터의 값이 더 작고 어드레스 백그라운드 사이즈보다 어드레스 백그라운드 값이 더 작고 데이터 백그라운드 사이즈 보다 데이터 백그라운드값이 더 작을 경우에는 액티브상태를 유지하고, 그외에는 비활성상태를 가지는 것을 특징으로 하는 자기 테스트회로를 가진 반도체 메모리장치.

#### **청구항 6**

제 4 항에 있어서, 상기 사이클 제어부는 초기화 사이클, 독출 사이클, 기입 사이클, 스테이지 인크리먼트 사이클, 어드레스 및 데이터 백그라운드번호 인크리먼트 사이클, 및 종료사이클을 포함하는 것을 특징으로 하는 자기 테스트회로를 가진 반도체 메모리장치.

#### **청구항 7**

제 4 항에 있어서, 상기 각 백그라운드 발생수단은 상기 백그라운드 제어신호와 상기 제 3 카운터의 백그라운드번호에 응답하여 비교할 데이터를 발생하는 것을 특징으로 하는 자기 테스트회로를 가진 반도체 메모리장치.

#### **청구항 8**

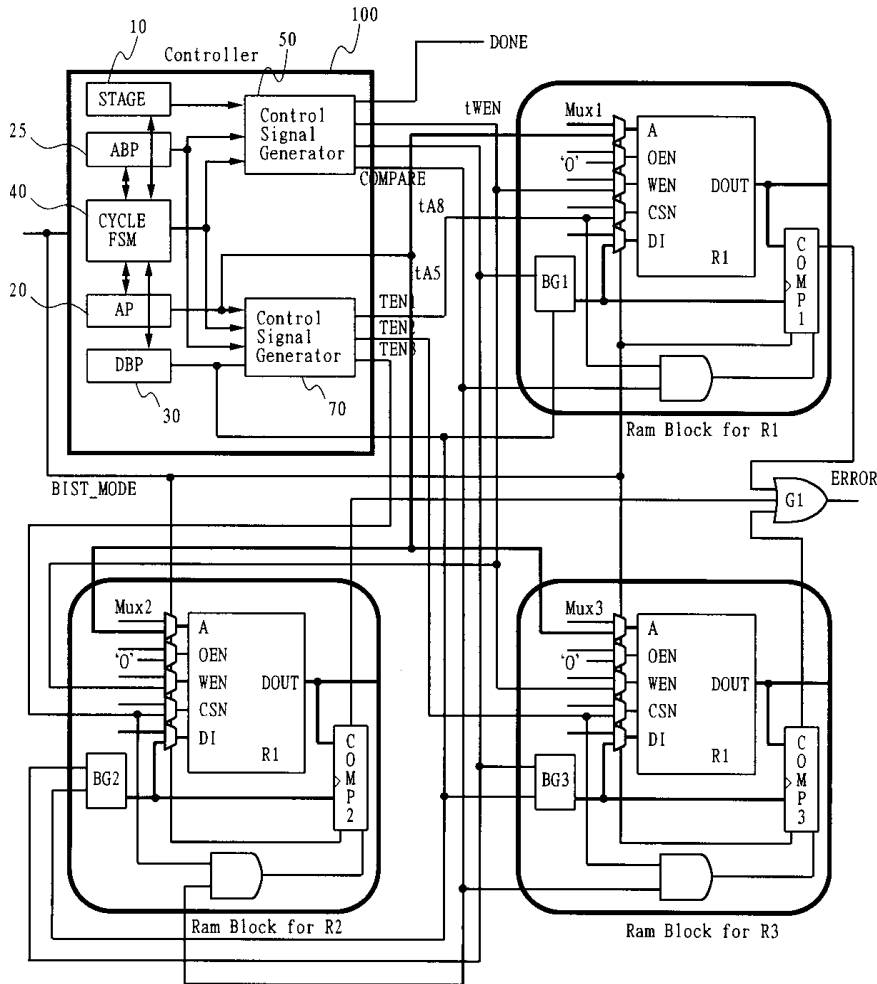
제 4 항에 있어서, 상기 각 비교수단은 대응하는 메모리로부터 출력되는 데이터와 백그라운드 발생수단에서 발생된 비교할 데이터를 입력하여 비교하고 상기 비교제어신호에 응답하여 테스트 에러신호를 출력하는 것을 특징으로 하는 자기 테스트회로를 가진 반도체 메모리장치.

청구항 9

제 4 항에 있어서, 상기 조합수단은 각 비교수단들의 테스트에러신호들을 논리합하는 논리합게이트로 구성된 것을 특징으로 하는 자기 테스트회로를 가진 반도체 메모리장치.

도면

도면1



도면2

Algorithm	State (CYCLE)
for each data background in DBP	init
for each address background in ABP	
for each STAGE from 0 to 3	
for each Address	
if (STAGE=0) Write ADB	stage03
if (STAGE=1)	
Read ADB and Compare	read
Write ADB'	write
if (STAGE=2)	
Read ADB' and Compare	read
Write ADB	write
if (STAGE=3) Read ADB and Compare	stage03
end for	inc_stage
end for	inc_adb
end for	inc_dbg
end for	final