



(12) 发明专利

(10) 授权公告号 CN 1993863 B

(45) 授权公告日 2012.07.18

(21) 申请号 200580026056.3

(22) 申请日 2005.07.20

(30) 优先权数据

10/930,660 2004.08.31 US

(85) PCT申请进入国家阶段日

2007.02.01

(86) PCT申请的申请数据

PCT/US2005/026065 2005.07.20

(87) PCT申请的公布数据

W02006/025972 EN 2006.03.09

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 希-陶·察伊

托马斯·E·杰尔柯勒

(74) 专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 王永刚

(51) Int. Cl.

H01Q 13/10 (2006.01)

(56) 对比文件

CN 1286508 A, 2001.03.07,

US 5977924 A, 1999.11.02,

US 5977924 A, 1999.11.02,

审查员 张曦

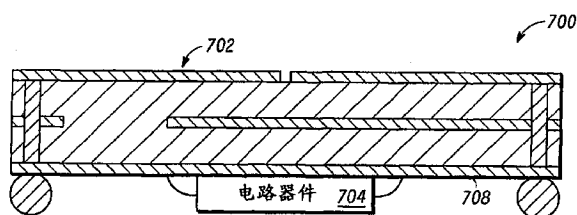
权利要求书 2 页 说明书 5 页 附图 6 页

(54) 发明名称

多层腔隙缝天线

(57) 摘要

本发明提供了一种具有在多层上延伸的天线腔的示范性隙缝天线 (100)。所述隙缝天线包括基准导电层 (104)、具有至少一个隙缝开口 (108) 的辐射导电层 (106)、位于所述基准导电层和辐射导电层之间的一层或多层中间导电层 (114)、以及两层或多层介质层 (110、112)。所述两层或多层介质层至少包括位于所述基准导电层和一层或多层中间导电层之间的第一介质层以及位于所述一层或多层中间导电层和辐射导电层之间的第二介质层。一层或多层中间导电层的每层包括至少一个基本上没有导电材料的开口 (122)。由于其在 x-y 平面中的降低的占用面积,所述多层隙缝天线可以嵌入用于无线装置的集成电路封装 (600, 700) 中。所述多层隙缝天线在某种情况下还表现出双谐振频率。



1. 一种天线 (100), 包括 :

基准导电层 (104), 响应于在该基准导电层处接收到电信号而发出电磁能量 ;

含有至少一个隙缝开口 (108) 的辐射导电层 (106) ;

位于所述基准导电层 (104) 和辐射导电层 (106) 之间的中间导电层 (114) ;

介质层 (110, 112), 所述介质层至少包括 : 位于所述基准导电层 (104) 和所述中间导电层 (114) 之间的第一介质层 (112), 以及位于所述中间导电层 (114) 和所述辐射导电层 (106) 之间的第二介质层 (110) ; 以及

电耦合所述基准导电层、所述中间导电层和所述辐射导电层的一个或多个导电结构 (116 或 118, 120),

其中, 所述中间导电层 (114) 包括至少一个基本上没有导电材料的开口 (122) 以便不会妨碍电磁能量的传输, 并且

其中, 所述天线的谐振腔至少部分地由所述基准导电层、所述辐射导电层、所述中间导电层和所述导电结构来限定。

2. 根据权利要求 1 的天线 (100), 其中 :

所述中间导电层包含第一中间导电层 (412) 和第二中间导电层 (414) ; 以及

所述介质层还包括第三介质层 (418), 所述第三介质层位于所述第一中间导电层和所述第二中间导电层之间。

3. 根据权利要求 1 的天线, 其中, 所述一个或多个导电结构包括耦合所述基准导电层、所述中间导电层和所述辐射导电层的至少一个通道 (116)。

4. 根据权利要求 1 的天线, 其中, 所述天线 (100) 可操作地耦合到集成电路封装 (600) 的至少一个电路器件 (604)。

5. 根据权利要求 1 的天线, 其中, 所述天线具有第一谐振频率和第二谐振频率 (1302)。

6. 一种形成天线的方法, 包括 :

形成基准导电层 (404), 响应于在该基准导电层处接收到电信号而发出电磁能量 ;

形成具有至少一个隙缝开口 (408) 的辐射导电层 (406) ;

形成谐振腔, 所述谐振腔包括多层 (412, 414), 每层包含具有至少一个基本上没有导电材料的开口 (422, 424) 以便不会妨碍电磁能量的传输的导电金属层和与该导电金属层相邻的介质层 (416, 418, 420) ; 以及

形成电耦合所述基准导电层、辐射导电层和谐振腔的导电金属层的一个或多个导电结构 (410),

其中, 所述天线的谐振腔至少部分地由所述基准导电层、所述辐射导电层、所述导电金属层和所述导电结构来限定。

7. 根据权利要求 6 的方法, 进一步包括 :

识别与第一谐振频率相关的所述辐射导电层 (406) 和所述谐振腔中的至少一个的一个或多个特性的每一个的值 ;

识别与第二谐振频率相关的所述辐射导电层 (406) 和所述谐振腔中的至少一个的一个或多个特性的每一个的值 ; 以及

基于所述一个或多个特性的值来形成所述辐射导电层 (406) 和所述谐振腔中的至少一个,

其中,所述一个或多个特性包括下列中的一个或多个:

隙缝开口尺寸、隙缝开口形状、隙缝开口位置;

所述多层(412,414)中的一个或多个的厚度;

所述导电金属层(412,414)中的一层或多层的开口的各自尺寸;

所述导电金属层(412,414)中的一层或多层的开口的各自位置;或者

所述导电金属层(412,414)中的一层或多层的开口的各自形状。

多层腔隙缝天线

技术领域

[0001] 本发明一般性地说涉及隙缝天线,并且更具体地说,涉及电路封装中的嵌入式隙缝天线。

背景技术

[0002] 在各种各样的无线装置,例如蜂窝电话、寻呼机、无线个人数字助理、接入点和其它无线局域网(WLAN)组件等中使用天线,例如隙缝天线和贴片天线。这些无线装置设计的一个共同目标是使产品尺寸最小。另一个共同目标是将一些或者所有组件合并到一个集成电路(IC)封装中。但是,由于它们的物理性质,传统隙缝天线抑制了这些目标的完全实现。

[0003] 传统隙缝天线的谐振频率(也称作辐射频率)与其隙缝长度成反比。但是,当在小的结构中使用隙缝天线时,已经观察到这种隙缝天线的谐振频率代替变成与隙缝天线的谐振腔的面积成反比。因此,为了实现更低的谐振频率,必须增加隙缝天线在隙缝天线的x-y平面上的尺寸。由于在通用无线通信标准中使用较低的无线频率,这种频率和腔之间的反比关系经常阻止将隙缝天线并入装置中,或者即使并入,也阻止将其集成到IC封装中。为了举例说明,传统隙缝天线一般需要具有面积大约为 900mm^2 (1.395in^2)的谐振腔以便具有2.4千兆赫(GHz)频率范围内的谐振频率,该尺寸在许多应用中是禁止的。

[0004] 因此,改进隙缝天线将是有利的。

附图说明

[0005] 结合附图,从下面详细的说明中,本发明的目的和优点对于本领域技术人员将是明显的,附图中使用相似附图标记来表示类似的元件,并且在附图中:

[0006] 图1是根据本发明至少一个实施方案的示例性多层隙缝天线的俯视图的方框图。

[0007] 图2和3是根据本发明至少一个实施方案的图1的多层隙缝天线的可选示例横截面的方框图。

[0008] 图4是根据本发明至少一个实施方案的另一个示例性多层隙缝天线的俯视图的方框图。

[0009] 图5是根据本发明至少一个实施方案的图4的示例多层隙缝天线的横截面的方框图。

[0010] 图6和7是根据本发明至少一个实施方案的具有多层隙缝天线的可选示例集成电路封装的剖视图的方框图。

[0011] 图8-11是阐述根据本发明至少一个实施方案,制造包括多层隙缝天线的集成电路封装的示例方法的方框图。

[0012] 图12是阐述根据本发明至少一个实施方案制造,包括多层隙缝天线的集成电路封装的另一种示例方法的方框图。

[0013] 图13是阐述根据本发明至少一个实施方案,制造具有第一所需谐振频率和第二所需谐振频率的多层隙缝天线的示例方法的方框图。

具体实施方式

[0014] 下面的说明打算通过提供许多涉及多层隙缝天线和嵌入这种天线的集成电路封装的具体实施方案和细节来彻底理解本发明。但是,很清楚本发明不局限于这些具体的实施方案和细节,它们只是用于举例说明。还清楚本领域技术人员根据已知系统和方法,将领会本发明用于其目的应用和许多可选实施方案的利益,取决于具体的设计和其它需求。

[0015] 图 1-12 显示了各种示例性多层隙缝天线、实现这些多层隙缝天线的示例性集成电路封装以及制造这些隙缝天线和集成电路封装的示例性方法。在一个实施方案中,隙缝天线包括基准导电层、包括至少一个隙缝开口的辐射导电层、位于所述基准导电层和辐射导电层之间的一层或多层中间导电层、以及两层或多层介质层,所述两层或多层介质层至少包括位于所述基准导电层和一层或多层中间导电层之间的第一介质层以及位于所述一层或多层中间导电层和辐射导电层之间的第二介质层。一层或多层中间导电层的每层包括至少一个基本上没有导电材料的开口。在另一个实施方案中,隙缝天线包括第一导电层、具有至少一个隙缝开口的第二导电层、位于所述第一和第二导电层之间的第三导电层、与所述第三导电层的第一侧相邻的第一介质层以及与所述第三导电层的第二侧相邻的第二介质层。第三导电层包括基本上没有导电材料的开口。此外,公开了一种方法,其中所述方法包括:形成基准导电层、形成具有至少一个隙缝开口的辐射导电层、以及形成谐振腔,所述谐振腔包括多层,每层包括具有至少一个基本上没有导电材料的开口的导电层和与该导电层相邻的介质层。

[0016] 现在参照图 1-3,根据本发明至少一个实施方案,显示了示例性多层隙缝天线 100 的俯视图(图 1)和天线 100 沿线 102 的可选剖视图(图 2 和 3)。隙缝天线 100 包括基准导电层(例如接地面或屏蔽)104 和具有在其中形成的一个或多个隙缝 108 的辐射导电层 106。一个或多个隙缝 108 可以安置或布置在辐射导电层 106 中的许多位置或布局中的任一处。另外,一个或多个隙缝 108 可以具有许多形状和尺寸中的任一种。

[0017] 位于基准导电层 104 和辐射导电层 106 之间的是至少部分由一层或多层各自的导电材料中间层(例如中间导电层 114)分开的至少两层介质材料(例如介质层 110 和 112)。隙缝天线 100 还包括电耦合辐射导电层 106、一层或多层中间导电层 114 以及基准导电层 104 的一种或多种导电结构。如图 1 和 2 所示,所述导电结构可以包括从辐射导电层 106 延伸到基准导电层 104 的一个或多个通道 116。作为图 3 所示的一个可选实例,所述导电结构可以包括沿层 104、106、110、112 和 114 的一个或多个边的至少一部分布置的一个或多个导电侧壁(例如侧壁 118 和 120),使得层 104、106 和 114 在一个或多个边上电耦合。尽管已经阐述了导电结构的两个实例,但是很清楚可以使用其它适当的导电结构,例如焊线,或者导电结构的组合。

[0018] 在至少一个实施方案中,中间导电层 114 只是部分与辐射导电层 106 同延,从而在中间导电层 114 中形成基本上没有导电材料的至少一个开口 122。在图 1 中使用虚线 124 显示了中间导电层 114 中的示例性开口 122 的轮廓。开口 122 可以酌情具有许多形状和尺寸中的任一种。如图 1-3 所示,中间导电层 114 部分与辐射导电层 106 同延,而不是整个将辐射导电层 106 屏蔽于基准导电层 104,中间导电层 114 包括一个或多个开口 122,其允许电磁(EM)能量穿过从基准导电层 104 到达辐射导电层 106,以及相反。

[0019] 隙缝天线 100 的层状结构与在中间导电层 114 中使用一个或多个开口 122 一起, 导致在多个腔层上延伸的谐振腔, 其中腔层的边界以及因此谐振腔可以至少部分由基准导电层 104、辐射导电层 106、一层或多层中间导电层 114 和电耦合层 104、106 和 114 的导电结构 (例如通道 116 或侧壁 118 和 120) 来限定。因此, 将期望隙缝天线 100 的谐振腔在多层上“折叠”, 从而使隙缝天线 100 在 x-y 平面中保留与具有相同谐振频率的传统隙缝天线相等的腔面积, 而与传统隙缝天线相比在 x-y 平面中具有减小的尺寸 (即更小的占用面积)。因为隙缝天线 100 比具有相同谐振频率的传统隙缝天线具有更小的占用面积, 所以与传统隙缝天线相比, 可以在小的无线装置中更容易地实现隙缝天线 100 并且更容易集成到集成电路封装中。

[0020] 现在参照图 4 和 5, 根据本发明至少一个实施方案, 显示了另一个示例性多层隙缝天线 400 的俯视图 (图 4) 和线 402 的剖视图 (图 5)。尽管作为具有两个腔层的隙缝天线显示了隙缝天线 400, 但是根据本发明, 可以在隙缝天线中实现两个以上的腔层。如上面对于隙缝天线 100 所述的相似, 隙缝天线 400 包括基准导电层 404、具有一个或多个隙缝 408 的辐射导电层 406、以及使辐射导电层 406 与基准导电层 404 电耦合的一个或多个导电结构 (例如通道 410)。在图 4 所示的实例中, 隙缝天线 400 还包括两层中间导电层 412 和 414。由三个各自的介质层 416、418 和 420 使中间导电层 412 和 414, 辐射导电层 406 和基准导电层 404 彼此分开。

[0021] 如上面相对于图 1 的中间导电层 114 所述, 在一个实施方案中, 中间导电层 412 和 414 部分与辐射导电层 406 同延, 其中它们每个具有一个或多个基本上没有导电材料的开口 (开口 422 和 424)。在图 4 中分别使用虚线 426 和 428 阐述开口 422 和 424 的示例性周边。中间导电层 412 和 414 中的开口 422 和 424 的一个目的是允许 EM 能量借助开口 422 和 424 从介质层 420 传输到辐射导电层介质层 416, 以及相反, 其中 EM 能量由中间导电层 412 和 414 引导。因此, 开口 422 和 424 优选位于中间导电层 412 和 414 的不同各自位置上, 使得不会借助开口 422 和 424 来提供 EM 能量从基准导电层 404 到辐射导电层 406 的直接通路, 以及相反。换句话说, 优选在特定中间导电层中布置一个或多个开口, 使得在一个或多个开口和相邻中间导电层中的一个或多个开口之间很少或者没有重叠。

[0022] 另外, 为了使隙缝天线 400 的有效腔面积最大, 开口 422 和 424 优选位于它们各自的中间导电层 412 和 414 处, 以便使开口之间的距离最大 (因而使中间导电层 412 和 414 之间的腔部分的有效腔面积最大)。如图 4 和 5 中示例性地所述, 可以通过在隙缝天线 400 的一个角落布置开口 422 并且在隙缝天线 400 的相对角落布置另一个开口 424 来获得这种最大的距离。但是, 在某些情况中, 可以适当地使开口 422 和 424 布置得更接近 (例如在相邻的角落)。此外, 通过使用某些形状的开口和彼此相对的取向, 也可以增加开口 422 和 424 之间的有效距离, 并因此增加有效腔面积。

[0023] 现在参照图 6 和 7, 根据本发明至少一个实施方案, 显示了具有集成的多层隙缝天线的示例性集成电路 (IC) 封装。如上所述, 通过在多层上形成隙缝天线的谐振腔可实现的比较小的占用面积, 允许将这种隙缝天线更容易地集成到 IC 封装中。例如, 图 6 显示了一个示例性的 IC 封装 600, 其包括多层隙缝天线 602, 例如图 1-3 的隙缝天线 100 或者图 4 和 5 的隙缝天线 400。IC 封装 600 还包括一个或多个输入或输出 (例如借助焊线) 可操作地与电路衬底 606 耦合的一个或多个电路器件 604。电路衬底 606 依次可以包含一层或多层介

质层和 / 或用于在一个或多个电路器件 604 之间路由信令和功率信号的重新分配层、隙缝天线 602 和封装 600 的其它组件。电路衬底 606 依次具有一个或多个可操作地与隙缝天线 602 的基准导电层 608 耦合 (例如通过一个或多个通道) 的输入。图 7 相似地显示了 IC 封装 700, 其包含多层隙缝天线 702, 例如图 1-5 的隙缝天线 100 和隙缝天线 400、包含一层或多层介质层和重新分配层的电路衬底、以及一个或多个电路器件 704, 其具有一个或多个借助所述电路衬底 (例如通过一个或多个通道) 可操作地与隙缝天线 702 的基准导电层 708 耦合的输入和输出。

[0024] IC 封装 600 或 700 依次可以与其它 IC 封装或者无线装置的其它电路器件耦合。举例来说, 可以在无线封装中系统 (SIP, system in a package) 或者芯片上系统 (SOC, system on a chip) 中实现 IC 封装 600 或 700, 所述系统依次可以在使用隙缝天线的各种装置的任一个中实现。

[0025] 现在参照图 8-12, 根据本发明至少一个实施方案, 显示了制造具有多层隙缝天线的 IC 封装的各种示例性方法。尽管图 8-11 显示了在多层有机器件方面的制造过程, 并且图 12 显示了在共烧陶瓷器件方面的制造过程, 可以使用此处提供的指导来实现其它电路制造过程而不会背离本发明的精神和范围。

[0026] 图 8-11 显示了使用有机多层制造技术来形成多层隙缝天线的示例方法。举例来说, 可以在介质层 802 的第一侧和第二侧上形成导电材料层。可以使用任意的各种方法, 例如结晶生长、丝网印刷、沉积、光成像等, 在介质层 802 的相对表面上形成导电材料。可选地, 导电层之一或两者可以包括位于介质层 802 的一个或两个表面上的金属片 (例如铜、铝或金箔)。在图 8 的实施例中, 底部导电层代表隙缝天线的基准导电层 804, 并且顶部导电层代表隙缝天线的中间导电层 806。

[0027] 在图 9 中, 例如使用光刻方法在中间导电层 806 中形成开口 808 (例如如图 1 的开口 122)。可选地, 可以在介质层 802 的表面上形成中间导电层 806 期间, 在中间导电层 806 中形成开口 808。如上所述, 开口 808 优选基本上没有导电材料, 以便不会妨碍 EM 能量的传输。

[0028] 在图 10 中, 在中间导电层 806 的暴露表面上形成或者布置第二介质层 810。另外, 可以形成一个或多个通道, 例如通道 812 和 814, 并用导电材料填充或者镀覆。尽管图 8-11 显示了具有在两个腔层上形成的谐振腔的示例性隙缝天线, 可以通过重复图 8-10 中所示的过程, 来形成具有在两个以上腔层上形成的谐振腔的隙缝天线。

[0029] 在图 11 中, 在介质层 810 的暴露表面上形成或者布置导电材料, 从而形成辐射导电层 816, 并且可以在辐射导电层 816 的形成 / 布置前、形成 / 布置期间或之后, 在辐射导电层 816 中形成一个或多个隙缝 818。举例来说, 可以通过将一个或多个电路器件 822 和 / 或封装引线 (例如焊球 824 和 826) 与隙缝天线电耦合, 将所得隙缝天线 820 集成到 IC 封装中, 所述耦合例如借助于具有一层或多层介质层和 / 或一层或多层重新分配层的电路衬底 822, 所述重新分配层用于在一个或多个电路器件 822、封装引线和隙缝天线 820 之间路由信令和功率互连。此外, 可以将隙缝天线封装在介质材料 (未显示), 例如塑料、陶瓷或玻璃中以形成单块器件。

[0030] 现在参照图 12, 显示了使用共烧陶瓷工艺 (例如低温共烧陶瓷、或者 LTCC 工艺) 来形成具有多层隙缝天线的 IC 封装的示例性方法。例如可以使用陶瓷铸带部分 1202-1206

来形成多层隙缝天线,例如图 1 和 2 的隙缝天线 100 的各层,并且可以在陶瓷铸带部分的表面上形成表示隙缝天线的中间导电层、辐射导电层和电耦合导电层的导电结构(例如通道或导电侧壁)的金属化。

[0031] 然后,可以按照适当的次序来堆叠陶瓷铸带部分 1202-1206,并且层叠来形成单个衬底。然后,可以在烧制炉中烧制所述衬底 1208,从而硬化材料,得到多层隙缝天线 1210。然后,可以通过电耦合一个或多个电路器件 1212 与隙缝天线 1210、耦合封装引线 1210 与隙缝天线 1210 或者一个或多个电路器件 1212、在介质材料中封装所得的器件等,将多层隙缝天线 1210 集成到 IC 封装中。

[0032] 现在参照图 13,根据本发明至少一个实施方案,显示了识别多层隙缝天线的特性以便实现多种谐振频率的示例性方法。由于各种物理性质,上述多层隙缝天线能够或者在两个或更多个不同的频率谐振。因此,可以将多层隙缝天线设计成在多个不同的频率下操作。例如,可以将多层隙缝天线设计成符合具有不同频率带宽的多个标准。举例来说,可以将多层隙缝天线设计并且制造成符合一个或多个蓝牙标准、IEEE 802.11b 标准或 IEEE 802.15.4 标准(全部指定 2.4GHz 中心频率)、IEEE 802.11a 标准(指定 5.8GHz 中心频率)或者全球定位系统(GPS)标准(指定 1.57542GHz 中心频率)。方法 1300 阐述了一种识别在所需中心频率(例如 1.57542GHz、2.4GHz 或 5.8GHz)处或附近产生多层隙缝天线的两个谐振频率的隙缝天线特性的示例性方法。尽管为了便于说明,在调谐或者形成在两个广泛使用的频率谐振的隙缝天线方面说明了下面的示例性方法,但是可以使用此处提供的指导来形成或者调谐多层隙缝天线,以便在两个以上所需频率下谐振而不会背离本发明的精神和范围。

[0033] 在步骤 1302 中,识别要形成的多层隙缝天线的所需谐振频率。举例来说,如果例如有要在符合 IEEE 802.11a 和 IEEE 802.11b 的无线装置中实现隙缝天线,则隙缝天线的所需谐振频率将是 5.8GHz 和 2.4GHz。

[0034] 在步骤 1304 中,识别使得隙缝天线在第一个所需频率下谐振的多层隙缝天线的第一组一个或多个特性的值。在步骤 1306 中,识别使得隙缝天线在第二个所需频率谐振的多层隙缝天线的第二组一个或多个特性的值。所述特性包括但不限于:腔层的数量;包括隙缝天线的介质层或导电层的材料;介质层或导电层的尺寸(例如宽度、长度和厚度);中间导电层中的开口的数量;中间导电层中的开口的尺寸;导电层中的开口的形状;中间导电层中的开口的位置;辐射导电层中的隙缝的数量;一个或多个隙缝的尺寸;一个或多个隙缝的位置等。

[0035] 可以使用任意的各种方法来识别与特定谐振频率相关的隙缝天线特性值。例如,可以通过其它多层隙缝天线的经验分析、通过隙缝天线的建模或模拟等来识别所述值。还期望识别出对隙缝天线的第一谐振频率有影响的隙缝天线的特性也可能对第二谐振频率有影响。因此,可以使用迭代方法来进行第一和第二组值的识别。在识别出了与第一和第二谐振频率相关的某些特性的值之后,可以基于在步骤 1308 中所识别的值来形成或制造多层隙缝天线。

[0036] 考虑本文所公开的本发明的说明书和实践,本发明的其它实施方案、用途和优点对于本领域技术人员将是明显的。应该将说明书和附图看作只是示例性的,并且因此本发明的范围打算仅由下面的权利要求及其等价物限制。

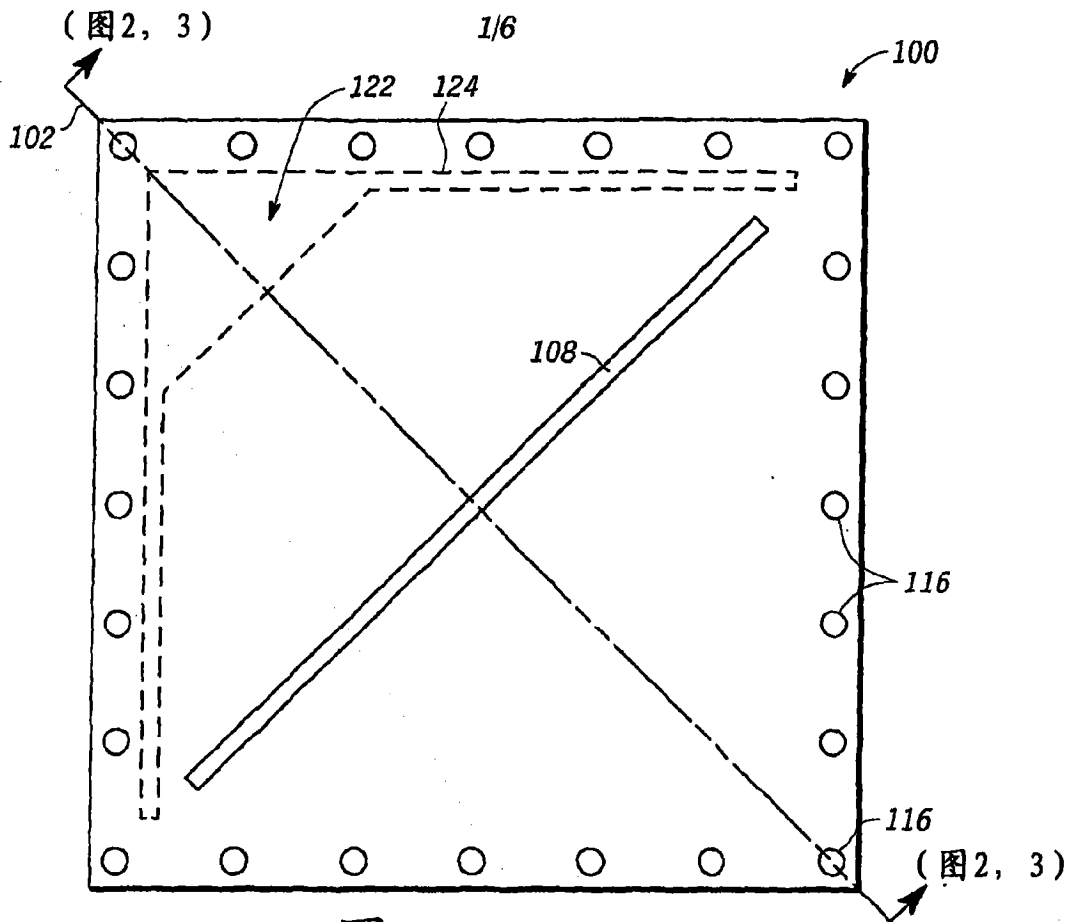


图1

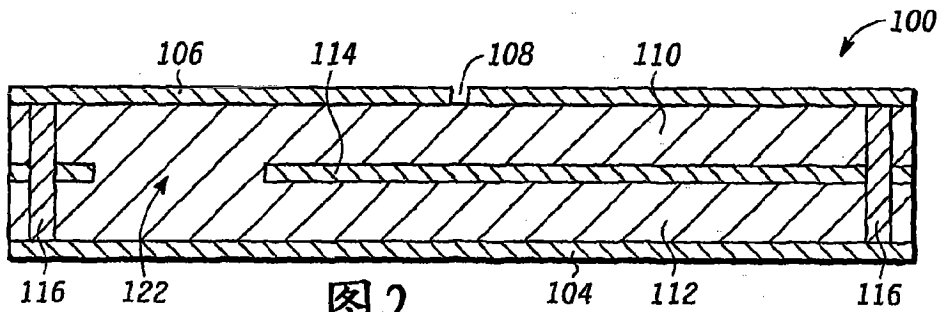


图2

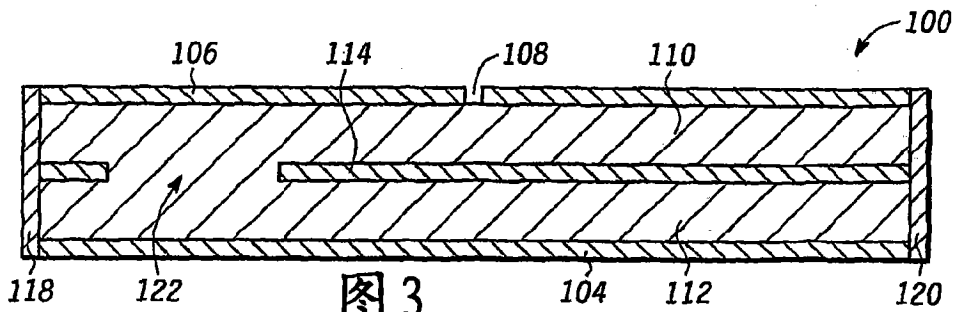


图3

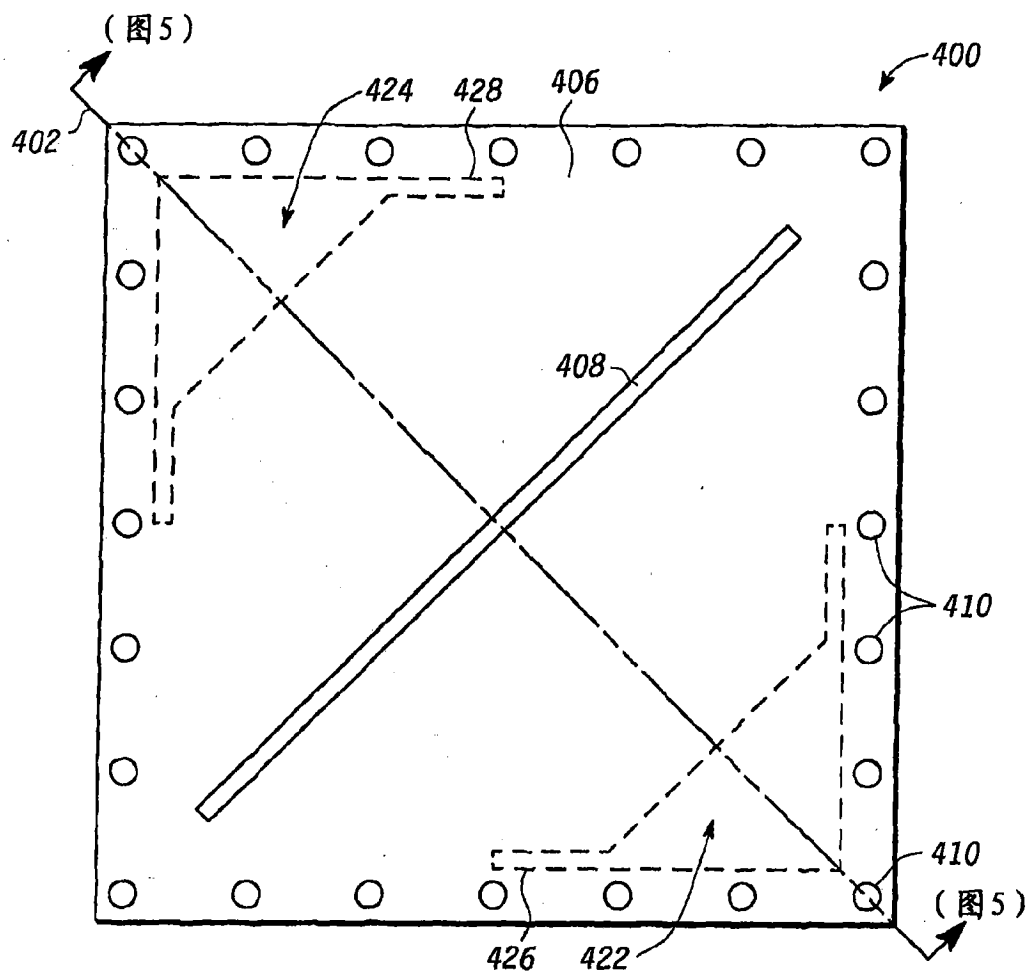


图 4

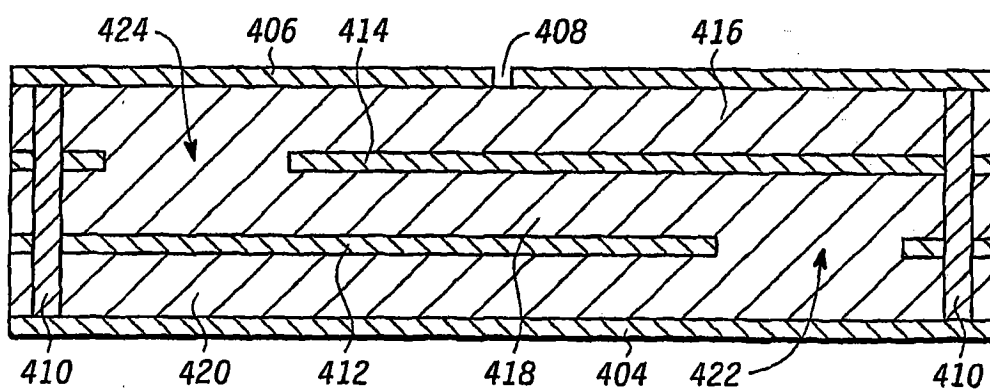


图 5

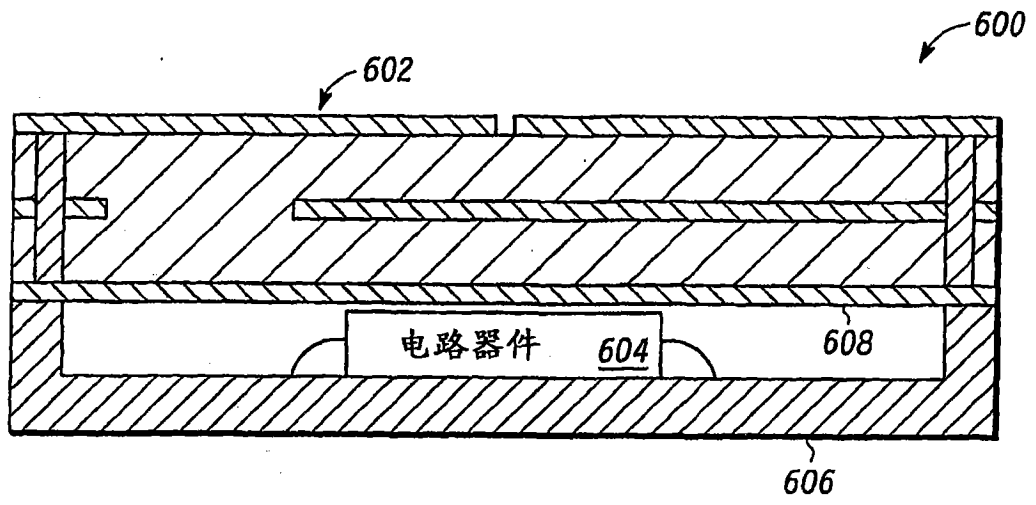


图 6

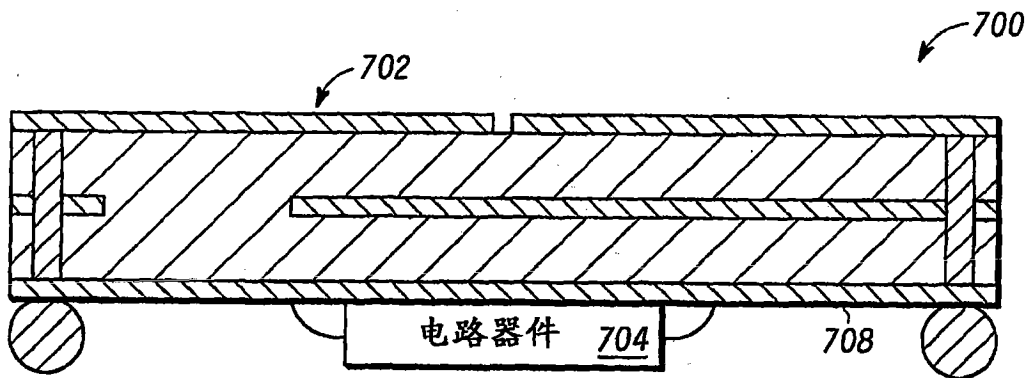


图 7

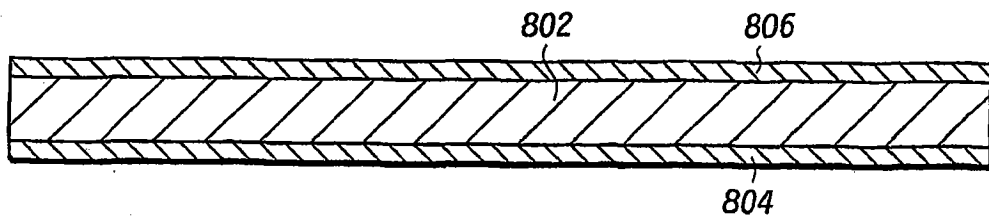


图 8

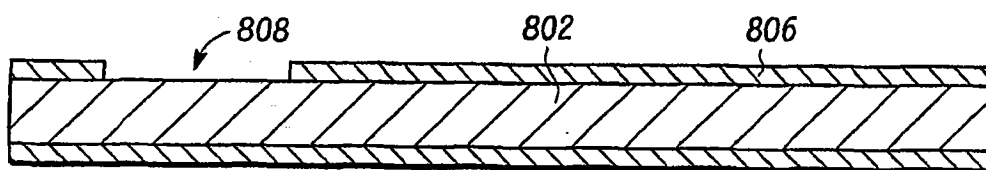


图 9

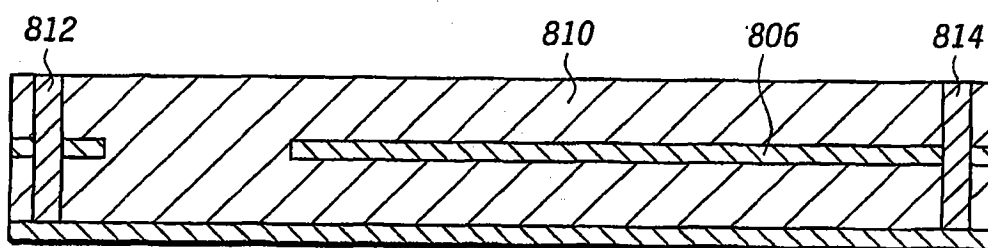


图 10

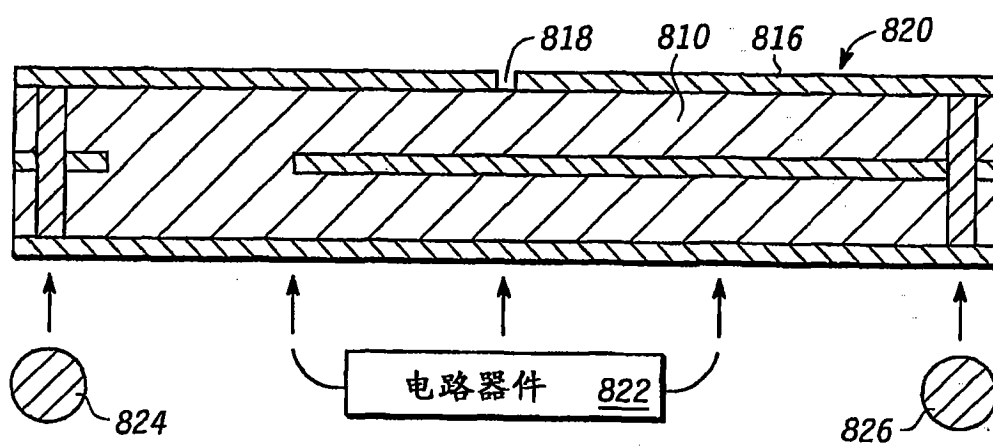


图 11

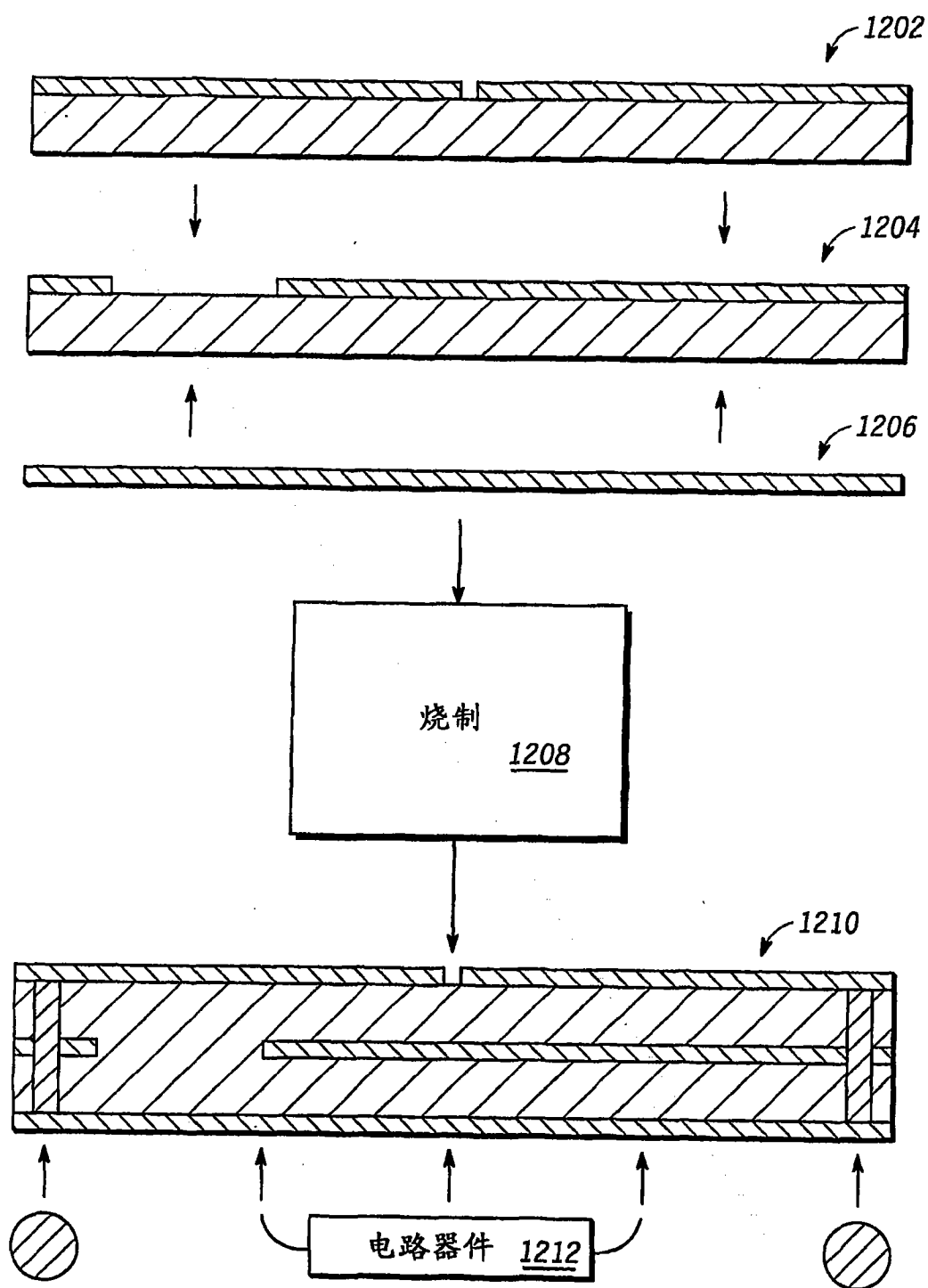


图 12

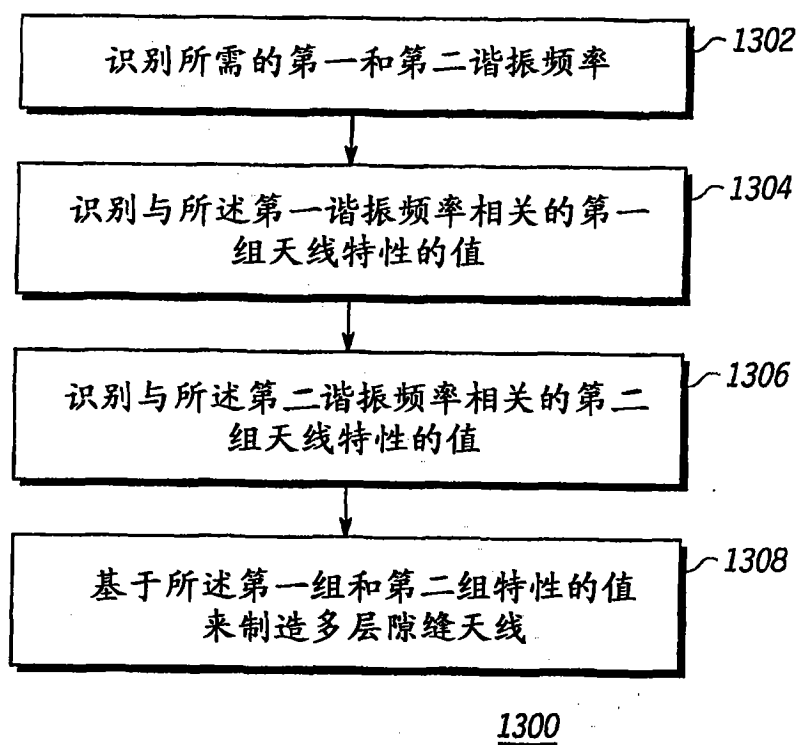


图 13