

(11) 特許出願公開番号

特開2010-57133

(P2010-57133A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int. Cl.	F I	テーマコード (参考)
H03L 7/187 (2006.01)	H03L 7/18 C	5J106
H03L 7/087 (2006.01)	H03L 7/08 P	
H03L 7/10 (2006.01)	H03L 7/10 Z	

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号 特願2008-222722 (P2008-222722)
(22) 出願日 平成20年8月29日 (2008. 8. 29)

(71) 出願人 000232483
日本電波工業株式会社
東京都渋谷区笹塚一丁目５０番１号 笹塚
NAビル

(74) 代理人 100091513
弁理士 井上 俊夫

(72) 発明者 古幡 司
埼玉県狭山市大字上広瀬１２７５番地の２
日本電波工業株式会社狭山事業所内

Fターム(参考) 5J106 AA03 BB10 CC01 CC15 CC30
CC38 CC41 CC47 CC52 DD08
DD09 DD12 DD13 DD35 DD36
GG04 KK03 KK40 QQ09 QQ12
RR06 RR10 RR20

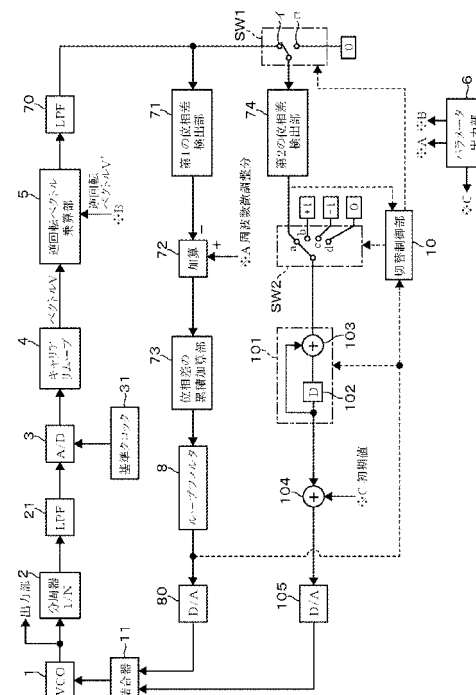
(54) 【発明の名称】 周波数シンセサイザ

(57) 【要約】

【課題】 広帯域を細かく設定でき、周波数の引き込み範囲が広く、かつ消費電力の少ない周波数シンセサイザを提供する

【解決手段】電圧制御発振部１の出力周波数の正弦波信号を直交検波し、検波に用いた周波数信号の周波数との差分の周波数（速度）で回転するベクトルの位相差を取り出して出力周波数の調節に利用するPLLは、出力周波数調節用の第１の位相差検出部７１と、周波数引き込み用の第２の位相差検出部７４とを備え、前記第１の位相差検出部７１の出力に係る信号をデジタル／アナログ変換した結果が予め定めたしきい値を越えたときに、前記第２の位相差検出部７４の出力に係る信号をデジタル／アナログ変換する手段１０５から切り離すと共に、当該第２の位相差検出部７４における消費電力を小さくする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

制御電圧に応じて電圧制御発振部から出力される周波数信号を分周し、分周された周波数信号である正弦波信号をディジタル化し、ディジタル化された周波数信号に対して、ディジタル信号である検波用の周波数信号による直交検波を行って、両周波数信号の周波数差に相当する周波数で回転する回転ベクトルを複素表示したときの実数部分及び虚数部分を回転ベクトル取り出し手段にて取り出し、ベクトル取り出し手段にて取り出された回転ベクトルに対して、設定周波数に応じて粗刻みに決められた周波数で逆回転する逆回転ベクトルを乗算して前記ベクトルの速度を減速し、減速されたベクトルについて一のサンプリング時間にて得られた位相と次のサンプリング時間にて得られた位相との位相差を当該ベクトルの速度と擬制して第 1 の位相差検出部にて検出し、

10

設定周波数に応じて粗刻みに決められた周波数と設定周波数との差分の周波数で回転するベクトルの速度に対応するサンプリング間隔の位相差と、前記第 1 の位相差検出部にて検出された位相差と、の差分であるベクトル同士の速度差を取り出して積分し、その積分値を第 1 のディジタル／アナログ変換部を介して制御電圧として電圧制御発振部に供給し、こうして PLL ループが形成された周波数シンセサイザにおいて、

前記逆回転ベクトルにて減速された回転ベクトルを一のサンプリング時間にて得られた位相と次のサンプリング時間にて得られた位相との位相差を求めるディジタル回路からなる第 2 の位相差検出部と、

この第 2 の位相差検出部にて得られた位相差を積分した積分値をディジタル／アナログ変換して前記電圧制御発振部に周波数引き込み用の制御電圧として供給するための第 2 のディジタル／アナログ変換部と、

20

周波数シンセサイザの立ち上げ時に前記第 2 の位相差検出部の出力を前記第 2 のディジタル／アナログ変換部に供給し、前記第 1 のディジタル／アナログ変換部の出力が予め定めたしきい値を越えたときに、前記前記第 2 の位相差検出部の出力を前記第 2 のディジタル／アナログ変換部の入力側から切り離す手段と、

この切り離しが行われたときに、前記前記第 2 の位相差検出部の消費電力を小さくするための手段と、を備えたことを特徴とする周波数シンセサイザ。

【請求項 2】

前記消費電力を小さくするための手段は、前記第 2 の位相差検出部に、減速されたベクトルについての位相を示す信号に替えて、論理「0」の信号を入力することを特徴とする請求項 1 に記載の周波数シンセサイザ。

30

【請求項 3】

前記第 2 の位相差検出部は、クロック信号に同期して動作し、前記消費電力を小さくするための手段は、当該第 2 の位相差検出部へのクロック信号の入力を停止するものであることを特徴とする請求項 1 に記載の周波数シンセサイザ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、所望の周波数の発振出力が得られる周波数シンセサイザの消費電力を低減する技術に関する。

40

【背景技術】

【0002】

標準信号発生器の一つとして PLL (Phase Locked Loop) を応用した周波数シンセサイザがある。周波数シンセサイザは図 7 に示すように、電圧制御発振器 201 を分周器 202 により $1/N$ に分周してその分周出力を位相比較器 203 の一方の入力端に入力すると共に、基準信号発生器である例えば水晶発振器 204 の発振出力を分周器 200 にて $1/M$ に分周してその分周出力を位相比較器 203 の他方の入力端に入力し、その比較信号をループフィルタ 205 を介して電圧制御発振器 201 にフィードバックし、こうして PLL を構成している (例えば特許文献 1)。PLL がロックすると電圧制御発振器 201

50

の発振出力の周波数 f_{vco} と水晶発振器 204 の発振出力の周波数 f_0 とは、 $f_{vco}/N = f_0/M$ の関係にあるので、 $f_{vco} = (N/M) f_0$ となる。分周器 202 はプログラマブルカウンタにより構成されていて外部よりデジタルデータで分周比 N を設定できることから、 f_{vco} の周波数を自由に設定できることになる。

【0003】

周波数シンセサイザの応用としては、例えば移動局における局発振部として用いられる。即ち、基地局では所定の周波数帯域を移動局に割り当てるため、移動局側では、割り当てられた周波数帯域の発振出力を生成する必要がある、そのため局発振部に対し周波数を調整できる機能を持たせることが要請される。また無線通信機器の試験用信号源や放送機器などにも使用されている。

10

【0004】

このように例えば通信分野において周波数シンセサイザを適用する場合には、他のチャネルとの混信を避けるためにノイズが少ないことが要求され、また電波が過密化していることから、周波数をできるだけ細かく設定できることが望ましい。周波数を細かく設定するためには、上記の分周比 N を大きくすればよいが、あまり大きくすると、ループに生じる遅延が長くなってノイズが大きくなり、実際には N は 1000 程度が上限である。

【0005】

このため説明の便宜上例えば 1000 MHz 程度の周波数を 1 Hz 単位で調整できる周波数シンセサイザを設計しようとする、図 7 の装置を多段化する必要がある。即ち、 N の上限が 1000 である、とすると、位相比較器 203 に入る基準信号の周波数 (f_0/M) を 1 MHz とすることで、1 MHz きざみで設定できる 1 MHz ~ 1000 MHz の周波数シンセサイザを制作できる。同様にして基準信号の周波数を 1 kHz とすることにより、1 kHz きざみで設定できる 1 kHz ~ 1 MHz の周波数シンセサイザを制作し、同様にして基準信号の周波数を 1 Hz とすることにより、1 Hz きざみで設定できる 1 Hz ~ 1 kHz の周波数シンセサイザを制作する。そして各周波数シンセサイザを段階的に合成することにより、1 Hz きざみで 1000 MHz まで設定できる周波数シンセサイザが得られることになる。

20

【0006】

しかしながらこのようにすると、周波数を合成する各合成回路について PLL を組まなければならないこともあって、回路構成が複雑で部品点数が多くなり、ノイズが多くなるという課題がある。

30

【0007】

そこで本発明者は、従来の周波数シンセサイザとは原理が全く異なる新規な構成を採用することにより、広い帯域に亘って細かく周波数を設定することができる新規な方式の周波数シンセサイザを開発しており（例えば特許文献 2）、その要素技術として電力消費の少ない回路構成を検討している。

【0008】

【特許文献 1】特開 2004-274673 号公報：第 0002 段落、図 12

【特許文献 2】特開 2007-295537 号公報：第図 1 ~ 図 12

【発明の開示】

40

【発明が解決しようとする課題】

【0009】

本発明は、このような事情に基づいて行われたものであり、その目的は、広帯域を細かく設定でき、周波数の引き込み範囲が広く、かつ消費電力の少ない周波数シンセサイザを提供することにある。

【課題を解決するための手段】

【0010】

本発明に係わる周波数シンセサイザは、制御電圧に応じて電圧制御発振部から出力される周波数信号を分周し、分周された周波数信号である正弦波信号をデジタル化し、デジタル化された周波数信号に対して、デジタル信号である検波用の周波数信号による直

50

交検波を行って、両周波数信号の周波数差に相当する周波数で回転する回転ベクトルを複素表示したときの実数部分及び虚数部分を回転ベクトル取り出し手段にて取り出し、ベクトル取り出し手段にて取り出された回転ベクトルに対して、設定周波数に応じて粗刻みに決められた周波数で逆回転する逆回転ベクトルを乗算して前記ベクトルの速度を減速し、減速されたベクトルについて一のサンプリング時間にて得られた位相と次のサンプリング時間にて得られた位相との位相差を当該ベクトルの速度と擬制して第1の位相差検出部にて検出し、

設定周波数に応じて粗刻みに決められた周波数と設定周波数との差分の周波数で回転するベクトルの速度に対応するサンプリング間隔の位相差と、前記第1の位相差検出部にて検出された位相差と、の差分であるベクトル同士の速度差を取り出して積分し、その積分値を第1のデジタル／アナログ変換部を介して制御電圧として電圧制御発振部に供給し、こうしてPLLループが形成された周波数シンセサイザにおいて、

前記逆回転ベクトルにて減速された回転ベクトルを一のサンプリング時間にて得られた位相と次のサンプリング時間にて得られた位相との位相差を求めるデジタル回路からなる第2の位相差検出部と、

この第2の位相差検出部にて得られた位相差を積分した積分値をデジタル／アナログ変換して前記電圧制御発振部に周波数引き込み用の制御電圧として供給するための第2のデジタル／アナログ変換部と、

周波数シンセサイザの立ち上げ時に前記第2の位相差検出部の出力を前記第2のデジタル／アナログ変換部に供給し、前記第1のデジタル／アナログ変換部の出力が予め定めたしきい値を越えたときに、前記前記第2の位相差検出部の出力を前記第2のデジタル／アナログ変換部の入力側から切り離す手段と、

この切り離しが行われたときに、前記前記第2の位相差検出部の消費電力を小さくするための手段と、を備えたことを特徴とする。

【0011】

ここで前記消費電力を小さくするための手段は、前記第2の位相差検出部に、減速されたベクトルについての位相を示す信号に替えて、論理「0」の信号を入力するようにしてもよく、また、前記第2の位相差検出部が、クロック信号に同期して動作する場合に、前記消費電力を小さくするための手段は、当該第2の位相差検出部へのクロック信号の入力を停止するものであってもよい。

【発明の効果】

【0012】

本発明によれば、周波数シンセサイザの立ち上げ時に使用される周波数引き込み用の第2の位相差検出部について、第1のデジタル／アナログ変換部の出力が、予め定めたしきい値を超えた場合に、当該第2の位相差検出部を第2のデジタル／アナログ変換部の入力側から切り離すと共に、当該第2の位相差検出部の消費電力を小さくしている。この結果、第2の位相差検出部を用いて周波数引き込みを行わない期間中における当該検出部の電力消費を停止して、周波数シンセサイザ全体の消費電力を削減することができる。

【発明を実施するための最良の形態】

【0013】

図1は、本発明の周波数シンセサイザの実施の形態の全体構成を示している。1は電圧制御発振部（VCO）であり、入力される制御電圧に応じた周波数の周波数信号を出力する。2は、分周手段である分周器であり、設定周波数に応じた分周比にて電圧制御発振部1からの周波数信号を分周する。21はローパスフィルタであり、分周器2からの周波数信号の高域周波数を除去する。3はアナログ／デジタル（A/D）変換部であり、分周器2にて分周された周波数信号である正弦波信号をA/D変換する。具体的には、このA/D変換部3は、基準クロック発生部31からのクロック信号により前記正弦波信号をサンプリングしてそのサンプリング値をデジタル信号として出力する。

【0014】

A/D変換器3の後段にはキャリアリムーブ4が設けられている。このキャリアリムー

10

20

30

40

50

ブ 4 は、A/D 変換器 3 からのデジタル信号により特定される正弦波信号に対して周波数が $\omega_0 t / 2\pi$ (角速度が $\omega_0 t$) の正弦波信号 (検波用の信号) により直交検波を行い、A/D 変換器 3 のデジタル信号により特定される周波数信号の周波数と検波に用いる正弦波信号の周波数との差の周波数で回転するベクトルを取り出す手段、より詳しくはこのベクトルを複素表示したときの実数部分及び虚数部分を取り出す手段に相当する。

【0015】

図 2 はキャリアリムーブ 4 の構成を示しており、A/D 変換器 3 で得られた正弦波信号を $A \cos(\omega_0 t + \theta)$ としたとき、掛け算部 4 1 a の出力及び掛け算部 4 1 b の出力は夫々 (1) 式及び (2) 式により表される。

$$A \cos(\omega_0 t + \theta) \cdot \cos(\omega_0 t) \\ = 1/2 \cdot A \cos \theta + 1/2 \{ \cos(2\omega_0 t) \cdot \cos \theta + \sin(2\omega_0 t) \cdot \sin \theta \} \cdots \cdots (1)$$

$$A \cos(\omega_0 t + \theta) \cdot -\sin(\omega_0 t) \\ = 1/2 \cdot A \sin \theta - 1/2 \{ \sin(2\omega_0 t) \cdot \cos \theta + \cos(2\omega_0 t) \cdot \sin \theta \} \cdots \cdots (2)$$

【0016】

そこで掛け算部 4 1 a の出力及び掛け算部 4 1 b の出力を夫々ローパスフィルタ 4 2 a 及び 4 2 b を通すことにより、 $2\omega_0 t$ の周波数信号は除去されるので、結局ローパスフィルタ 4 2 a、4 2 b からは夫々 $1/2 \cdot A \cos \theta$ と $1/2 \cdot A \sin \theta$ とが取り出される。図 3 はこうして取り出されたベクトル V を表した図であり、このベクトル V は長さが A であり、回転速度が $\omega_1 t (= \phi)$ である (周波数が $\omega_1 t / 2\pi$)。

【0017】

キャリアリムーブ 4 の後段には、逆回転ベクトル乗算部 5、ローパスフィルタ (LFP) 7、第 1 の位相差検出部 7 1 及び加算部 7 2 がこの順に設けられている。これらの役割について簡単に述べておく。この周波数シンセサイザは、電圧制御発振部 1 の出力周波数が設定周波数になったときの前記回転ベクトル V の周波数とキャリアリムーブ 4 にて取り出された回転ベクトル V の周波数との周波数差を積分し、その積分値に応じた制御電圧を電圧制御発振部 1 に供給するようにしている。このようなループは PLL を構成するものであり、電圧制御発振部 1 の出力周波数が設定周波数に近づくにつれて、前記周波数差が小さくなり両者が一致したときに当該周波数差がゼロになる。設定周波数になったときの前記回転ベクトル V の周波数は予めパラメータ出力部 6 にて計算しておく。このような作用は、計算された周波数で回転ベクトル V とは逆回転する逆回転ベクトル V' とキャリアリムーブ 4 にて得られた回転ベクトル V とを乗算すればよいが、このようにすると、逆回転ベクトル V' のデータ量が膨大になる。そこで設定周波数に応じて粗刻みに決められた周波数で逆回転する逆回転ベクトル V' をパラメータ出力部 6 から出力し (※ B)、逆回転ベクトル乗算部 5 にて回転ベクトル V に乗算し、これにより減速された回転ベクトル V を後段の第 1 の位相差検出部 7 1 及び第 1 の加算部 7 2 にて止めるようにしている。

【0018】

逆ベクトル乗算部 5 における演算について説明すると、キャリアリムーブ 4 及び逆ベクトル乗算部 5 は、コンピュータの演算により実行されるものであり、その演算のサンプリングにおいてあるタイミングのサンプリング例えば n 回目のベクトル V のサンプリング値が $I(n) + jQ(n)$ であったとすると、n 回目の逆ベクトル V' のサンプリング値は $I'(n) + jQ'(n)$ である。両ベクトルを乗算したベクトル $I + jQ$ は、 $\{I(n) + jQ(n)\} \times \{I'(n) + jQ'(n)\}$ となる。この式を整理すると、(3) 式となる。

$$I + jQ = \{I(n) \cdot I'(n) - Q(n) \cdot Q'(n)\} + j \{I(n) \cdot Q'(n) + I'(n) \cdot Q(n)\} \cdots \cdots (3)$$

逆ベクトル V' を発生するとは、実際には複素平面上におけるベクトルが逆回転するように当該ベクトルの実数部分及び虚数部分の値つまり逆ベクトル V' の位相を ϕ' とすると、 $\cos \phi'$ と $\sin \phi'$ との値を発生させることである。より具体的にはベクトルの $\cos \phi$

と $\sin\phi$ との組がベクトルの回転方向に沿って順番には配列されたテーブルを例えばパラメータ出力部6内に用意し、そのテーブルのアドレスを、指示された電圧制御発振器1の設定周波数に応じて決定されるインクリメント数またはデクリメント数で読み出すことで実現できる。

【0019】

このようにベクトルVの回転は逆ベクトルV'により減速されているので、ベクトルVの周波数(速度)を簡単な近似式で求めることができる。図4に示すように複素平面上において、(n-1)番目のサンプリングにより求めたベクトルV(n-1)とn番目のサンプリングにより求めたベクトルV(n)=V(n-1)+ΔVとのなす角度Δφ、即ち両サンプリング時のベクトルVの位相差Δφは、ベクトルVの周波数がサンプリング周波数よりも十分に小さくかつ $\theta = \sin\theta$ とみなせる程度であれば、ΔVの長さとみなすことができる。

10

【0020】

ΔVを求める近似式について説明すると、先ず位相差Δφは(4)式で表される。なおimagは虚数部分、conj{V(n)}はV(n)の共役ベクトル、Kは常数である。

$$\Delta\phi = K \cdot \text{imag}[\Delta V \cdot \text{conj}\{V(n)\}] \quad \dots\dots (4)$$

【0021】

ここでI値(ベクトルVの実数部分)及びQ値(ベクトルVの虚数部分)についてn番目のサンプリングに対応する値を夫々I(n)及びQ(n)とすれば、ΔV及びconj{V(n)}は複素表示すると夫々(5)式及び(6)式で表される。

20

$$\Delta V = \Delta I + j \Delta Q \quad \dots\dots (5)$$

$$\text{conj}\{V(n)\} = I(n) - j Q(n) \quad \dots\dots (6)$$

ただしΔIはI(n)-I(n-1)であり、ΔQはQ(n)-Q(n-1)である。(5)式及び(6)式を(4)式に代入して整理すると、Δφは(7)式で表されることになる。

$$\Delta\phi = \Delta Q \cdot I(n) - \Delta I \cdot Q(n) \quad \dots\dots (7)$$

前記第1の位相差検出部71は、このように近似式を用いてΔφを求める機能を備えている。このΔφは、逆ベクトル乗算部5にて減速されたベクトルVの周波数に対応する値である。

【0022】

30

ここでパラメータ出力部6は、外部より設定周波数が入力されており、また設定周波数に応じて粗刻みに決められた周波数つまり逆回転ベクトルV'の速度(周波数)も分かっていることから、電圧制御発振部1における出力周波数が設定周波数になったときに第1の位相差検出部71から得られるベクトルVの周波数(Δφ)の値も予め分かっている。この値を周波数微調整分と呼ぶことにすると、第1の位相差検出部71の後段に設けられた加算部72にて、パラメータ出力部6から出力される周波数微調整分(※A)と第1の位相差検出部71との差分が取り出される。取り出された差分(周波数差)は位相差の累積加算部73にて累積加算され、ループフィルタ8を介して第1のD/A変換部80に与えられる。第1のD/A変換部80にて得られたアナログ電圧は結合器11にて後述する周波数引き込み用ループの第2のD/A変換部105からの出力と結合されて、電圧制御発振部1に制御電圧として供給されPLLによる周波数制御が行われる。ここで位相差の累積加算部73及びループフィルタ8は、この例では周波数差を積分する手段に相当する。

40

【0023】

かかる構成を備えた周波数シンセサイザにつき、本発明者は、第1の位相差検出部71の検出値とローパスフィルタ21の出力レベルとの関係を調べたところ、電圧制御発振器1の出力周波数が設定周波数になるポイントを中心とした所定の周波数範囲から外れるとローパスフィルタ21のゲインが落ちてきてしまうことを把握している。これでは、周囲の温度変化などにより電圧制御発振器1の出力周波数が当該範囲を超えて変化した場合には、第1の位相差検出部71を利用して出力周波数を調節するPLLの制御系が追従しな

50

いので周波数を設定周波数に引き込めなくなってしまう。また周波数シンセサイザの運転開始時、即ち立ち上げ時には電圧制御発振部 1 には制御電圧が入力されていないので、出力周波数が前記の制御可能な範囲に入るまで制御電圧を立ち上げる必要がある。

【0024】

そこで本実施の形態に係わる周波数シンセサイザは、既述の第 1 の位相差検出部 7 1 を利用した PLL ループ（第 1 の位相差検出部 7 1、第 1 の加算部 7 2、位相の累積加算部 7 3、ループフィルタ 8、第 1 の D/A 変換器 8 0 を含んだループ）に加え、装置の立ち上げ時や出力周波数の変動時に周波数引き込みを行うループを備えている。以下、当該機構の内容を説明する。

【0025】

図 1 に示すように、周波数引き込み用のループは、逆回転ベクトル乗算部 5 の出力側のローパスフィルタ 7 0 と結合器 1 1 との間に、第 1 の位相差検出部 7 1 に係る PLL のループと並列に接続されている。当該ループにおいて、7 4 は第 2 の位相差検出部、SW 2 は第 2 のスイッチ、1 0 1 は積分手段、1 0 4 は第 2 の加算部、1 0 5 は第 2 の D/A 変換部である。

【0026】

第 2 の位相差検出部 7 4 は、当該周波数シンセサイザの立ち上げ時において、既述のベクトル V の位相差 $\Delta\phi$ を求める計算と同様の計算を実行し、当該計算結果を周波数引き込み用の制御電圧を供給するための信号として積分手段 1 0 1 へと出力する役割を果たす。なお、当該計算は既述のようにベクトル V の周波数がサンプリング周波数よりも十分に小さくかつ $\theta = \sin \theta$ とみなせる程度ある場合に、位相差 $\Delta\phi$ を近似的に与えるものであり、周波数シンセサイザの立ち上げ時における第 2 の位相差検出部 7 4 の計算結果は当該位相差 $\Delta\phi$ を必ずしも正確に示すものではない。即ち、本実施の形態においては、電圧制御発振部 1 に入力される制御電圧を上昇させるための出力として、この計算結果を利用しているものである。

【0027】

第 2 のスイッチ SW 2 は、周波数引き込みの要否に応じ、また周波数引き込みが必要な場合には、その状況に応じ、後述する切替制御部 1 0 からの指示に基づいて、積分手段 1 0 1 へと入力する信号を切り替える役割を果たす。第 2 のスイッチ SW 2 は、a ~ d の 4 つの接点を備えたスイッチとして構成されており、各接点からは以下の (1) ~ (4) の信号を積分手段 1 0 1 へと入力することができる。

【0028】

(1) 接点 a : 第 2 の位相差検出手段 7 4 から出力される位相差を積分手段 1 0 1 へと入力する。当該接点 a のオフにより、第 2 の位相差検出手段 7 4 は、後述の第 2 の D/A 変換部 1 0 5 の入力側から切り離されることになる。(2) 接点 b : 電圧制御発振器 1 へ印加する電圧を大きくして周波数信号の周波数を上げるための単位調整量である定数「+1」を入力する。(3) 接点 c : 電圧制御発振器 1 へ印加する電圧を小さくして周波数信号の周波数を下げるための単位調整量である定数「-1」を入力する。(4) 接点 d : 周波数引き込みの動作を行わないようにする信号「0」を入力する。

【0029】

積分手段 1 0 1 は、第 2 のスイッチ SW 2 からの信号入力を受けて保持している信号を出力するレジスタ 1 0 2 と、このレジスタ 1 0 2 からの出力信号と第 2 のスイッチ SW 2 からの入力値とを加算してレジスタ 1 0 2 に格納する加算部 1 0 3 とから構成されている。

【0030】

また第 2 の加算部 1 0 4 は、立ち上げ時における電圧制御発振器 1 の初期電圧を初期値としてパラメータ出力部 6 から入力し (※ C)、第 2 の D/A 変換部 1 0 5 は積分手段 1 0 1 及び第 2 の加算部 1 0 4 からのデジタル信号を電圧制御発振器 1 の制御電圧 (アナログ信号) に変換し、既述の結合器 1 1 へと出力する役割を果たす。

【0031】

以上の構成を備えた周波数引き込み用のループにおいて、第2の位相差検出部74には、複数の乗算器や加算器が必要であり、実際には数万単位のゲートを備えた例えばFPGA(Field Programmable Gate Array)が組み込まれているため、周波数シンセサイザのなかでも比較的大きな電力を消費する。一方、この第2の位相差検出部74は、既述のように周波数シンセサイザが立ち上がって、PLLの制御範囲にロックされた後は、第2のD/A変換部105から切り離され、その後の周波数引き込みの動作には利用されないにも拘らず、逆回転ベクトル乗算部5からの信号が入力され続けると、当該入力信号に基づいてベクトルの位相差を求める動作を実行し、引き続き電力を消費してしまうためエネルギー効率が悪い。

【0032】

10

そこで本実施の形態に係る周波数シンセサイザは、第2の位相差検出部74が第2のD/A変換部105から切り離された後に、当該第2の位相差検出部74における消費電力を小さくする手段を備えている。当該手段を構成する要素として、例えば図1に示す周波数シンセサイザには、逆回転ベクトル乗算部5後段のローパスフィルタ70と第2の位相差検出部74との間に第1のスイッチSW1が介設されている。

【0033】

第1のスイッチSW1は、後述する切替制御部10からの指示に基づいて、第2の時間差検出部74への入力信号を、逆回転ベクトル乗算部5からの減速されたベクトルVの値を示す信号(接点イ)と、論理「0」の信号(接点ロ)との間で切り替えるスイッチである。第2の位相差検出手段74に入力される信号を「0」とすることにより、当該手段74を構成するFPGA内における全ての演算回路入力が常に「0」となり、演算結果を一定とし、スイッチングによる消費電力を抑えることができる。

20

【0034】

さらに本実施の形態に係る周波数シンセサイザは、切替制御部10を備えており、当該切替制御部10は、例えば図1に示すようにループフィルタ8や第2の位相差検出部74の出力に基づき、PLLループの制御状態を監視して周波数引き込み用のループ内の第2のスイッチSW2や第1のスイッチSW1などの切替動作を実行する役割を果たす。

【0035】

ここで周波数シンセサイザの立ち上げ時、前記第2の加算部104から初期電圧が入力されてから、第2の位相差検出部74からの出力が予め定めた値を超えるまでの期間を「立ち上げ第1段階」、この立ち上げ第1段階を経過し、ループフィルタ8の出力が予め定められた制御範囲の下限值を超えるまでの期間を「立ち上げ時第2段階」と定義する。このとき切替制御部10は、立ち上げ第2段階において、第2のスイッチSW2を接点aに接続する役割を果たす。

30

【0036】

また切替制御部10は、周波数シンセサイザの立ち上げが完了し、PLLがロックした状態となった後の期間中において、ループフィルタ8出力が予め決めた制御範囲の上限値を超えた場合にはSW2を接点bに切り替える一方、同出力が前記制御範囲の下限値を下回った場合にはSW2を接点cに切り替え、同出力が制御範囲内にある場合にはSW2を接点dに切り替えるように構成されている。

40

【0037】

さらに切替制御部10は、前記立ち上げ時の第1段階及び第2段階の期間中は第1のスイッチSW1を接点イに切り替え、これ以外の期間中においてはSW1を接点ロに切り替えるよう構成されている。さらに切替制御部10は、周波数シンセサイザの立ち上げ時に積分手段101のレジスタ102に保持されている信号をリセットし、立ち上げ時第2段階以降、積分手段101をオンにして積分動作を開始させる役割も担っている。

【0038】

以上に説明した切替制御部10の機能に基づき、積分手段101の動作状態、第1、第2のスイッチSW1、SW2の切り替え状態、及び第2の位相差検出部71の動作状態をPLLループの状態に応じて整理すると、図5に示すようにまとめることができる。

50

【0039】

次に本実施の形態に係る周波数シンセサイザの動作について説明する。まず設定周波数をパラメータ出力部6に入力することにより、分周器における分周比 N 、逆回転ベクトル V' の周波数、加算部72に供給される周波数微調整分の値が計算される。設定周波数及び分周比 N が決まれば、電圧制御発振部1の出力周波数が設定周波数になったときのキャリアリムーブ4にて求められた回転ベクトル V の周波数 f_r も分かる。パラメータ出力部6は、周波数刻み f_a の整数倍の周波数のうち、 f_r に最も近い周波数 $n \cdot f_a$ (n は整数)を予め計算して、周波数 $n \cdot f_a$ で逆回転する逆ベクトルを作成する。更に前記周波数刻み f_a よりも小さい微調整のための周波数刻み f_b の整数倍のうち、 f_r と前記周波数 $n \cdot f_a$ との差に最も近い周波数 $m \cdot f_b$ (m は整数)と、を計算し、この値を周波数微調整分として加算部72に供給する。

10

【0040】

そして図6に示す時刻「 t_0 」にて、周波数引き込み用ループ内の第2の加算部104より電圧制御発振器2の初期電圧が入力されると、第1のスイッチの初期状態を接点イに接続しておくことにより、第2の位相差検出部74からそのときにおける計算結果が出力され始める(立ち上げ時第1段階)。このとき、周波数引き込み用ループ側の積分手段101はレジスタ102がリセットされた状態となっていて積分動作を開始していない。また、積分手段101にてまだ積分動作が開始されておらず、第2のスイッチSW2は第2のD/A変換部105から切り離された状態となっているため、当該スイッチSW2はどの接点に接続されていてもよい。

20

【0041】

この立ち上げ時第1段階では、ループフィルタ8からの出力が開始されていないことから、第2の位相差検出部74からの出力を監視し、当該出力が予め定めた値に達した時刻「 t_1 」において周波数引き込み用のループを用いた周波数引き込み制御を開始する(立ち上げ時第2段階)。

【0042】

立ち上げ時第2段階においては、第2のスイッチSW2の接点aを選択して第2の位相差検出部74における計算の結果を積分手段101へと入力し、積分手段101にて積分動作を開始することにより前記計算結果の積分値が第2のD/A変換部105を介して結合器11へと出力され、PLLループの出力を上昇させる方向に周波数の引き込みを実行する。

30

【0043】

この周波数引き込みの動作の結果、ループフィルタ8の出力が急上昇し、時刻「 t_2 」にて当該出力がPLLループ単独で出力周波数を調節可能な範囲に入ったことを検知したら(PLLロックを検出したら)、第2の位相差検出部74を利用した周波数の引き込みを終了する。即ち、第1のスイッチSW1を接点ロに切り替えて、第2の位相差検出部74をオフの状態とする一方、第2のスイッチSW2を接点dに切り替えて積分手段101へ信号「0」を出力することによりPLLループ単独の動作へと移行する。なおこのときA/D変換部3に与えられるクロックの周波数は例えば40MHz、キャリアリムーブ4に与えられる検波用の信号の周波数は例えば4MHzとされる。

40

【0044】

このときループフィルタ8の出力を監視する動作は、第1のD/A変換部80の出力をアナログ側で監視していることに他ならず、PLLがロックされた際(ループフィルタ8の出力がPLLループ単独での制御範囲の下限値を超えた際)に、当該スイッチSW2を接点dへと切り替える動作は、第1のD/A変換部80の出力が予め定めたしきい値を越えたときに第2の位相差検出部74の出力を第2のD/A変換部105の入力側から切り離す動作に相当している。即ち、本実施の形態において、前記制御範囲の下限値は本発明の予め定めたしきい値に対応し、切替制御部10と第2のスイッチSW2とは、第2の位相差検出部74の出力を第2のD/A変換部105の入力側から切り離す手段に相当している。そして切替制御部10と第1のスイッチSW1とは、この切り離しが行われたとき

50

に、第2の位相差検出部74の消費電力を小さくするための手段に相当している。

【0045】

このように立ち上げ時の周波数引き込み動作を終え、ループフィルタ8の出力がPLLループの制御範囲内に入っている期間中は、PLLループ単独による出力周波数の調節を行う。ところがここで、例えば周囲の温度変化などにより電圧制御発振器1の出力周波数が低下し、この低下分を補うためループフィルタ8からの出力を上昇させたにも拘らず出力周波数の低下を止めることができなかったため、時刻「 t_3 」においてループフィルタ8の出力がPLLループの制御範囲を超えたものとする。

【0046】

この場合には、再び周波数引き込み用のループを利用して周波数の引き込みを行う。即ち、第2のスイッチSW2を接点bに切り替えて、電圧制御発振器1へ印加する電圧を大きくするための単位調整量「+1」を積分手段101へ入力し、この積分値をPLLループからの出力に加えることにより、電圧制御発振器1の出力周波数を上昇させる。この結果、時刻「 t_4 」においてループフィルタ8の出力が再びPLLループの制御範囲内となったら、第2のスイッチSW2を再度接点dに切り替えて周波数引き込みを終える。

【0047】

また上述の動作とは反対に、電圧制御発振器1の出力周波数が上昇し、PLLループ単独では当該出力周波数の上昇を止めることができずに時刻「 t_5 」においてループフィルタ8の出力がPLLループ単独の制御範囲を下回ってしまった場合には、第2のスイッチSW2を接点cに切り替える。この切り替えにより、電圧制御発振器1へ印加する電圧を小さくするための単位調整量「-1」が積分手段101へ入力され、この積分値がPLLループからの出力に加えられることにより、電圧制御発振器1の出力周波数を下げることができる。この結果、時刻「 t_6 」においてループフィルタ8の出力が再びPLLループの制御範囲内となったら、第2のスイッチSW2を接点dに戻して周波数引き込みを終える。

【0048】

以上に説明したように、周波数シンセサイザの立ち上げを終えた後、周波数引き込み用のループは、ループフィルタ8の出力がPLLループの制御範囲を超えて変動したか否かに応じて周波数引き込みを行うように構成されているが、立ち上げ時とは異なりこれらのこれらの周波数引き込み動作においては、第2の位相差検出部74は利用されない。このため、立ち上げ時第2段階が終了した時刻「 t_2 」以降は、PLLループ単独であるか周波数引き込み用ループが動作しているかに係らず、第1のスイッチSW1は接点口側に常時接続され、第2の位相差検出部74における電力消費を停止している。

【0049】

本実施の形態に係る周波数シンセサイザによれば以下の効果がある。周波数シンセサイザの立ち上げ時に使用される周波数引き込み用の第2の位相差検出部74について、PLLループを構成するループフィルタ8の出力（第1のD/A変換部80の出力に対応している）が、予め定めたしきい値であるPLLループ単独での制御範囲の下限値を超えた場合に、当該第2の位相差検出部74を第2のD/A変換部105の入力側から切り離すと共に、当該検出部74に論理「0」の信号を供給している。この結果、第2の位相差検出部74を用いて周波数引き込みを行わない期間中における当該検出部74の電力消費を停止して、周波数シンセサイザ全体の消費電力を削減することができる。

【0050】

ここで第2の位相差検出部74における電力消費を停止する手法は、当該検出部74に論理「0」の信号を入力する場合に限定されない。例えば第2の位相差検出部74を動作させるクロック信号の入力を停止することにより、逆回転ベクトル乗算部5からの信号が入力されても当該位相差検出部74の動作が実行されなくなるので、実質的な電力消費を停止することができる。

【0051】

さらに他の手段として、例えば第2の位相差検出部74内に設けられているRSフリッ

10

20

30

40

50

プフロップ回路の出力が一定となるように、セット側、リセット側の両入力端子に一定の信号を入力し続けることにより、第2の位相差検出部74の演算結果が常に一定となるようにしてスイッチングによる消費電力を抑えてもよい。

【図面の簡単な説明】

【0052】

【図1】本発明に係る周波数シンセサイザの実施の形態を示すブロック図である。

【図2】上記の実施の形態に用いられるキャリアリムーブを示す構成図である。

【図3】キャリアリムーブにて得られるベクトルを示す説明図である。

【図4】相前後するタイミングでサンプリングしたベクトルの位相差を示す説明図である。

。

【図5】PLLループの状態に応じて設定される、周波数引き込み用ループ内の各構成要素の状態を示した説明図である。

【図6】上記の実施の形態に係る周波数シンセサイザの作用を示すタイムチャートである。

。

【図7】従来の周波数シンセサイザの構成を示すブロック図である。

【符号の説明】

【0053】

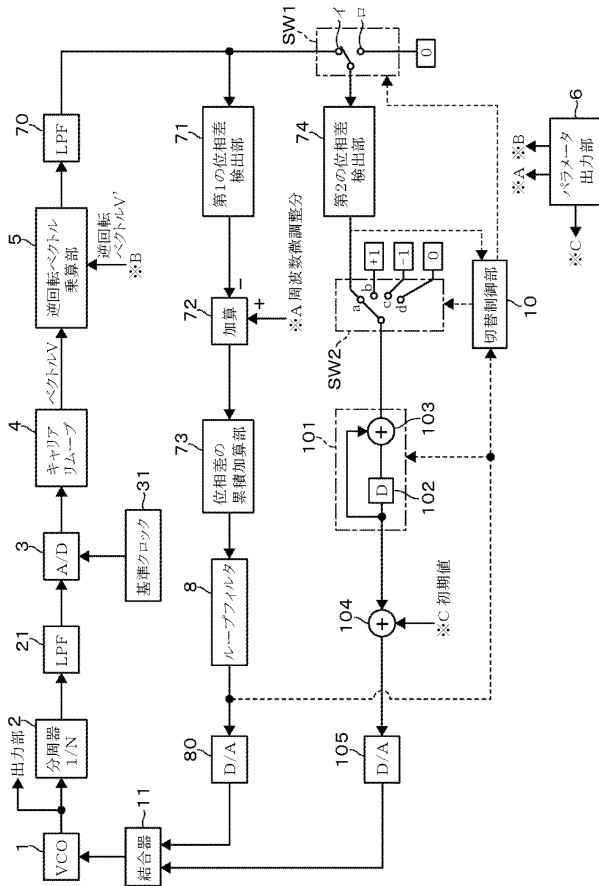
SW1	第1のスイッチ
SW2	第2のスイッチ
1	VCO（電圧制御発振器）
2	分周手段
3	A/D変換器
4	キャリアリムーブ
5	逆ベクトル乗算部
6	パラメータ出力部
7	減数処理部
71	第1の位相差検出部
73	位相差の累積加算部
74	第2の位相差検出部
8	ループフィルタ
80	第1のD/A変換部
10	切替制御部
101	積分手段
105	第2のD/A変換部

10

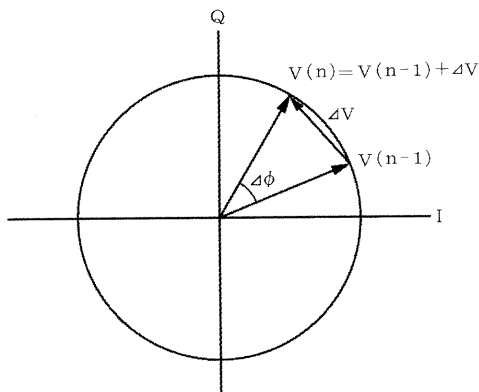
20

30

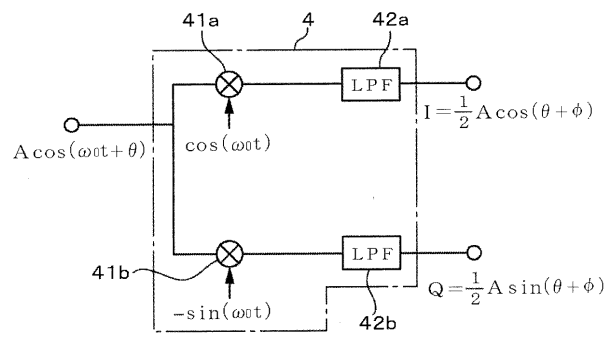
【図 1】



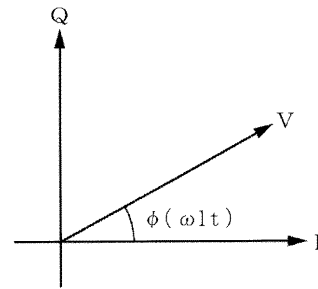
【图 4】



【図 2】



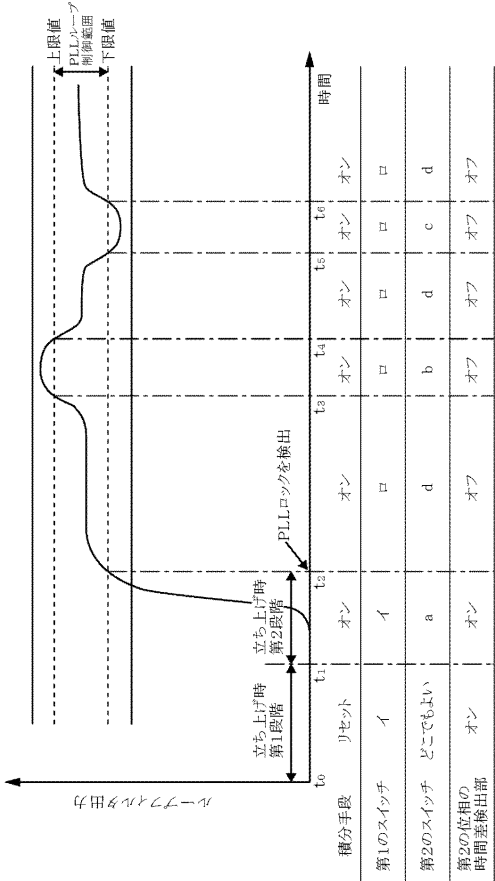
【 図 3 】



【图 5】

PLLループの状態	積分手段	第1のスライツ	第2のスライツ	第2の位相時間差検出部
立ち上げ時第1段階	リセット	イ	どこでもよい	オフ
立ち上げ時第2段階	オン	イ	a	オン
ループフィルタ出力が制御範囲を超えた場合	オン	ロ	b	オフ
ループフィルタ出力が制御範囲を下回った場合	オン	ロ	c	オフ
ループフィルタ出力が制御範囲内にある場合	オン	ロ	d	オフ

【図 6】



【図 7】

