

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H04Q 11/04	(45) 공고일자 2000년09월01일	(11) 등록번호 10-0264873
(21) 출원번호 10-1997-0708364	(24) 등록일자 2000년06월07일	(65) 공개번호 특1999-0021889
(22) 출원일자 1997년11월22일	(43) 공개일자 1999년03월25일	(87) 국제공개번호 WO 96/39004
번역문제출일자 1997년11월22일	(87) 국제공개일자 1996년12월05일	(81) 지정국 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 국내특허 : 아일랜드 일본
(30) 우선권주장 8/456520 1995년06월01일 미국(US)	(73) 특허권자 마이크론 테크놀로지, 인크 로데릭 더블류 루이스 미국 83716-9632 아이다호주 보이시 피.오. 박스 6 사우쓰 페드럴 웨이 8000	(72) 발명자 토만**마크**알. 미국 83709 아이다호주 보이시 리바 리지 3608 보**하이**탄 미국 83716 아이다호주 보이시 에스. 실버우드 플레이스 4459 허쉬**글랜**이. 미국 83706 아이다호주 보이시 이스트 잔틀윈드 코트498
(74) 대리인 안국찬, 주성민	<b>심사관 : 전종성</b>	

(54) 멀티포트 메모리 및 데이터 전달 방법

**요약**

멀티포트 메모리를 포함하는 ATM 스위치가 개시된다.

멀티포트 메모리는 다이내믹 랜덤 액세스 메모리(DRAM), 다수의 입력 및 출력 직렬 액세스 메모리(SAMs)를 구비한다. SAMs와 DRAM간에서 데이터를 전달하기 위한 효율적이고도 유연한 전달 회로 및 방법이 개시된다. 이 전달 회로 및 방법은 헬퍼 플립/플롭을 구비해서 ATM 데이터를 래칭하여 편집한 후에 DRAM에 저장한다. 스위칭 동안 유발되는 에러를 검출하기 위한 다이내믹 패리티 발생 및 검사가 개시된다.

**대표도**

**도1**

**명세서**

**기술분야**

본 발명은 일반적으로 ATM 스위치(ATM switches)에 관한 것으로서, 특히 멀티포트 메모리 ATM 스위치(multi-port memory ATM switch)에서 내부적으로 데이터를 전달하는 것에 관한 것이다.

**배경기술**

일반적으로 네트워크 통신량(network traffic)이 증가함에 따라 통신량 및 그의 폭주현상(traffic and congestion)을 신속하고도 효과적으로 관리하기 위한 방법들이 요구된다. 네트워크 통신량 관리시의 한 가지 문제점은 한 세트의 통신선로부터 다른 세트의 통신선으로의 데이터 경로 배정에 스위치를 사용하는 선로 스위칭의 경우에 발생한다. 네트워크 스위치는, 통상, 스위칭 동작 중에 전송 데이터를 일시적으로 저장하는데 사용되는 메모리형 디바이스(memory-type device)를 구비한다.

여러가지 다른 큐잉 구조(different queuing structures)들은 네트워크 스위치에 사용되어 여러가지 다른 결과를 나타내었다. 즉, 입력 큐 구조를 사용하는 스위치는 선로 폭주 현상을 발생하는 경향을 보이는 반면에, 출력 큐 구조를 사용하는 스위치는 선로 폭주 문제를 배제한다. 또한, 비동기식 전달 모드 네트워크(asynchronous transfer mode(ATM) networks)에 사용되는 스위치는 보다 균일한 전송 네트워크(a more uniform transmission network)에 사용되는 스위치보다 더 많은 저장 공간을 필요로 한다. 즉, ATM 통신에서는 대량의 데이터가 포함되며 그 통신량이 불균일하게 되는 경향이 있어, 그 통신량에 대해 허용 가능한 스위칭 시간의 유지를 위해서는 소정 시간에서 이용가능한 메모리의 양을 증가시켜야만 한다. 스위칭 시간 성능이 불량하면, 스위칭 동작 중에 ATM 데이터가 손실될 가능성이 있다. 호스트 인터페이스

의 설명에 대해서는 PCT 공개 제 W095/14269 호가 참조되고, 다이얼포트 메모리의 패리티 제어 시스템에 대해서는 일본 특허 제 1,181,142 호가 참조되며, 이중포트 비디오 RAM을 가진 통신 시스템에 대해서는 미국 특허 제 5,394,399 호가 참조된다.

메모리의 증대 요구 및 신속한 스위칭 시간의 요구에 따라 신속하고도 효과적인 ATM 스위치가 필요하게 되었다. 또한, 여러가지 다른 ATM 데이터 셀 구조들에서는 스위치의 유연성이 요구된다. ATM 스위칭에 있어서의 한가지 특수한 문제는 통신량이 상당히 폭주하는 경로가 없게 되도록 ATM 셀의 경로 배정을 변경할 필요가 있다는 것이다. 이렇게 하기 위해서는, 통상, ATM 셀 내에 포함된 헤더(header)를 수정하여 새로운 경로 또는 목적지 어드레스(a new route or destination address)를 표시케 하는 것이 필요하며, 또한 ATM 셀 내에 포함된 부가적인 정보 예를 들어 에러 검사 데이터(error check data)도 갱신해야 할 필요가 있을 수 있다. 또한, 메모리는 쉽게 에러를 유발할 수 있기 때문에, ATM 스위치가 에러 검사 체제를 갖추어 스위칭 중에 유발되는 어떠한 에러의 발생도 감시케 해야만 한다.

상술한 이유에서 또한 본 명세서를 읽고 이해해가는 중에 당업자에게 자명하게 될 후술하는 다른 이유에서, 본 기술분야에서는 ATM 셀의 경로배정 및 목적지 어드레스를 효과적으로 갱신하는 신속하고도 유연한 ATM 스위치가 필요하다. 또한, 내부 에러 검사 기능을 갖춘 스위치도 필요하다.

### 발명의 상세한 설명

#### 발명의 개요

ATM 스위치와 관련된 상기 언급된 문제점들은 본 발명에 의해 다루어져 해결되며 다음의 설명을 읽고 연구하는 것에 의해 이해될 것이다. 전달회로 및 방법은 신속하고도 유연한 ATM 스위치를 제공하는 멀티포트 메모리에서 설명된다.

특히, 본 발명은 비동기식 전달 모드(ATM) 데이터를 저장하는데 사용되는 다수의 입력 직렬 액세스 메모리(input serial access memories(ISAMs)), ISAMs로부터 ATM 데이터를 수신하여 저장하는데 사용되는 다이나믹 랜덤 액세스 메모리(DRAM), DRAM으로부터 ATM 데이터를 수신하여 저장하는데 사용되는 출력 직렬 액세스 메모리(output serial access memories(OSAMs))를 포함하는 멀티포트 메모리를 설명한다. 멀티포트 메모리는 또한 에러 코드 발생기와 기록 전달 회로를 포함한다. 기록 전달 회로는 ISAMs, 에러 코드 발생기 및 DRAM을 서로 연결한다. 양호한 실시예에서 에러 코드 발생기는 패리티 코드 발생기이다. 기록 전달 회로는 편집 버퍼, 에러 코드 검사 회로, 판독 전달 회로를 포함한다. 판독 전달 회로는 에러 코드 검사회로, OSAMs 및 DRAM을 서로 연결하며, 편집 레지스터를 포함한다.

기록 전달 회로는 또한 한 개의 버스가 각 ISAM의 한 개 비트에 전기적으로 연결된 다수의 기록 전달 버스를 갖는다. 에러 코드 발생기는 각각이 다수의 기록 전달 버스 중 하나에 연결된 다수의 헬퍼 플립/플롭(helper flip/flops)과, 다수의 헬퍼 플립/플롭에 연결되어 그들로부터 에러 신호를 발생하는 에러 코드 발생기를 포함한다. 또한, 편집 버퍼는 에러 코드 발생기는 각각이 다수의 기록 전달 버스 중 하나에 연결된 다수의 헬퍼 플립/플롭을 포함한다.

또다른 실시예에서, 판독 전달 회로는 한 개의 버스가 다수의 OSAM 중 한개 비트에 전기적으로 연결된 다수의 판독 전달 버스를 갖는다. 또한, 에러 코드 검사 회로는 각각이 다수의 판독 전달 버스 중 하나에 연결된 다수의 헬퍼 플립/플롭과, 다수의 헬퍼 플립/플롭에 연결되어 그들로부터 에러 코드를 발생하는 에러 코드 발생기와, 에러 코드 발생기에 연결되어 그 발생된 에러 코드를 사전규정된 에러 코드와 비교하는 비교기를 포함할 수 있다. 마지막으로, 패리티 에러 회로는 에러 코들 검사 회로를 감시하기 위해 포함될 수 있다.

### 도면의 간단한 설명

도 1은 멀티포트 메모리의 개략적인 블록도이고;

도 2는 도 1에 도시한 멀티포트 메모리의 상세 블록도이고;

도 3은 특정 바이트 할당 구조를 가진 56바이트 ATM셀이고;

도 4는 특정 바이트 할당 구조를 가진 52바이트 ATM셀이고;

도 5는 특정 바이트 할당 구조를 가진 53바이트 ATM셀이고;

도 6은 도 2에 도시한 멀티포트 메모리의 전달 회로에 대한 블록도이고;

도 7은 도 6에 도시한 전달 회로의 헬퍼 플립/플롭 부분에 대한 개략도이며;

도 8은 도 2에 도시한 멀티포트 메모리의 입력 직렬 액세스 메모리로부터 편집 버퍼 회로로의 데이터 전달에 대한 그래프이다.

### 실시예

#### 발명의 상세한 설명

양호한 실시예에 대한 다음의 상세한 설명에서는 그의 일부를 형성하는 첨부도면을 참조하는데, 이 도면에 도시된 것들은 본 발명이 실시될 수도 있는 예시적인 특징의 양호한 실시예들이다. 이들 실시예는 당업자가 본 발명을 실시할 수 있도록 충분히 설명되고 있는데, 당업자라면 다른 실시예들도 이용될 수 있고 본 발명의 사상 및 범주 내에서 논리적, 기계적 및 전기적 변경이 가능함을 알 수 있을 것이다. 따라서, 다음의 상세한 설명은 제한적인 의미로 취해져서는 안되며 본 발명의 범주는 청구의 범위에 의해서만 규정되어야 할 것이다.

본 발명은 멀티포트 메모리에 구현되는 것으로서 설명된다. 멀티포트 메모리(100)의 개략적인 블록도는

비동기식 전달 모드(ATM) 네트워크에 대한 데이터 경로 요건을 해결하는데 사용될 수 있다. 이 메모리는 다이내믹 랜덤 액세스 메모리(DRAM)(102) 및 8개의 이중버퍼형 입력 직렬 액세스 메모리(double-buffered input serial access memories(SAMs)(104(0)-(7))를 갖는다. 8개의 출력 SAMs(106(0)-(7))도 이중버퍼형이다. 입력 SAMs는 백 투 백 ATM 셀(back-to-back ATM cell)을 받아들일 수 있어, 제 2의 ATM 셀이 입력 포트내로 로딩되는(loaded) 동안에 한개의 완전한 ATM 셀이 입력 포트로부터 DRAM내로 이동될 수 있다. 이와 마찬가지로, 제 2의 ATM 셀이 DRAM으로부터 전달되는 동안에 출력 SAMs는 한 개의 ATM 셀을 4-비트 데이터 버스에 출력할 수 있다.

ATM 셀은 편집이 수행될 수 있는 입력 SAMs내로 입력 포트를 통해 흘러 들어간다. ATM 셀은 DRAM으로 전달되고 그 다음에 출력 SAMs에 전달되어 여기서 또한번 편집될 수 있다. ATM 셀은 출력 포트를 통해 통신 선로에 출력된다.

도 2에는 멀티포트 메모리(100)가 보다 상세하게 도시된다. 이 메모리는 상술한 바와 같이 DRAM(102), 입력 SAMs 104(0)-(7) 및 출력 SAMs 106(0)-(7)을 갖는다. 각각의 입력 포트는 대응하는 버퍼 회로(108)를 갖는다. 버퍼 회로(108)는 래치 및 버퍼 입력 데이터, 큐 니블 카운터(queue nibble counter), 그리고 포인터 디코더 및 제어(pointer decoder and control)를 비롯한 수개의 기능을 수행하는데 사용된다. 4-비트 입력 데이터 통신 버스 라인(110)은 ATM 셀 입력을 버퍼 회로(108)에 제공한다. 버퍼 회로에 연결된 입력 프레임 및 회로(input frame and clock circuit)(112)는 입력 셀의 시작을 나타내며 입력 데이터를 동기화한다.

각각의 출력 SAM(106)은 대응하는 버퍼 회로(116)를 갖는다. 버퍼 회로(116)는 래치 및 버퍼 출력 데이터, 큐 니블 카운터, 그리고 포인터 디코더 및 제어를 비롯한 수개의 기능을 수행하는데 사용된다. 4-비트 입력 데이터 통신 버스 라인(118)은 ATM 셀 출력을 버퍼 회로(116)에 제공한다. 출력 버퍼 회로에 연결된 출력 프레임 및 회로(112)는 출력 셀의 시작을 나타내며 출력 데이터를 동기화한다.

바이트 패리티 발생기(122)는 입력 SAM(104)으로부터 DRAM에 전달된 각 ATM 셀에 대한 패리티 코드를 제공하며, 바이트 패리티 검사 회로(124)는 출력 DRAM으로부터 SAM(106)으로 전달된 ATM 셀의 패리티 코드를 검사한다. 바이트 패리티 발생기(122) 및 바이트 패리티 검사 회로(124)에 대해서는 후술한다.

제어 인터페이스 및 커맨드 디코딩 수단(control interface and command decode)(114)은 멀티포트 메모리(100)와 외부 제어기(도시 안함)를 인터페이스하며 외부 메모리로부터 인터페이스 라인(206)에 제공되는 커맨드를 디코딩한다. 에러/상태 회로(126)는 입력 SAMs(104)의 상태를 감시하여 DRAM으로의 전달이 필요한지의 여부를 판단하고 바이트 패리티 검사 회로(124)로부터의 출력을 추적하여 ATM 전달에서 에러가 발생되었는지를 판단한다. 순환 여유 검사 로직(cyclical redundancy check (CRC) logic)(128) 및 편집 버퍼 제어 수단(130)은 후술하는 바와 같이 ATM 셀을 변형한 다음에 그것을 입력 SAM 포트(104)로부터 DRAM에 전달하는 수단을 제공한다. 출력 편집기(132) 및 출력 편집 버퍼(134)는 ATM 셀의 변형 후에 출력 SAMs(106)를 통한 출력을 고려한다. 메모리 제어 회로(136)는 당업자가 아는 바와 같이 DRAM의 어드레싱에 필요한 회로를 제공한다.

#### ATM 데이터 흐름

일반적으로 도 2를 참조한다. ATM 셀은 버퍼 회로(108)를 통해 입력 직렬 액세스 메모리(ISAM)(104)내로 흐르며 여기서 제어 인터페이스를 통해 제공된 외부 제어 기능에 의해 편집될 수 있다. 외부 제어 기능은 ISAM 셀을 DRAM(102)내에 저장할 때 및 그 메모리(102)로부터 출력 직렬 액세스 메모리 포트(OSAM)(106)에 로딩할 때를 칩(chip)에 알린다. OSAMs는 급송을 위해 ATM 셀을 출력 버퍼(116)에 전달한다. 다음의 문단은 데이터 흐름을 보다 상세히 설명하는 것이다.

ATM 셀은 통신 선로 입력(110)을 통해 칩내의 입력 버퍼(108)내로 들어간다. 4-비트 병렬 스트림은 4-비트 데이터 버스(105)를 통해 버퍼들과 연관된 클럭에 의해서 ISAM(104)에 로딩된다. 입력 프레임 및 클럭 회로(112)는 ATM 셀의 제 1 데이터 니블을 표시하는 것으로서 이 회로는 ISAM 로딩의 개시에 사용된다. 일단 완전한 셀이 ISAM에 로딩되면, sam 에러/상태 회로(126)는 'ISAM 풀(full)' 상태 비트를 세팅한다. 상술한 바와 같이, ISAMs는 두 개의 ATM 셀 길이에 해당하므로, 다음의 ATM 셀은 ISAM내로 계속적으로 흐른다. 비동기식 외부 제어 기능은 ISAM 상태를 제어 인터페이스 및 커맨드 디코딩 수단(114)을 통해 폴링한다(polls). 일단 ISAM 풀 상태가 제어 인터페이스 및 커맨드 디코딩 수단(114)을 통해 외부 제어기에 의해서 검출되면, ISAM의 제 1의 72개 비트가 입력 편집 버퍼(130)에 복사되며 ISAM의 제 1 또는 제 2 워드가 멀티플렉서(138)에 의해 외부 제어기로 출력된다. 외부 제어기는 그 워드를 평가하여 선택사항적으로 변형하고 그 다음 메모리 로직 제어 수단(136)을 통해 제공되는 어드레스가 특정하는 DRAM 행(row)에 기록 전달 버스를 거쳐 입력 편집 버퍼의 내용(비트 0-71) 및 ISAM의 잔여 내용(비트 72-447)을 이동시키는 DRAM에 대한 기록을 개시한다. ISAM 풀 상태는 ISAM이 전달되는 때 클리어된다(cleared). 입력 편집 버퍼(130)의 제 1 및/또는 제 2 워드는 ISAM의 내용 변형을 위해 외부 제어기에 의해서 복귀될 수 있다. 입력 버퍼 동작에 대해서는 추가로 후술한다. ISAM의 전체 내용은 또한 제 1의 72개 비트의 복사나 평가 없이 DRAM에 직접 전달될 수 있다. 이 동작에서 전체 셀은 그대로 전달된다.

외부 제어기는 빈 OSAM을 위해 제어 인터페이스 및 커맨드 디코딩 수단(114)을 통해 출력 포트 상태를 폴링한다. 일단 빈 OSAM(106)이 검출되면, DRAM 판독이 개시되어 어드레스에 의해 특정된 DRAM 행의 데이터 메모리 제어 수단(136)으로부터 판독 전달 버스를 통해 OSAM으로 이동된다. ATM 셀의 제 1 또는 제 2 워드는 출력 편집 레지스터(132)에 의해 편집될 수 있다. 출력 편집 레지스터에 대해서는 추가로 후술한다. 기록 전달과 마찬가지로, OSAM으로의 전달은 빈 OSAM 상태를 클리어한다. OSAM은 이중버퍼형으로서, ISAM과 유사하게 출력 버퍼(116) 밖으로 데이터를 계속 내보낸다. 4-비트 병렬 스트림은 출력 프레임 및 클럭 회로(120)에 의해서 출력 버퍼(116)와 연관된 클럭에 의해 4-비트 데이터 버스(117)를 거쳐 클럭된다.

#### 셀 편집 동작

멀티포트 메모리는 내부 DRAM(102)에 56바이트의 ATM 셀을 저장한다. 표준 ATM 셀은 4바이트의 헤더, 48

바이트의 데이터 및 1바이트의 헤더-에러-검사로 이루어진다. 헤더-에러-검사는 통상 순환 여유 검사(CRC) 코드로서, 이것은 통신 링크에서 사용되며 멀티포트 메모리에 제공될 수도 있거나 제공되지 않을 수도 있다. 잔여 공간은 CRC의 존재에 따라 3 또는 4바이트로서, 이것은 공간 분할 스위치에 대해 특정화된 경로배정 정보나 특정화된 에러 제어 정보를 저장하는데 또는 어떤 다른 용도로 사용될 수 있다. 이들 부가적인 바이트들은 본 명세서에서는 '프리펜드/포스트펜드(prepend/postpend)' 데이터로서 언급되며 그들 각각의 바이트 수는 조정될 수 있다. 프리펜드/포스트펜드 데이터는 후술하는 바와 같이 셀 편집 동작 및 구성 파라미터를 통해 발생, 판독, 기록 및 제거될 수 있다.

입력 편집 버퍼(130)는 CRC(128) 회로와 협력하여 ISAM(104)내에 포획된 ATM 셀을 변형한 후에 DRAM(102)에 저장하는 수단을 제공한다. 이들 변형은 셀 헤더나 그 셀에 부착된 프리펜드/포스트펜드 데이터를 가질 수 있다. 셀 헤더의 갱신은 CRC 바이트의 갱신을 또한 포함한다.

출력 편집 레지스터(132)는 가장 최근의 순간에 ATM 셀 내용을 변형한 후에 그 셀을 출력하는 수단을 제공한다. 출력 편집 레지스터는 OR형 로직 기능에 대한 데이터를 제공하여, 제어 인터페이스 및 커맨드 디코딩 수단(114)이 셀 헤더나 프리펜드/포스트펜드 데이터에서 선택된 비트들을 세팅할 수 있게 한다. 셀 헤더나 갱신되면, 대응하는 CRC는 출력 편집 레지스터에 의해 또한 갱신될 수 있다.

ATM 셀 편집은 외부 제어기에 의해 수행될 수 있다. 외부 제어기는 ISAM으로부터 편집 버퍼(130) 및 멀티플렉서(138)를 통해 프리펜드/포스트펜드나 헤더 워드를 얻을 수 있다. 선택된 ISAM의 제 1의 9바이트(72비트)는 입력 편집 버퍼(130)내로 복사되며, 제 1 또는 제 2 워드 출력은 멀티플렉서(138)를 통해 커맨드 인터페이스 및 커맨드 디코딩 수단(114)에, 중국적으로는 외부 제어기에 통과된다. CRC 바이트의 검사는 CRC 로직(128)에 의해 또한 수행된다.

외부 제어기는 헤더 및/또는 프리펜드/포스트펜드 데이터를 시험한 후에 그들을 전달 커맨드나 CRC를 가진 전달커맨드를 갱신 할 수도 있다. 예를 들어, CRC를 가진 전달 커맨드는 CRC 바이트를 갱신하도록 메모리에 지시한다. 갱신후, 제어기는 편집 버퍼(130) 및 CRC 로직(128)에서 만들어 질 수도 있는 어떤 변형과 함께 ISAM 데이터를 DRAM내로 복사하기 위해 저장 ISAM 명령을 발생한다.

출력 편집 레지스터(132)는 64개 데이터 비트를 포함하는데, 이들 비트는 DAM으로부터 OSAM으로 제공되는 헤더 및 프리펜드/포스트펜드와 NOR 로직 연산된다. 이것은 외부 제어기가 전송 직전에 ATM 셀을 변형하여 예를 들어 최신 폭주 현상 정보(up-to-date congestion information)나 다음 단 스위치(next stage switch)에 대한 최신 프리펜드(prepend) 경로배정 정보를 포함하도록 하는 방법을 제공한다. 출력 편집 레지스터(132)는 외부 제어기에 의해 제어된다. CRC 바이트에 대한 정정은 갱신된 헤더에 근거하여 수행된다. CRC 바이트는 XOR 로직 연산에 의해 갱신된다.

각종 셀 길이에 대한 편집 지원은 ISAM의 56바이트 공간내의 ISAM 개시 위치 및 종료 위치를 규정하는 것에 의해서 달성될 수 있다. 개시 및 종료 포인터들은 커맨드 인터페이스 및 커맨드 제어 수단(114)에 의해 로딩되며, 이들 포인터는 셀 헤더가 ISAM의 바이트 4-7에 나타내게 한다. 존재하는 경우의 CRC 바이트는 항상 ISAM의 바이트 8에 있다. 도 3은 ATM 셀 헤더가 적정하게 정렬된 ISAM 공간을 도시한 것이다. 어떤 프리/포스트펜드 데이터도 없는 경우에 있어서, 도 4는 어떤 CRC도 존재하지 않는(52 바이트 셀을 만들) 경우 4로 세팅된 ISAM 개시 포인터 및 55로 세팅된 ISAM 종료 포인터를 도시한 것이다. 마찬가지로, 도 5는 CRC가 존재하는(53 바이트 셀을 만들) 경우 0으로 세팅된 개시 포인터를 도시한 것이다.

ISAM에 대한 구성은 여러 가지인데, 이들 각각은 다양한 양의 프리펜드 및 포스트펜드 데이터를 제공한다. 여러 가지 구성에 대한 개시 위치 및 종료 위치의 값들이 표 1에 수록된다. 이들 값이 아닌 다른 값들도 세심하게 설계된 비-ATM 셀에 사용될 수 있음을 알 것이다.

[표 1]

	CRC 없음		CRC 있음	
	개시	종료	개시	종료
프리/포스트펜드 데이터 없음	4	55	4	0
1 바이트 프리펜드	3	55	3	0
1 바이트 포스트펜드	4	0	4	1
2 바이트 프리펜드	2	55	2	0
1 바이트 프리펜드 및 1 바이트 포스트펜드	3	0	3	1
2 바이트 포스트펜드	4	1	4	2
3 바이트 프리펜드	1	55	1	0
2 바이트 프리펜드 및 1 바이트 포스트펜드	2	0	2	1
1 바이트 프리펜드 및 2 바이트 포스트펜드	3	1	3	2
3 바이트 포스트펜드	4	2	4	3
4 바이트 포스트펜드	0	55		
3 바이트 프리펜드 및 1 바이트 포스트펜드	1	0		

2 바이트 프리펜드 및 2 바이트 포스트펜드	2	1		
1 바이트 프리펜드 및 3 바이트 포스트펜드	3	2		
4 바이트 포스트펜드	4	3		

OSAM 개시 및 종료 어드레스는 ISAM 개시 및 종료 어드레스로부터 개별적으로 구성될 수 있다. 따라서, 유출 셀들은 유입 셀들보다 더 많은 바이트나 더 적은 바이트를 가질 수 있다. 이 특징은 프리펜디드 및 포스트펜디드 데이터 바이트를 부가하거나 삭제할 수 있는 능력을 제공한다. 개시 및 종료 어드레스의 표는 표 1에 수록된 ISAM에 대한 것들과 동일하다.

#### 전달 동작

상기한 바와 같이, 376개의 데이터 버스 라인 및 72개의 다른 버스 라인(56바이트)이 ISAM을 기록 전달 버스를 통해 바이트 패리티 발생기(122)에 접속한다. 패리티 바이트가 패리티 발생기(122)에 의해 발생된 후, 504개의 버스 라인(63바이트)이 DRAM에 접속된다. 마찬가지로, 504개의 버스 라인이 DRAM을 바이트 패리티 검사 수단(124)에 접속하며, 총 448개의 라인이 판독 전달 버스를 통해 OSAM에 접속된다. 이들 버스 라인중 4개가 도 6에 도시되는데, 이들중 2개는 데이터 버스이고 나머지 2개는 헤더 버스 라인이다. 전달 버스(140(0) 및 (1))는 ATM 셀의 프리펜드/포스트펜드의 제 1의 2개 비트를 ISAM(104)로부터 DRAM(102)에 접속하는데 사용된다. 전달 버스(142(446) 및 (447))는 ATM 셀의 56바이트의 적어도 2개 비트이다. 도 6은 '트루(true)' 버스 라인을 도시한 것이다. 주목할 것은 각 전달 버스에 있어서 도시되지 않은 상보적인 전달 버스 라인이 수반된다는 것이다.

가장 간단한 예에 있어서, ISAM(104)의 내용은 DRAM(102)에 기록 전달되고 그다음 OSAM(106)에 판독 전달된다. 그러나, ATM 셀을 정확하고도 효과적으로 전달하기 위해서는 상술한 바와 같이 셀의 부분들을 조합해야만 한다. 전달 버스(140(0) and (1))는 104(0)-104(N)(여기서 본 실시예에서 n은 7임)로서 표기된 각 ISAM의 제 1의 2개 비트에 트랜지스터(144)를 통해 접속된다. 제어 라인(146)은 트랜지스터(144)의 턴 온을 위해 선택적으로 작동될 수 있어, ISAM들 중의 하나가 전달 버스들 중의 하나에 접속될 수 있다. 멀티플렉스 라인 A 내지 F(MUX A -F)는 소정의 전달 동작 중에 전달 버스들의 섹션들을 분리하는데 사용된다. 예를 들어, ISAM 104(0)로부터 ISAM을 얻기 위해, 기록 전달 버스(140)는 사전 충전 회로(141)에 의해 사전 충전되며, 제어 라인(146)은 선택적으로 작동되고 (초기 작동된)멀티플렉스 라인 C(MUX C)는 헬퍼 플립/플롭(148)(HFF)으로부터 기록 전달 버스를 분리하기 위해 작동하지 않는다. HFF는 당업자에게 알려져 있으며 도 7에 도시된다. 멀티플렉스 라인 A(MUX A)는 HFF(150)를 거기에 접속된 편집 버퍼 제어 수단(130)으로부터 분리하기 위해 턴오프 상태를 유지한다. 그러나, 멀티플렉스 라인 B(MUX B)는 ISAM 셀(104(0))의 내용이 HFF(150)에 의해 포획되도록 작동된다. 제어 라인(146)은 ISAM 셀(104(0))을 기록 전달 버스(140)로부터 분리하기 위해 작동하지 않는다. 멀티플렉스 라인 B(MUX B)가 그다음 작동하지 않고 멀티플렉스 라인 A(MUX A)가 작동함으로써 편집 버퍼 제어 수단(130) 및 CRC 로직(128)은 헤더, 프리펜더/포스트펜더 및 HFF(150)에 래칭된 CRC 바이트를 액세스하고 변형할 수 있다.

상술한 바와 같이, 32비트 헤더 및 32비트 프리펜더/포스트펜더 데이터는 편집 버퍼 제어 수단(130)에 의해 변형될 수 있다. 이것은 HFF(150)의 상태를 선택적으로 변경하는 것에 의해 달성될 수 있다. 새로운 CRC 코드는 변형된 헤더에 대해 CRC 발생기(128)에 의해서 발생되어 8비트 CRC 코드와 연관된 HFF(150)가 편집 버퍼 제어 수단(130)에 의해 선택적으로 변경될 수 있게 한다. HFF(150)를 사용하면, ISAM 비트의 상태를 액세스하여 변형하는 신속하면서도 저전력의 방법이 마련된다. HFF(150)가 선택적으로 변경된 후, 멀티플렉스 라인 A(MUX A)가 작동하지 않으며 멀티플렉스 라인 B 및 C(MUX A, B)가 작동한다. HFF(150)의 내용은 HFF(148)에 전달된다. HFF(148)는 기록 전달 버스(140) 및 DRAM(102)으로부터 멀티플렉스 라인 C 및 B(MUX C, B)의 비작동에 의해 분리된다.

패리티 발생기(122)는 8개 기록 전달 버스 라인마다 패리티 비트를 발생하는 발생기 회로(149)를 갖는다. 즉, HFF(148)의 1바이트의 내용은 1비트의 패리티 데이터(151)를 생성한다. 따라서, ISAM(148)로부터 전달된 데이터의 448개 비트에 56개의 패리티 비트가 부가되어, 총 504개의 비트가 DRAM(102)에 전달된다.

ISAM에 접속된 376개의 버스 라인은 DRAM에 기록 전달 버스(140) 및 HFF(148)를 통해 데이터를 전달하는데 사용된다. ATM 데이터는 변형되지 않으므로 직접 HFF(148)에 전달되어 여기서 대응하는 패리티 비트들이 발생된다. 모든 패리티 비트(151)가 발생된 후, 멀티플렉스 라인 D(MUX D)가 작동되어 모든 504개의 HFF가 메모리 제어 수단(136)에 의해 액세스된 DRAM 행 어드레스에 전달된다.

멀티플렉스 라인 E(MUX E)는 DRAM(102)내에 저장된 ATM 셀이 OSAM(106)으로 판독 전달되도록 작동된다. 액세스된 DRAM 행은 HFF(152)에 전달되고 멀티플렉스 라인 E(MUX E)는 그 다음 작동되지 않는다. 바이트 패리티 검사 수단(124)은 ATM 셀의 56바이트의 각 바이트에 대한 패리티 비트를 생성하는 패리티 발생기(154)를 갖는다. 패리티 비트들은 비교기 회로(156)에 의해 기록 전달 동작 동안 DRAM내에 저장된 패리티 비트(151)와 비교된다. 따라서, 어떠한 패리티 에러도 비교기 (156) 및 에러 상태 회로(126)에 의해 식별된다.

멀티플렉스 라인 F(MUX F)는 판독 전달 버스(158)를 HFF(152)에 접속하기 위해 작동되며 소기의 (intended) OSAM은 제어 라인(155) 및 대응하는 트랜지스터(157)에 의해 선택적으로 액세스된다. 출력 편집 레지스터(132)(도 6에 도시되지 않음)는 헤더, 프리펜더/포스트펜더 및 CRC 비트로 이루어진 72 비트의 내용을 변형하는데 사용된다. 헤더 및 프리펜더/포스트펜더 바이트는 NOR 게이트에 의해 변형되어 HFF(152)로부터의 각 비트 출력이 편집 버퍼 출력(134)으로부터의 출력과 NOR 로직 연산된다. 마찬가지로, CRC 비트들은 편집 버퍼 출력(134)으로부터의 출력과 개별적으로 XOR 로직 연산된다. 포스트-DRAM 편집은 통상 ATM 셀이 하나의 위치 대신에 다수의 위치에 전달되도록 수행된다. 포스트-DRAM 편집이 DRAM 내로의 저장 전에 지정된 소기의 개별 수신기의 어드레스를 변경하는데 사용될 수 있음을 또한 알 것이

다.

사전 충전 회로(141, 143, 또는 145)가 멀티플렉스 라인에 의해 분리될 수 있는 전달 버스(158)의 선택 세그먼트와 함께 포함됨을 알 것이다. 따라서, 각 세그먼트는 후술하는 바와 같이 다른 세그먼트로의 접속 전에 사전 충전될 수 있게 된다. MUX F 및 이와 연관된 사전 충전 회로(145)가 인버터 및 그의 입력의 사전 충전 회로와 대체될 수 있음을 또한 알 것이다. 따라서, 인버터의 입력은 HFF(152)에 로우 신호가 나타나지 않으면 하이 상태를 유지할 것이다. 인버터의 출력은 그다음 그의 정상적인 로우 상태로부터 하이상태로 토글될 것이다.

#### SAM 대 HFF 전달

도 7에는 표준 HFF 구조가 도시된다. 특히, 도 7에는 기록 전달 버스(140(0))에 접속된 편집 버퍼 제어 수단(130)에 접속된 HFF(150)이 도시된다. 또한, 기록 전달 버스 라인(140(0))의 트루(160) 및 상보(162) 라인도 도시된다. 트랜지스터(164)는 기록 전달 버스 라인(160 및 162)과 HFF 트루(166) 및 상보(168) 데이터 라인을 전기적으로 분리하도록 접속된다. HFF(150)는 두 개의 n형 트랜지스터(170) 및 두 개의 p형 트랜지스터(172)로 이루어지며, 이들 트랜지스터의 게이트는 트루(166) 및 상보(168) 데이터 라인에 교차 결합된다. 트랜지스터(170)의 소스는 공급 전압에 접속되며 트랜지스터(172)의 드레인은 인에이블/래치 트랜지스터(174)에 접속된다. 인에이블 라인(176)은 인에이블/래치 트랜지스터(174)의 게이트에 접속된다. 트랜지스터(178)는 HFF(150)를 CRC 로직(128)에 전기적으로 접속하는데 사용된다. 마찬가지로, 트랜지스터(180)는 멀티플렉스 라인 A(MUX A)에 접속되어 HFF(150)를 제어 인터페이스 및 커맨드 디코딩 수단(114)의 출력 버퍼에 접속하는데 사용된다. HFF(150)는 인에이블 라인(176)이 하이로 되는 때 트루 및 상보 데이터 라인의 상태를 래치한다.

ISAM 셀 내에 저장된 데이터의 HFF(150) 래치 동작에 대한 대표적인 전압 및 타이밍이 도시된다. 이들 전압 및 타이밍은 예시 목적으로 제공된 것일 뿐 제한 목적으로 제공된 것은 아니다. ISAM으로부터 HFF(150)로의 전달 전에, 기록 전달 버스 트루(160) 및 상보(162) 라인은 데이터 래치의 신속화를 위해 사전 충전된다. 이 예에서 HFF에 의해 래치된 사전 상태는 트루 데이터 라인(166)이 하이로 되고 상보 데이터 라인(168)이 로우로 되도록 하는 것이다. 래치 인에이블 라인(176)은 로우 상태로 토글하여, 트랜지스터(174)가 턴오프되게 한다. 따라서, 트랜지스터(172)의 드레인은 부동상태(floating)로 된다. MUX B는 HFF(150)를 기록 전달 버스 라인(160, 162)에 전기적으로 접속하기 위해 (190)에서 하이 상태로 된다. 기록 전달 버스는 여전히 사전 충전하여, 트루 라인(160)은 하이 상태로 유지되고 상보 라인(162)은 상보 데이터 라인(168)이 하이 상태로 끌어 올려지는 때 하이 상태로 유지되게 시도하도록 한다. 사전 충전 회로는 (192)에서 턴오프되고 SAM 셀에 대한 패스 게이트나 제어 라인(146)은 또한 (192)에서 작동되어 ISAM이 기록 전달 버스에 접속되도록 한다. 이 예에서, SAM 셀의 상태는 기록 전달 버스의 트루 라인(160)이 상보 라인(162)보다 더 낮아지게 한다. 그 결과, HFF 트루 라인(166)은 로우 상태로 끌어 내려지고 HFF 상보 데이터 라인(168)은 HFF 데이터 라인들이 (194)에서 교차할 때까지 계속 증가한다. 크로스오버점(194)에서, HFF는 상태가 변한다. 즉, HFF 상보 데이터 라인(168)에 접속된 n형 트랜지스터(170)는 턴온되기 시작하고 이에 따라 상보 데이터 라인은 계속해서 더 높은 상태로 끌어 올려진다. 데이터 라인들의 크로스오버 후, 인에이블 라인(176)은 트랜지스터(174)가 턴온되도록 작동된다. 데이터 라인(166, 168)은 제각기 (198, 200)에서 전력 레일로 되어, HFF는 ISAM 셀에 나타난 상태를 래치한다. MUX B는 그다음 (202)에서 작동되지 않아 기록 전달 버스로부터 HFF를 전기적으로 분리한다. 마지막으로, 제어 라인(146)은 작동되지 않아 기록 전달 버스로부터 SAM을 전기적으로 분리하며, 전달 버스 사전 충전 수단은 (204)에서 턴온된다.

도 8에는 HFF의 종래 상태와 반대되는 ISAM 셀의 상태를 래칭하는 프로세스가 도시된다. HFF가 결코 크로스오버하지 않는 것을 제외하고는 종래 상태와 동일한 상태의 래칭이 유사한 프로세스를 따름을 알 것이다. 또한, HFF가 ISAM 셀을 래칭한 후, HFF는 MUX A 또는 멀티플렉스 라인 CRC를 제각기 사용하여 커맨드 인터페이스 및 커맨드 제어 수단(114) 또는 CRC 로직(128)에 의해 액세스될 수 있다. 추가적인 편집 및 DRAM으로의 전달은 상술한 바와 같이 수행된다.

#### 결론

본 명세서에서는 특정 실시예들을 도시하고 설명하였으나, 당업자라면 동일한 목적을 성취하는데 적합한 어떠한 구성도 도시된 특정 실시예를 대신할 수 있음을 알 것이다. 본 출원은 본 발명의 어떠한 변경이나 변형도 포괄하고자 한다. 따라서, 본 발명을 청구의 범위 및 그에 상당하는 것에 의해서만 제한하고자 한다.

본 발명에 의하면, 내부 DRAM에 대한 저장 전후에 ATM 셀의 부분들이 편집될 수 있게 하는 내부 전달 회로를 가진 신속하고도 유연한 ATM 스위치가 제공된다. ATM 스위치는 패리티 발생기 및 패리티 검사 비교기 회로를 제공하여 내부 전달 중에 유발될 수도 있는 에러들을 감시한다. 내부 전달 회로는 헬퍼 플립/플롭(HFF)을 구비하여 ATM 데이터가 내부 ISAM으로부터 HFF로 전달되고 편집되어 다른 HFF에 직접 전달된 후에 DRAM에 저장되게 한다. 전달 회로는 또한 OR형 게이트들로 이루어진 출력 편집 레지스터를 제공하여 DRAM으로부터 OSAM으로의 출력 전달 중에 ATM 데이터를 편집한다.

### (57) 청구의 범위

#### 청구항 1

멀티포트 메모리(multi-port memory)에 있어서,

적어도 하나의 직렬 데이터 셀(serial data cell)을 저장하는데 사용되는 다수의 입력 직렬 액세스 메모리(input serial access memories)(104);

상기 다수의 입력 직렬 액세스 메모리로부터 상기 적어도 하나의 직렬 데이터 셀을 수신하여 저장하는데 사용되는 다이나믹 랜덤 액세스 메모리(dynamic random access memory)(102);

상기 다이내믹 랜덤 액세스 메모리로부터 상기 적어도 하나의 직렬 데이터 셀을 수신하여 저장하는데 사용되는 다수의 출력 직렬 액세스 메모리(output serial access memories)(106);

에러 코드 발생기(error code generator)(122);

편집 버퍼(edit buffer)(130)를 포함하며, 상기 다수의 입력 직렬 액세스 메모리, 상기 에러 코드 발생기 및 상기 다이내믹 랜덤 액세스 메모리를 접속하는 기록 전달 회로(write transfer circuit);

에러 코드 검사 회로(error code check circuit)(124); 및

편집 레지스터(edit register)(132)를 포함하며, 상기 에러 코드 검사 회로, 상기 다수의 출력 직렬 액세스 메모리 및 상기 다이내믹 랜덤 액세스 메모리를 접속하는 판독 전달 회로(read transfer circuit)

를 구비하는 멀티포트 메모리.

## 청구항 2

제 1 항에 있어서,

상기 적어도 하나의 직렬 데이터 셀은 비동기식 전달 모드 셀(asynchronous transfer mode (ATM) cell)인 멀티포트 메모리.

## 청구항 3

제 1 항에 있어서,

상기 기록 전달 회로는 하나의 버스가 상기 다수 입력 직렬 액세스 메모리들의 한 비트에 전기적으로 결합된 다수의 기록 전달 버스(140)를 구비하는 멀티포트 메모리.

## 청구항 4

제 3 항에 있어서,

상기 에러 코드 발생기는;

각각이 상기 다수 기록 전달 버스 중의 하나에 연결된 다수의 헬퍼 플립/플롭(helper flip/flops)(148)과;

상기 다수의 헬퍼 플립/플롭에 연결되어 그들로부터 패리티 코드(parity code)를 발생하는 패리티 코드 발생기(149)

를 포함하는 멀티포트 메모리.

## 청구항 5

제 3 항에 있어서,

상기 기록 전달 회로는;

각각이 상기 다수 기록 전달 버스 중의 하나에 연결된 다수의 헬퍼 플립/플롭(helper flip/flops)(148)

을 더 포함하는 멀티포트 메모리.

## 청구항 6

제 1 항에 있어서,

상기 판독 전달 회로는 하나의 버스가 상기 다수 출력 직렬 액세스 메모리들의 한 비트에 전기적으로 결합된 다수의 판독 전달 버스(158)를 구비하는 멀티포트 메모리.

## 청구항 7

제 6 항에 있어서,

상기 에러 코드 검사 회로는;

각각이 상기 다수 판독 전달 버스 중의 하나에 연결된 다수의 헬퍼 플립/플롭(152)과;

상기 다수의 헬퍼 플립/플롭에 연결되어 그들로부터 패리티 코드를 발생하는 패리티 코드 발생기(154)와;

상기 패리티 코드 발생기에 연결되어 그 발생된 패리티 코드를 사전규정된 패리티 코드와 비교하는 비교기(156)

를 포함하는 멀티포트 메모리.

## 청구항 8

다수의 직렬 액세스 메모리(serial access memories (SAMs))(104)와 이 다수의 SAMs에 접속된 다이내믹 랜덤 액세스 메모리(dynamic random access memory (DRAM))(102)를 구비하는 직렬 데이터 스위치(serial data switch)에서 데이터를 전달하기 위한 방법에 있어서,

상기 다수 SAMs 중의 하나에 직렬 데이터 셀을 로딩하는 단계;

상기 직렬 데이터 셀의 적어도 일부분을 편집 버퍼(130)에 전달하는 단계;

상기 편집 버퍼 내에 포함된 상기 직렬 데이터 셀의 적어도 일부분을 편집하는 단계; 및  
상기 편집 버퍼의 내용과 상기 직렬 데이터 셀의 나머지 부분을 상기 DRAM에 전달하는 단계를 포함하는 데이터 전달 방법.

#### 청구항 9

제 8 항에 있어서,

상기 편집 버퍼의 내용과 상기 직렬 데이터 셀의 나머지 부분에 근거하여 패리티 코드를 발생하는 단계; 및

상기 패리티 코드를 상기 DRAM에 저장하는 단계를

를 더 포함하는 데이터 전달 방법.

#### 청구항 10

다수의 직렬 액세스 메모리(SAMs)(106)와 이 다수의 SAMs에 접속된 다이내믹 랜덤 액세스 메모리(DRAM)(102)를 구비하는 비동기식 전달 모드 스위치(asynchronous transfer mode(ATM) switch)(100)에서 데이터를 전달하기 위한 방법에 있어서,

상기 DRAM내에 저장된 ATM 데이터 셀을 에러 검사 회로(122)에 전달하는 단계;

상기 ATM 데이터 셀에 근거하여 에러 코드를 발생하는 단계;

상기 발생된 에러 코드를 사전규정된 에러 코드와 비교하는 단계;

상기 ATM 데이터 셀의 적어도 일부분을 편집하는 단계; 및

상기 ATM 데이터 셀을 상기 다수 SAMs 중의 하나에 전달하는 단계를

를 포함하는 데이터 전달 방법.

#### 청구항 11

다수의 직렬 액세스 메모리(SAMs)(104)와 이 다수의 SAMs에 접속된 랜덤 액세스 메모리(RAM)(102)를 구비하는 비동기식 전달 모드(ATM) 스위치에서 데이터를 전달하기 위한 방법에 있어서,

상기 다수 SAMs 중의 하나에 ATM 데이터 셀을 로딩하는 단계;

상기 ATM 데이터 셀의 적어도 일부분을 제 1 헬퍼 플립/플롭(150) 내에 래칭하는 단계;

상기 ATM 데이터 셀의 적어도 일부분을 편집하는 단계;

상기 ATM 데이터 셀의 적어도 일부분을 상기 제 1 헬퍼 플립/플롭으로부터 제 2 헬퍼 플립/플롭(148)으로 전달하는 단계; 및

상기 ATM 데이터 셀의 적어도 일부분을 상기 제 2 헬퍼 플립/플롭으로부터 상기 DRAM으로 전달하는 단계를

를 포함하는 데이터 전달 방법.

#### 청구항 12

제 11 항에 있어서,

상기 ATM 데이터 셀의 적어도 일부분에 근거하여 패리티 코드를 발생하는 단계; 및

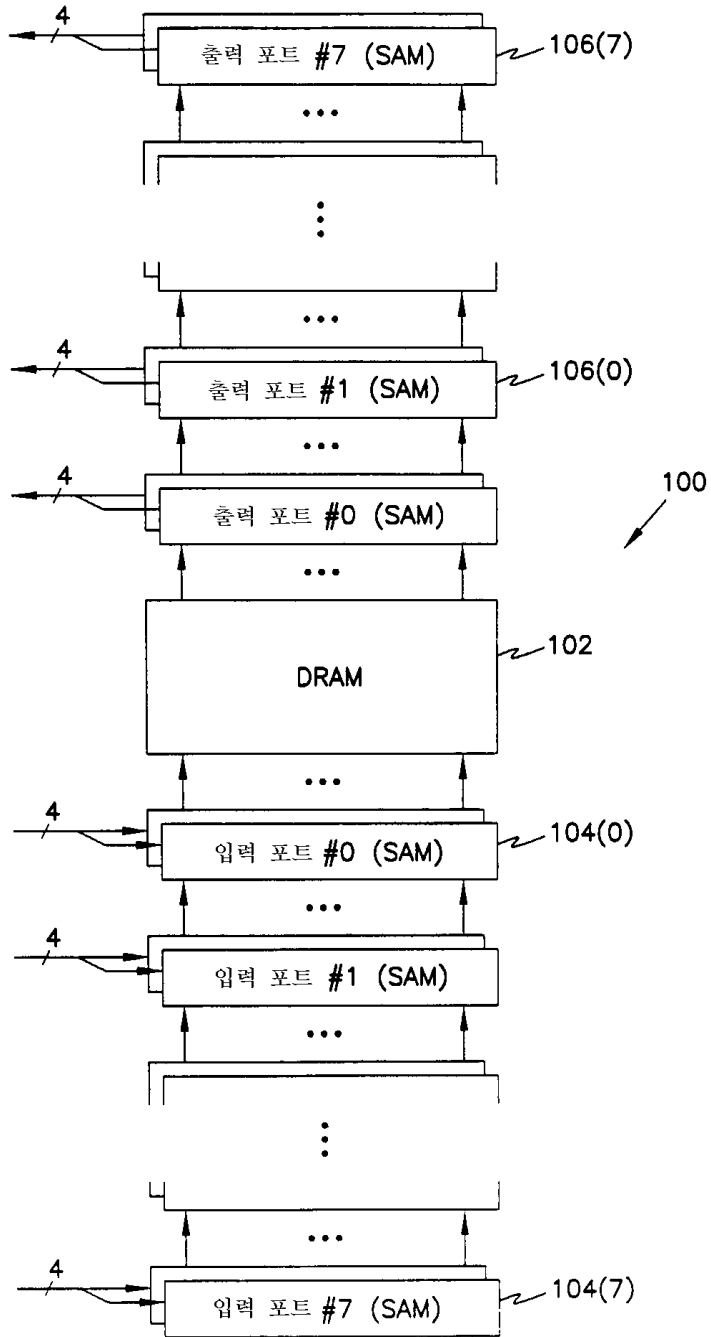
상기 패리티 코드를 상기 DRAM에 저장하는 단계를

를 더 포함하는 데이터 전달 방법.

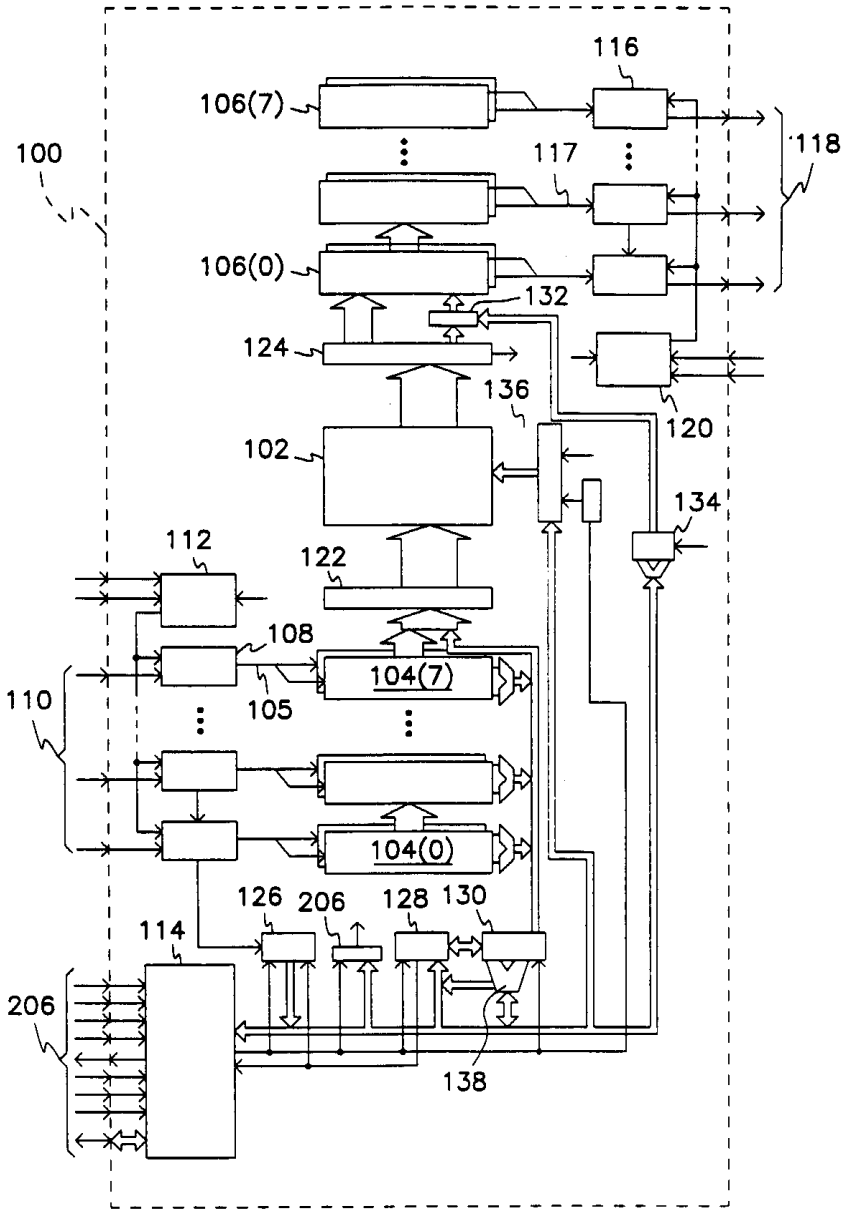
**도면**



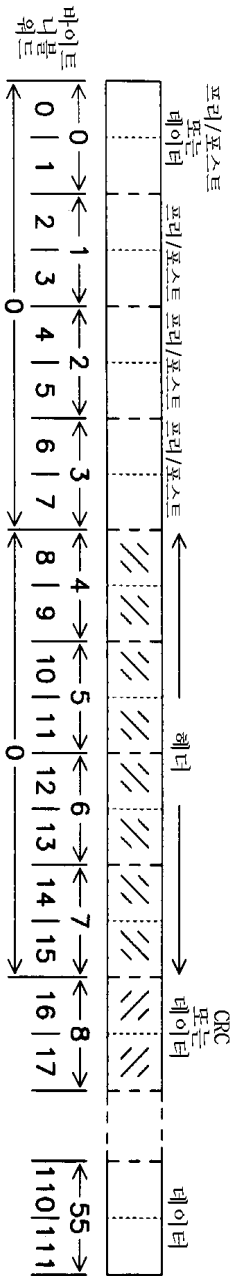
도면1



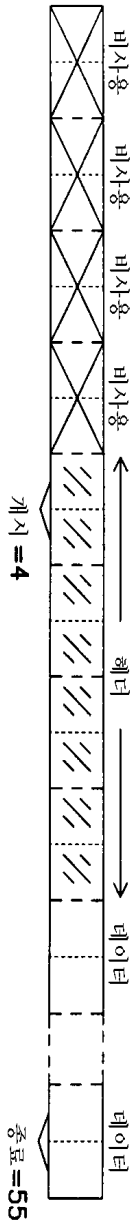
도면2



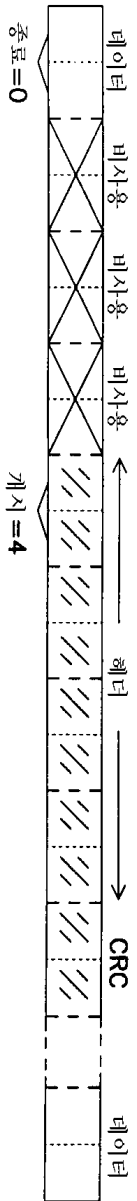
도면3



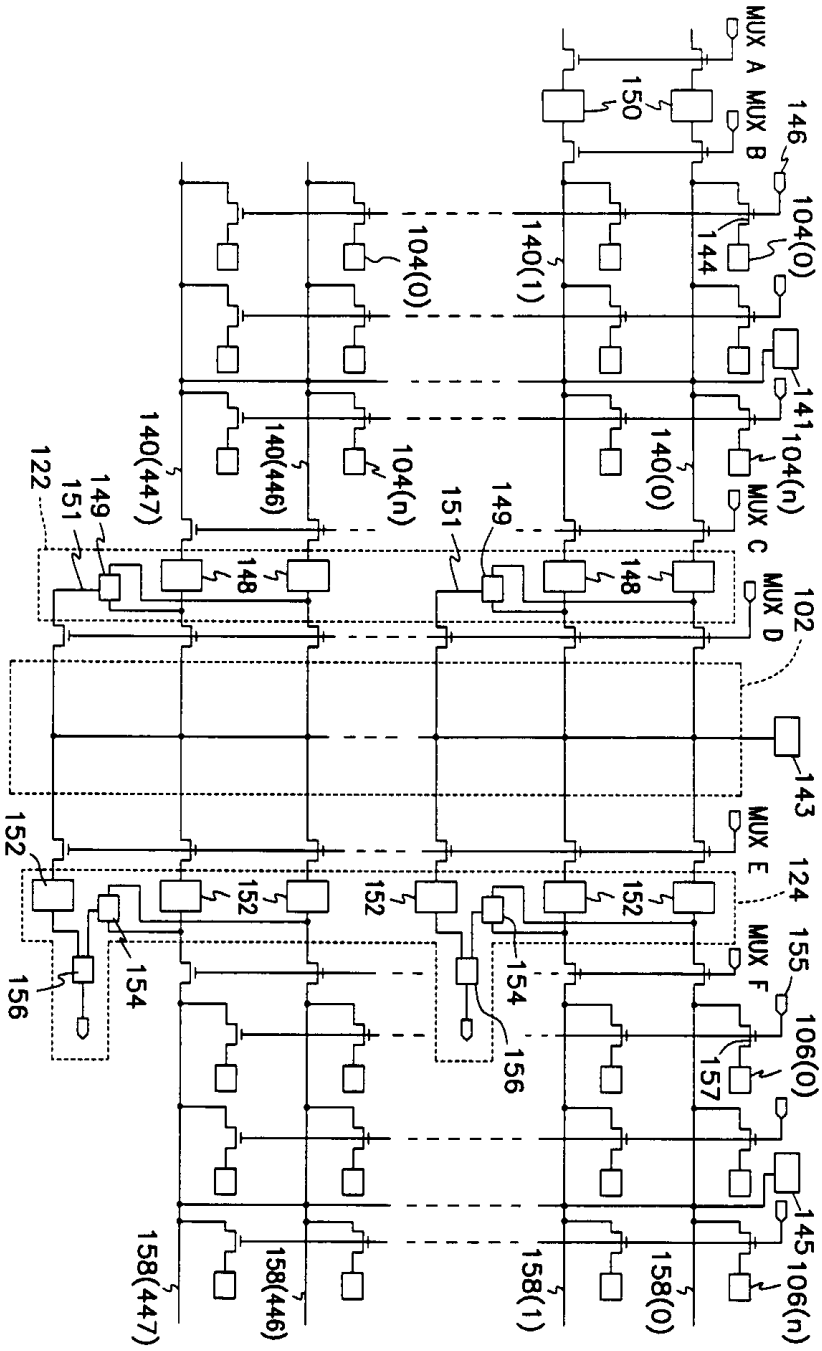
도면4



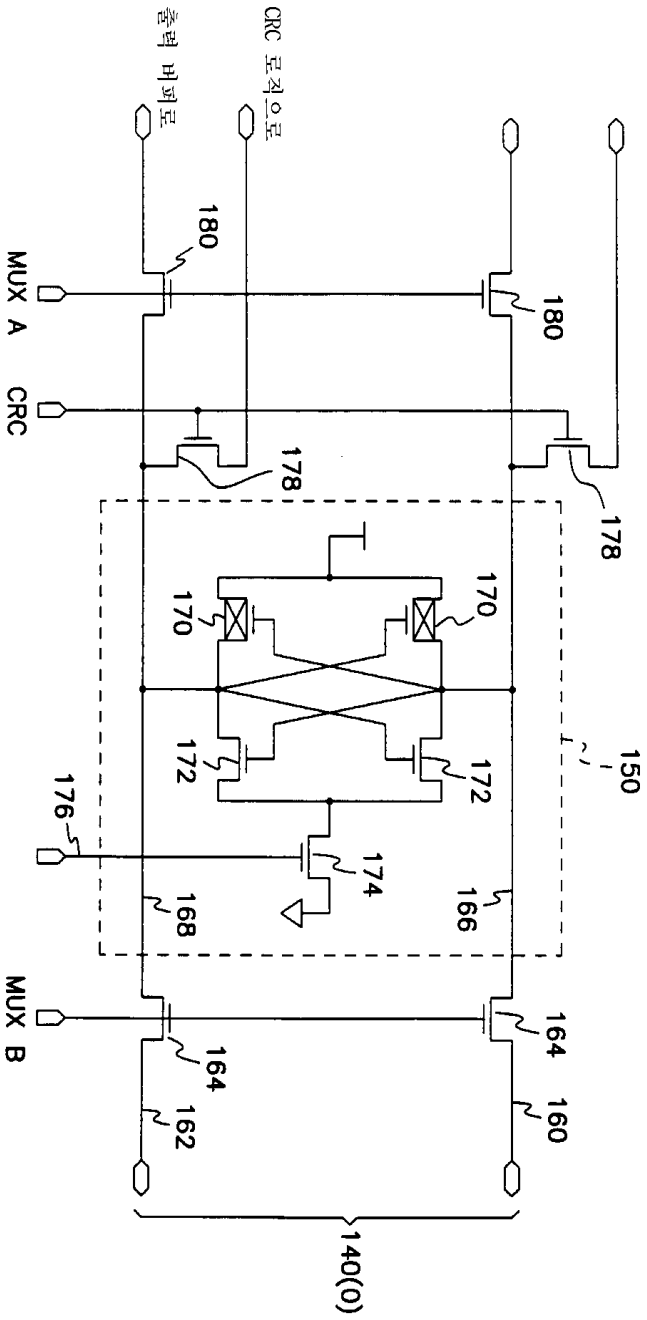
도면5



도면6



도면7



도면8

