

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-507905  
(P2007-507905A)

(43) 公表日 平成19年3月29日(2007.3.29)

(51) Int.C1.	F 1	テーマコード (参考)
HO1L 29/78 (2006.01)	HO1L 29/78	301S 4M104
HO1L 21/28 (2006.01)	HO1L 21/28	301S 5F140
HO1L 29/47 (2006.01)	HO1L 29/48	P
HO1L 29/872 (2006.01)	HO1L 29/50	M
HO1L 29/417 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 15 頁)

(21) 出願番号	特願2006-534203 (P2006-534203)	(71) 出願人	506112546 スピニネイカー セミコンダクター イン コーポレイテッド アメリカ合衆国 ミネソタ州 55425 ブルーミントン アメリカン ブールヴ アード イースト 1325 スイート 1エイ
(86) (22) 出願日	平成16年10月4日 (2004.10.4)	(74) 代理人	100082005 弁理士 熊倉 穎男
(85) 翻訳文提出日	平成18年6月5日 (2006.6.5)	(74) 代理人	100067013 弁理士 大塚 文昭
(86) 國際出願番号	PCT/US2004/032539	(74) 代理人	100086771 弁理士 西島 孝喜
(87) 國際公開番号	W02005/036631	(74) 代理人	100109070 弁理士 須田 洋之
(87) 國際公開日	平成17年4月21日 (2005.4.21)		
(31) 優先権主張番号	60/509,142		
(32) 優先日	平成15年10月3日 (2003.10.3)		
(33) 優先権主張国	米国(US)		

最終頁に続く

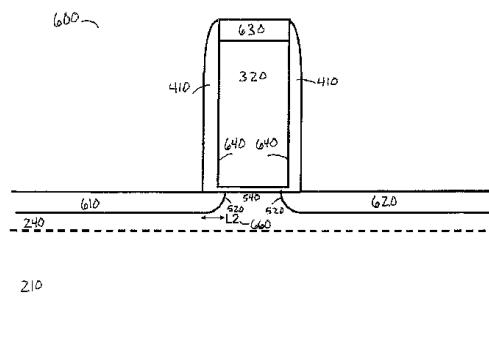
(54) 【発明の名称】等方性エッティングプロセスを使ったショットキーバリアMOSFET製造方法

## (57) 【要約】

【課題】電流の流れを調整するトランジスタデバイスの組立て方法において、更なる駆動電流を可能にし、デバイスの動作を最適化するプロセスを提供すること。

【解決手段】本発明の一実施形態における方法は、チャネル領域に対するショットキーバリア接合位置のより良い制御を与えるために、メタルソースドレイン接触の形成に先行して等方性エッティングプロセスを利用する。このショットキーバリア10接合の配置の制御性からの改善により、更なる駆動電流を可能にし、デバイスの動作を最適化する。

【選択図】図6



**【特許請求の範囲】****【請求項 1】**

電流の流れを調節するためのデバイスを製造する方法であって、  
半導体基板を与え、  
前記半導体基板上にゲート電極を与え、  
前記ゲート電極に隣接する領域の前記半導体基板を露出し、  
部分的な等方性エッティングを使って前記露出した領域上の半導体基板をエッティングし、  
前記半導体基板のエッティングされた領域に金属の薄膜を蒸着し、  
前記金属を前記基板に反応させてショットキー又はショットキーの様なソース電極又は  
ドレイン電極を形成することを含む方法。

10

**【請求項 2】**

請求項 1 記載の方法において、前記半導体基板は、シリコン、ひずみシリコン、シリコン・オン・インシュレーター、シリコンゲルマニウム、ガリウムヒ素、又は、リン化インジウム、を含む方法。

**【請求項 3】**

請求項 1 記載の方法において、前記エッティング動作は、縦方向のエッティング速度の約 10 分の 1 から 10 倍の横方向のエッティング速度を有するエッティングを使って実行される方法。

**【請求項 4】**

請求項 1 記載の方法において、  
前記部分的な等方性エッティングは前記半導体基板の縦方向のエッティング速度と前記半導体基板の横方向のエッティング速度とを含み、  
前記縦方向のエッティング速度は前記横方向のエッティング速度の略 10 倍である方法。

20

**【請求項 5】**

請求項 1 記載の方法において、  
前記部分的な等方性エッティングは前記半導体基板の横方向のエッティング速度と前記半導体基板の縦方向のエッティング速度とを含み、  
前記横方向のエッティング速度は前記縦横方向のエッティング速度の略 10 倍である方法。

**【請求項 6】**

請求項 1 記載の方法において、  
前記部分的な等方性エッティングは前記半導体基板の横方向のエッティング速度と前記半導体基板の縦方向のエッティング速度とを含み、  
前記横方向及び縦方向のエッティング速度は略同じである方法。

30

**【請求項 7】**

請求項 1 記載の方法において、  
前記半導体基板上に薄い絶縁層を与え、  
前記絶縁層上に導電性薄膜を蒸着し、  
前記導電性膜にパターニング及びエッティングをしてゲート電極を形成し、  
前記ゲート電極の一又はそれ以上の側壁に一又はそれ以上の薄い絶縁層を形成することからなるステップによって前記ゲート電極が与えられる方法。

40

**【請求項 8】**

請求項 1 記載の方法において、前記ショットキー又はショットキーの様なソース及びドレイン電極を形成した後、前記デバイスから未反応の金属を取り除くことをさらに含む方法。

**【請求項 9】**

請求項 1 記載の方法において、前記反応ステップはアニーリングによって実行される方法。

**【請求項 10】**

請求項 1 記載の方法において、前記ソース電極及びドレイン電極は、白金シリサイド、パラジウムケイ素化合物、イリジウムケイ素化合物のうちのいずれか一つ又はそれらの組み

50

合わせである方法。

【請求項 1 1】

請求項 1 記載の方法において、前記ソース電極及びドレイン電極は希土類ケイ素化合物である方法。

【請求項 1 2】

請求項 1 記載の方法において、ショットキー又はショットキーの様な接触は、少なくとも前記ゲート電極の下のチャネル区域に近接した領域において形成される方法。

【請求項 1 3】

請求項 1 記載の方法において、ソース電極及びドレイン電極の少なくとも一つの全体の表面が、前記半導体基板とのショットキー又はショットキーの様な接触を形成する方法。

【請求項 1 4】

請求項 1 記載の方法において、

前記ゲート電極を与える動作の前に前記半導体基板の中に不純物が導入され、

前記ソース及びドレイン電極間のチャネル領域中の不純物は、ヒ素、リン、又は、アンチモンを含む方法。

【請求項 1 5】

請求項 1 記載の方法において、

前記ゲート電極を与える動作の前に前記半導体基板の中に不純物が導入され、

前記ソース及びドレイン電極間のチャネル領域中の不純物は、ボロン、インジウム、又は、ガリウムを含む方法。

【請求項 1 6】

請求項 1 4 記載の方法において、前記半導体基板は、縦方向においては有意に変化して横方向には略一定の、チャネル不純物濃度を有する方法。

【請求項 1 7】

請求項 1 4 記載の方法において、前記半導体基板は、縦方向及び横方向において有意に変化するチャネル不純物濃度を有する方法。

【請求項 1 8】

請求項 1 5 記載の方法において、前記半導体基板は、縦方向においては有意に変化して横方向には略一定の、チャネル不純物濃度を有する方法。

【請求項 1 9】

請求項 1 5 記載の方法において、前記半導体基板は、縦方向及び横方向において有意に変化するチャネル不純物濃度を有する方法。

【請求項 2 0】

電流の流れを調節するためのデバイスを製造する方法であって、

ゲート電極に隣接する領域における半導体基板を露出し、

部分的な等方性エッティングを使って前記露出した領域上の半導体基板をエッティングし、

前記半導体基板に金属薄膜を蒸着し、アニーリングし、ショットキー又はショットキーの様なソース電極又はドレイン電極を形成する方法。

【請求項 2 1】

請求項 2 0 記載の方法において、

前記部分的な等方性エッティングは前記半導体基板の縦方向のエッティング速度と前記半導体基板の横方向のエッティング速度とを含み、

前記縦方向のエッティング速度は前記横方向のエッティング速度の略 10 倍である方法。

【請求項 2 2】

請求項 2 0 記載の方法において、

前記部分的な等方性エッティングは前記半導体基板の横方向のエッティング速度と前記半導体基板の縦方向のエッティング速度とを含み、

前記横方向のエッティング速度は前記縦方向のエッティング速度の略 10 倍である方法。

【請求項 2 3】

請求項 2 0 記載の方法において、

10

20

30

40

50

前記部分的な等方性エッティングは前記半導体基板の横方向のエッティング速度と前記半導体基板の縦方向のエッティング速度とを含み、

前記横方向及び縦方向のエッティング速度は略同じである方法。

【請求項 2 4】

請求項 2 0 記載の方法において、前記エッティング動作は、縦方向のエッティング速度の約 10 分の 1 から 10 倍の横方向のエッティング速度を有するエッティングを使って実行される方法。

【請求項 2 5】

請求項 2 0 記載の方法において、前記半導体基板は、前記蒸着ステップの間加熱されて前記半導体基板中に金属原子が拡散することを促進する方法。

10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

(関連出願との相互参照)

本願は、ここに参照によって完全な形で組み込まれた、2003年10月3日出願の米国特許仮出願番号 6 0 / 5 0 9 , 1 4 2 の利益及び優先権を主張するものである。

【0 0 0 2】

本発明は、電流のフローを調節するための半導体デバイスに関し、特に、集積回路(「IC」)に関連してこれらデバイスの製造に関する。さらには、本発明は、チャネル領域に対してショットキー又はショットキーの様な接触を形成する金属ソース及び/又はドレインを有する、電流のフローを調節するためのトランジスタに関する。

20

【背景技術】

【0 0 0 3】

当業界におけるトランジスタの一類型は、ショットキーバリア金属酸化膜半導体電界効果トランジスタ(「ショットキーバリアMOSFET」又は「SB-MOS」)である。図1に示したように、SB-MOSデバイス100は、半導体基板110を含んでいるが、その中には、ソース電極120及びドレイン電極125が形成され、チャネル不純物(channel dopant)を有するチャネル領域140によって分離されている。このチャネル領域140は、基板110の電流搬送領域である。本発明の目的のために、半導体基板110のチャネル領域140は、縦に、絶縁体ゲート150より下方に向かって、ソース120の下端及びドレイン125の下端とほぼ一致する(直線になる)境界まで伸びている。チャネル不純物は、典型的には最小の不純物濃度115を有しており、典型的にはソース120及びドレイン125の下方、したがって、チャネル領域140の外側にある。

30

【0 0 0 4】

SB-MOSデバイスでは、ソース120又はドレイン125の接触の少なくとも一つが、部分的又は全体的にケイ化物(silicide)で構成される。ソース120又はドレイン125の接触の少なくとも一つが金属の部分で構成されているので、これらは、基板110及びチャネル領域140とのショットキー又はショットキーの様な接触を形成する。ここで、ショットキー接触とは、金属及び半導体の間の密接な接触により形成される接触として定義されるもので、ショットキーの様な(Schottky-like)接触とは、半導体及び金属のごく間近な接近によって形成される接触として定義されるものである。ショットキー接触又はショットキーの様な接触又は接合130、135は、金属ケイ化物からソース120又はドレイン125が形成されることによって与えられる。チャネル長は、チャネル領域140を横方向に横断するソース120接触からドレイン125接触までの距離として定義される。

40

【0 0 0 5】

ショットキー又はショットキーの様な接触又は接合130、135は、ソース120及びドレイン125接触の間に形成された、チャネル領域140に近接した領域に配置される。絶縁層150は、チャネル領域140の上に配置される。この絶縁層150は、二酸化ケイ素(silicon dioxide)のような材料で構成される。チャネル領域140は、絶縁

50

層 150 から縦に、ソース 120 及びドレイン 125 電極の下まで伸びている。ゲート電極 160 は、絶縁層 150 の上に配置され、薄い絶縁層 170 がこのゲート電極 160 を取り囲んでいる。この薄い絶縁層 170 は、スペーサとしても知られている。ゲート電極 160 は、ポリシリコンが添加されていてもよい。ソース 120 及びドレイン 125 電極は、スペーサ 170 及びゲート電極 160 の下を横方向に伸びてもよい。酸化物領域 190 は、お互い電気的に隔離されたデバイスである。典型的なショットキーバリアデバイスは、Spinna ker の米国特許 6,303,479 号に開示されている。

【発明の開示】

【発明が解決しようとする課題】

【0006】

産業界では、改善された性能、製造工業性、そして、コストの利点を伴った SB-MOS デバイスを供給するための SB-MOS 製造方法が必要とされている。

【課題を解決するための手段】

【0007】

一つの局面において、本発明は、ショットキーバリア MOSFET (「SB-MOS」) デバイスの製造方法を与え、ここではソース及びドレイン接触区域の少なくとも一つが金属で構成され、この金属ソース及び / 又はドレイン区域は製造的に制御される。本発明の他の局面においては、金属ソース及び / 又はドレイン区域の配置は、部分的な等方性エッチングによって制御される。

【0008】

複数の実施形態が開示される一方で、本発明の実施形態を説明的に開示し記述した以下の詳細な記述から、当業者にとって本発明の他の実施形態は、なお明らかである。また、本発明は、多くの明白な局面において、本発明の趣旨及び範囲を越えない範囲で修正可能であることが理解できるであろう。したがって、図面及び詳細な記述は、制限的なものではなく、自然界における例示的なものとして考慮されるべきである。

【発明を実施するための最良の形態】

【0009】

一般的に、本発明は SB-MOS デバイスの製造方法を与える。本発明の一実施形態において、SB-MOS デバイスの製造方法は、半導体基板を与えること及びこの半導体基板とチャネル領域とを添加することを含む。本発明は、さらに、半導体基板との接触において電気的な絶縁層を与えることを含む。本発明は、さらに、この絶縁層上にゲート電極を与え、このゲート電極の周囲に薄い絶縁層を与え、このゲート電極に隣接した一又はそれ以上の領域上の基体を露出することを含む。本方法は、さらに、部分的な等方性エッチングを使ってこのゲート電極に隣接する露出領域にエッチングすることを含む。本発明は、さらに、金属薄膜を蒸着 (depositing) し露出基板と反応させて、基板上に金属ケイ化物を形成することを含む。本発明は、さらに、未反応金属を除去することを含む。

【0010】

本発明の利点の一つは、金属のソース及びドレイン電極が、寄生的な直列抵抗 ( $\sim 10 \mu m$ ) 及び接触抵抗 ( $10^{-8} \text{ cm}^2$  以下) を有意に低減させることである。ショットキーリ接触での固有のショットキーバリアは、オフ状態漏れ電流 (off-state leakage current) の上位制御を与える。このデバイスは、実質的に寄生的なバイポーラ作用 (bipolar action) を除去し、ラッチアップ、スナップバック効果、メモリ及びロジックにおけるマルチセルのソフトエラー、に対する絶対的な安全性をもたらす。バイポーラ作用の除去は、单一事象の反転、単一セルのソフトエラーといった、寄生的なバイポーラ作用に関連する他の有害な効果の発生をも減少させる。本発明のデバイスは、簡単に製造でき、ソース / ドレイン形成のための 2 つのより少ないマスクを要求するだけであり、薄い拡張 (shallow extension) 又は深いソース / ドレイン注入を要せず、低温のソース / ドレイン形成工程である。低温処理によって、高い K の絶縁体ゲート、ひずみシリコン及び金属ゲートといった、新しく、潜在的に決定的な材料の集積が容易になる。

【0011】

10

20

30

40

50

図2に、トランジスタを互いに電気的に隔離するための手段を有するシリコン基板210を示す。ここで議論を通して、S B - M O Sデバイスがその上に形成される半導体基板に言及した例をいくつか与える。本発明は、半導体基板をいずれの特定類型にも限定しない。当業者であれば、例えば、シリコン、シリコンゲルマニウム、ガリウムヒ化物、インジウムリン化物、ひずみ半導体基板、シリコン・オン・インシュレータ(S O I)を含む、多くの半導体基板をS B - M O Sデバイスのために使用できることを、容易に理解できるであろう。これらの基板材料及び他の半導体基板のいずれを使用してもよく、その場合も本発明の教示範囲内である。

#### 【0012】

図2に示したように、薄い遮蔽酸化物(thin screen oxide)220が、注入マスクとして作用するように基板210上で成長している。一実施形態において、この酸化物は、略200の厚みに成長する。そして、適当なチャネル不純物の種230が、遮蔽酸化物を通してイオン注入され、このとき、最大添加濃度240がシリコン中の予め定められた深さD1(250)に与えられるように注入される。一実施形態において、このチャネル不純物の種は、P形デバイスのためのヒ素及びN形デバイスのためのインジウムである。しかし、P形又はN形デバイスのためのトランジスタで一般的に使用される他のいずれかの適当なチャネル不純物が、本発明の原則に従って使用され得るものと評価される。他の実施形態において、チャネル不純物濃度の水準は、縦方向には有意に変化するが横方向には一般的に一定である。さらなる実施形態において、不純物濃度の最大値である深さD1(250)は、略20~200nmである。

#### 【0013】

図3に示したように、遮蔽酸化物は、化学的エッティングにおいて除去され、シリコン酸化物のような薄い絶縁体ゲート310を成長させる。一実施形態において、遮蔽酸化物エッティングはフッ化水素酸を含む。しかしながら、ウェット及びドライエッティングの両方を含む酸化物エッティングに一般に使用される他のいずれかの適当な化学物質が、本発明の原則に従って使用され得る。他の実施形態において、薄い絶縁体ゲートは略6~50の厚みのシリコン酸化物を含む。さらなる実施形態において、高い誘電率(高いK)を有する材料が与えられる。高いKを有する材料の例としては、例えば窒化された二酸化ケイ素を含む二酸化ケイ素(silicon dioxide)、窒化ケイ素(silicon nitride)、TiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、La<sub>2</sub>O<sub>3</sub>、HfO<sub>2</sub>、ZrO<sub>2</sub>、CeO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、WO<sub>3</sub>、Y<sub>2</sub>O<sub>3</sub>、LaAlO<sub>3</sub>等の金属酸化物、の誘電率よりも大きな誘電率を有する材料が挙げられる。絶縁体ゲートの成長は、その場所で添加されたシリコン膜の供給によって直ちに追従される。その膜は、例えば、N系デバイスのためのリン、P形デバイスのためのボロンが多量に添加されている。石版印刷技術(lithographic technique)及びシリコンエッティングの使用により、ゲート電極320は、図3に説明された処理動作300に示されたようなパターニングが施される。一実施形態において、次に続くゲート電極パターニング及び追加のチャネル不純物が与えられて、チャネル不純物濃度水準は、縦及び横方向の両方において有意に変化するようになる。

#### 【0014】

図4に示したように、薄い絶縁体は、シリコンゲート電極320の上部表面425及び側壁410に与えられる。一実施形態において、薄い絶縁体は、熱によって成長した酸化物であり、略50~500の厚みである。他の実施形態において、熱により成長した薄い酸化物は、0.0~60秒の休止時間に900~1200の最高温度を有する、急速な熱酸化(RTO)処理によって与えられる。当業者であれば、蒸着(deposition)のような薄い絶縁層を与えるための多くの製造方法が存在することを容易に理解できるであろう。また、当業者であれば、窒化物のような他の材料も薄い絶縁体に使用できること、絶縁層は、多数の絶縁材料を含んでもよいこと、を容易に理解できるであろう。そして、異方性エッティングが水平表面上の絶縁層を取り除くために使用され(このようにして、シリコン420及び425を露出する)、それによって、垂直表面上の絶縁層を維持している間、水平表面が露出する。このようにして、側壁の絶縁体410が形成される。シリコン

10

20

30

40

50

基板上のこの薄い絶縁層の中の開口 (opening) がゲート電極 320 と隣接するように、ゲート電極 320 及び側壁絶縁体 410 が異方性エッティングに対するマスクとして機能するものと当業者に評価されるであろう。この実施形態において、この薄い絶縁体は略 50 ~ 500 であり、この薄い絶縁層の開口はゲート電極 320 に隣接し、ゲート電極 320 より略 50 ~ 500 離れた横方向の距離内に配置される。典型的な一実施例において、シリコン表面 420 には、絶縁体ゲートの下部より下方に、略 1 nm ~ 略 5 nm の深さ D2 (430) なる凹所が設けられている。この実施形態において、RTO 处理は側壁の絶縁体を与えるために使用され、デバイスのゲート電極中及びチャネル領域中の双方の不純物は、図 4 に説明した工程動作 400 に示したように、側壁絶縁体の形成と同時に電気的に活性化される。

10

## 【0015】

図 5 に示したように、第二のエッティング処理動作により、半導体基板を横方向及び縦方向にエッティングする。このエッティングは、部分的な等方性エッティングとして知られているものである。一実施形態において、縦方向エッティング速度の少なくとも 10 % の横方向エッティング速度を有する部分的な等方性エッティングが使用される。他の実施形態においては、横方向エッティング速度の少なくとも 10 % の縦方向エッティング速度を有する部分的な等方性エッティングが使用される。第二のエッティングの深さは、D3 (510) である。横方向エッティングは、半導体基板 520 の露出した縦方向の側壁、横方向には側壁の酸化物 410 の端から電極ゲート 320 の下の位置までの L1 (530) の距離、を置き換える。エッティングは、部分的な等方性なので、L1 は D3 の 10 倍よりも少ないか又は等しく、あるいは、D3 が L1 の 10 倍よりも少ないか又は等しい。さらに他の実施形態においては、縦方向のエッティング速度に略等しい横方向のエッティング速度を有するエッティングが使用される。この実施例では、D3 が略 L1 に等しくなるであろう。さらに他の実施形態において、部分的な等方性エッティングは、SF<sub>6</sub> ドライエッティング、HF : HNO<sub>3</sub> ウェットエッティング、半導体材料をエッティングする目的のために一般に使用される何れかのウエット又はドライエッティング、の何れか又はそれらの組み合わせによって与えられる。

20

## 【0016】

図 6 に示したように、次の動作では、すべての露出した表面上を覆う膜として適当な金属を蒸着して取り囲む。蒸着は、スパッタリング若しくは蒸発処理のいずれかによって与えられてもよいし、または、もっと一般的な薄膜形成処理の何れかによって与えられてもよい。一実施形態において、基板は、金属蒸着の間熱せられて、絶縁体ゲートの下の露出したシリコン表面 520 に衝突する金属原子の拡散を促進する。一実施形態において、この金属は略 250 の厚みであるが、より一般には、略 50 ~ 1000 の厚みである。ここでの議論を通して、IC 製造に関するショットキー及びショットキーの様な障壁及び接触に言及する、いくつかの例示が与えられるであろう。本発明は、本発明の範囲の影響下で、どのタイプのショットキーインタフェースが使用され得るのかについての何れの限定も確認するものではない。このように、本発明は、電導性材料又は合金のいずれかの形態に生成されるための、接触のこれらのタイプを具体的に予想するのである。例えば、P 形デバイスでは、金属ソース及びドレイン 610、620 は、白金シリサイド、パラジウムケイ素化合物、イリジウムケイ素化合物の何れか一つ又はこれらの組み合わせから形成され得る。N 形デバイスでは、金属ソース及びドレイン 610、620 は、例えばエルビウムケイ素化合物、ジスプロシウムケイ素化合物またはイッテルビウムケイ素化合物又はこれらの組み合わせ、といった希土類ケイ素化合物 (Rare Earth Silicides) から構成されるグループの材料から形成され得る。チタン、コバルトなどといった、トランジスタレベルで一般に使用される適当な他の金属の何れかが、余りあるより新種の金属及び他の合金と同様に使用できるものと評価できる。他の実施例において、ケイ化物のソース / ドレインは、多くの金属ケイ素化合物の層から構成されてもよく、この場合、他の典型的なケイ化物、例えばチタンケイ素化合物やタンゲステンケイ素化合物、が使用されてもよい。

30

## 【0017】

そして、ウェーハは、特定の時間、特定の温度でアニーリングされ、そして、金属が

40

50

シリコンと直接接觸している全ての場所で化学反応が起こり、金属が金属ケイ素化合物 610、620、630 に転化される。一実施形態において、例えばウェーハは、約 400 で約 45 分間アニーリングされ、より一般的には、略 300 ~ 700 で略 1 ~ 120 分間アニーリングされる。側壁ゲートスペーサ 410 のような非シリコン表面と直接接觸している金属は、未反応のまま残留し、それによっては影響されない。

【0018】

そして、接觸されていない金属ケイ素化合物を残す一方で、化学的なウェットエッティングにより、未反応の金属が取り除かれる。一実施形態において、白金を取り除くために王水が使用され、エルビウムを取り除くために  $HNO_3$  が使用される。他の適切なエッティング用化学物質のいずれかが白金やエルビウムのエッティングを目的として一般に使用され、或いは、ショットキー又はショットキーの様な接觸を形成するために使用される他の適切な金属システムのいずれかが本発明の範囲内で使用できるものと評価される。チャネル注入された、ショートチャネル SB - MOS デバイスは、ここに完成し、図 6 に説明した処理動作 600 において示したように、ゲート 320、ソース 610、ドレイン 620 との電気的接觸のための準備が整ったことになる。

【0019】

この典型的な処理の結果として、ショットキー又はショットキーの様な接觸がチャネル領域 540 及び基板 210 のそれぞれに対して形成され、ここでは、ショットキー接觸が、部分的な等方性エッティング処理によって制御された位置に配置される。一実施形態において、チャネル領域 540 に対するソース 610 及びドレイン 620 電極のインターフェース 520 が、スペーサ 410 の下方に横方向に配置され、ゲート電極 640 の両側の端に対して位置調整される。他の実施形態においては、チャネル領域 540 に対するソース 610 及びドレイン 620 電極のインターフェース 520 は、スペーサ 410 の下方に横方向であってゲート電極 320 の下方に部分的にかかるように配置される。さらに他の実施形態において、チャネル領域 540 に対するソース 610 及びドレイン 620 電極のインターフェース 520 と、ゲート電極 640 の両側の端との間に間隙が形成される。

【0020】

伝統的なショットキー接觸が急激であるにも関わらず、本発明は、いくつかの状況下で、界面層がシリコン基板及び金属の間で利用されるということを具体的に予想する。これら界面層は極薄であり、略 10 nm 又はそれ以下の厚みを有する。それゆえ、本発明は、本発明の実施において有益な、ショットキーの様な接觸及びその均等物を具体的に予測する。さらに、この界面層には、導電性の、半導電性の、及び / 又は、絶縁体のような特性をもった材料が含まれる。例えば、数ある中でも、酸化物又は窒化物絶縁体の極薄の界面層を使用してもよいし、不純物分離技術により形成された極薄の不純物層を使用してもよいし、或いは、ゲルマニウムのような半導体の極薄の界面層をショットキーの様な接觸を形成するために使用してもよい。

【0021】

SB - MOS デバイスの重要な性能特性の一つはドライブ電流 ( $I_d$ ) であり、これは、印加されたソース電圧 ( $V_s$ ) が接地されゲート電圧 ( $V_g$ ) 及びドレイン電圧 ( $V_d$ ) が供給電圧 ( $V_{dd}$ ) でバイアスされたときの、ソースからドレインへの電流である。SB - MOS デバイスの他の重要な特性は、総合ゲート静電容量 ( $C_g$ ) であり、これは、絶縁体ゲート 310、周縁領域 (fringing field) の静電容量、重複静電容量といった、多くの静電容量によって決定されるものである。ドライブ電流及び総合ゲート静電容量は、回路の性能を決める二つの決定的なパラメータである。例えば、トランジスタスケールの切替え速度を  $I_d / C_g$  として、より高いドライブ電流デバイスとより低い総合ゲート静電容量デバイスとをより高速に切替えるようにすると、その結果、より高性能な集積回路がもたらされることになる。SB - MOS デバイスのドライブ電流及び総合ゲート静電容量に作用し得る変数は多く存在する。例えば、図 6 に示したように、ゲート電極 640 の端との関係における、ショットキー又はショットキーの様な接觸 520 の横方向の位置もこれに含まれる。

## 【0022】

S B - M O S デバイスにおいて、ショットキーバリアを貫くチャネルへのトンネル電流密度 ( $J_{SB}$ ) によって一般的に決定されるドライブ電流は、ソース及びチャネル領域の接触面に位置するゲート誘導電界 (gate induced electric field) ( $E_s$ ) によって強く制御される。ゲート ( $V_g$ ) に印加される電圧が増加すると、 $E_s$  もまた増加する。 $E_s$  の増加は、 $J_{SB}$  が等式 (1) に略従って増加するようにショットキーバリアを修正する。ここで、 $J_{SB}$  は  $E_s$  に対して指数的に感応し、A 及び B は定数であり、 $J_{SB}$  及び  $E_s$  の単位は、それぞれ ( $A / \text{cm}^2$ ) 及び ( $V / \text{M}$ ) である。

$$J_{SB} = A e^{\left(-\frac{B}{E_s}\right)} \quad (1)$$

10

## 【0023】

$V_g$  に加えて、 $E_s$  もまた、ゲート電極 640 の端に隣接するショットキーバリアチャネル領域インターフェース 520 による強い影響を受ける。インターフェース 520 がゲート電極 320 の下に位置していないときは、 $E_s$  及び、それゆえ、 $J_{SB}$  と  $I_d$  も実質的に減少し、そのインターフェース (境界面) がゲート電極 640 の端から横方向にさらに遠ざかるにつれて、減少し続ける。したがって、本発明は、部分的な等方性エッチングを使用することにより、ゲート電極に関して正確に制御されるショットキー又はショットキーの様なソース及びドレイン領域の配置を可能にする、S B - M O S デバイスの製造方法を与える。本発明の処理は、電界  $E_s$  及びドライブ電流  $I_d$  を最大化し、デバイス性能を最適化する手段を与える。

20

## 【0024】

総合ゲート静電容量  $C_g$  に關し、ゲート電極 640 の端との関係でのインターフェース 520 の最適位置は、デバイス設計及び性能要求の関数となる。特に、インターフェース 520 とゲート電極 640 の端との間の距離が大きくなるにつれて、総合ゲート静電容量  $C_g$  は小さくなるであろう。同時に、一方では、すでに述べたようにドライブ電流  $I_d$  は減少するであろう。性能の最適化のためには、ドライブ電流  $I_d$  及び総合ゲート静電容量  $C_g$  のトレードオフが必要であり、これは本発明の教示によって、より制御的に与えられる。例えば、本発明における部分的な等方性エッチングを使用することにより、ゲート電極 640 の端との関係でのインターフェース 520 の位置は、ゲート静電容量  $C_g$  及びドライブ電流  $I_d$  のトレードオフが最適化されるように与えられる。

30

## 【0025】

本発明の技術を使用することにより、これに制限されるものではないが、次の利点が生じる。第一に、部分的な等方性エッチング動作は、ゲート電極の下のショットキー又はショットキーの様な接触配置の正確な位置についての、付加的な製造制御を与える。結果のショットキー又はショットキーの様な接触位置は、それゆえ、ゲート電極下の横方向の位置に制御的に配置されて、ドライブ電流を最大化し、総合ゲート静電容量を最小化し、デバイス動作を最適化する。第二の利益は、ゲート電極の下のエッチングにより、有効チャネル長が減少することである。より短いチャネル長がドライブ電流をさらに改善するものと評価される。

40

## 【0026】

本発明は、特にチャネル長の範囲が 100 nm 以下の、ショートチャネル長 M O S F E T の製造場面での使用にとりわけ適している。しかしながら、本発明において教示した事項は、これらショートチャネル長デバイスに対する本発明の教示の適用を何ら制限するものではない。何れの寸法のチャネル長であっても、本発明の教示の有利な効果がもたらされる。

## 【0027】

本発明を、好適な実施形態について記述してきたが、当業者であれば、本発明の趣旨及び範囲を逸脱しない限り、形態及び細部の変更が可能であるということが理解できるであろう。本発明は、いくつかのチャネルの何れか、基板、良好に注入されたプロファイルと

50

ともに使用され得る。本発明は、S O I 基板、ひずみシリコン基板、S i G e 基板、F i n F E T 技術、高いKを有する絶縁体ゲート、金属ゲートを使用するかどうかに関わらず、金属ソースドレイン技術の使用の何れにも応用できる。このリストは限定ではない。金属ソース - ドレイン接触を使用する電流のフロー調節のためのデバイスであれば、いずれもここで述べた利点をもたらすであろう。

#### 【0028】

本発明は、特にS B - M O S 半導体デバイスとの使用に適しているが、他の半導体デバイスに適用してもよい。このように、本明細書ではS B - M O S デバイスと共に使用するための製造処理について言及したが、この用語は、ニ又はそれ以上の電気的接触を持ち、これら電気的接触のうち少なくとも一つはショットキー又はショットキーの様な接触であるような、導電性チャネルを有する電流のフローを調節するためのいずれのデバイスをも含めて広く解されるべきである。

#### 【図面の簡単な説明】

#### 【0029】

【図1】現行のショットキーバリア金属酸化膜半導体電界効果トランジスタ（「ショットキーバリアM O S F E T」又は「S B - M O S」）の断面図。

【図2】半導体基板の注入を使用した本発明の工程の例示的な実施形態。

【図3】薄い絶縁体ゲート上にパターニングされたシリコン膜を使用した本発明の工程の例示的な実施形態。

【図4】薄い絶縁体側壁の形成、及び、ゲート、ソース、ドレイン領域のシリコン露出を使用した本発明の工程の例示的な実施形態。

【図5】部分的な等方性エッチングを使用した本発明の工程の例示的な実施形態。

【図6】金属蒸着、ケイ化物アニーリング（silicidation anneal）、未反応金属の除去を使用した本発明の工程の例示的な実施形態。

#### 【符号の説明】

#### 【0030】

100 S B - M O S デバイス

110 半導体基板

120 ソース電極

125 ドレイン電極

140 チャネル領域

150 絶縁体ゲート

210 シリコン基板

220 遮蔽酸化物

310 絶縁体ゲート

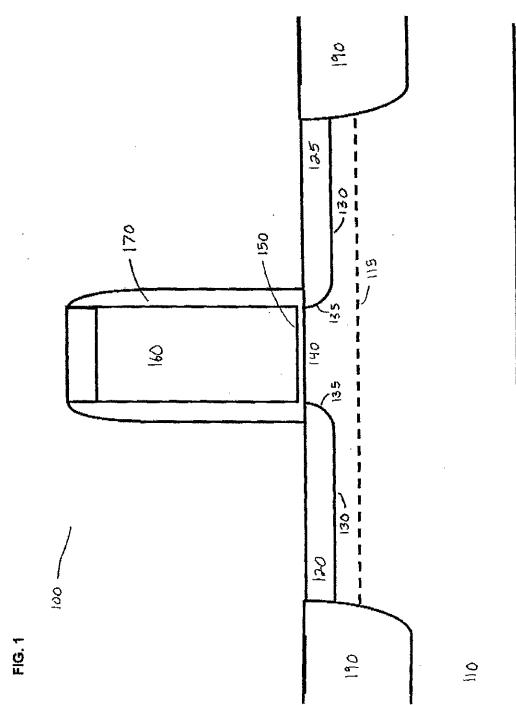
320 ゲート電極

10

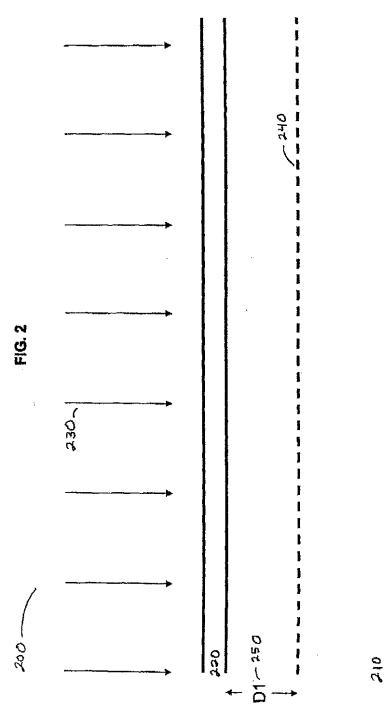
20

30

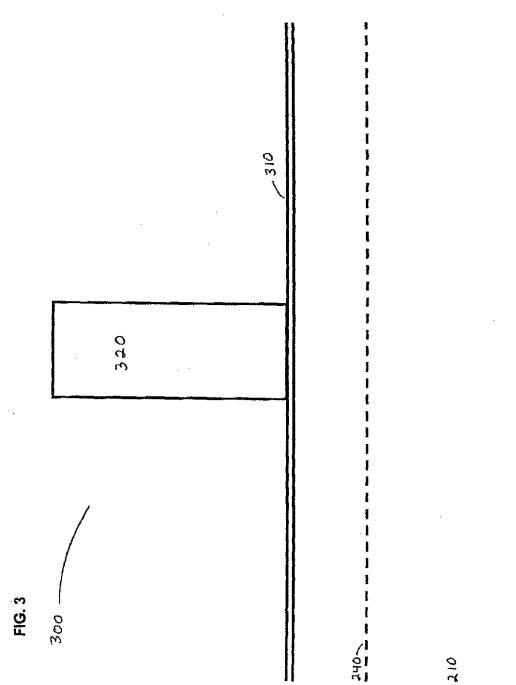
【図1】



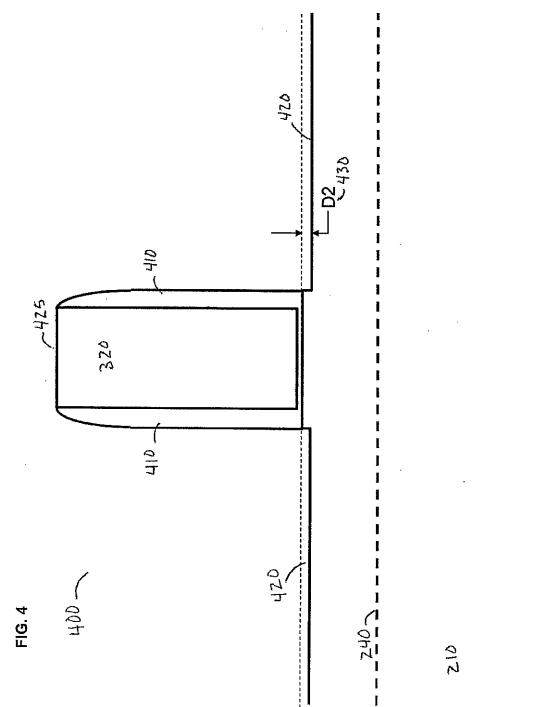
【図2】



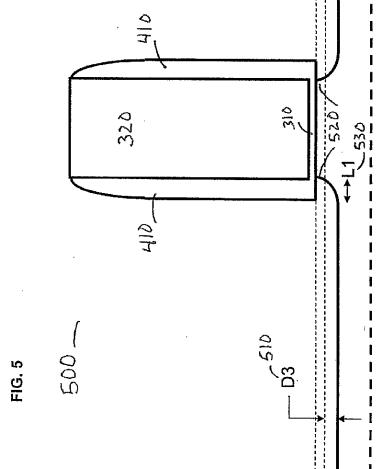
【図3】



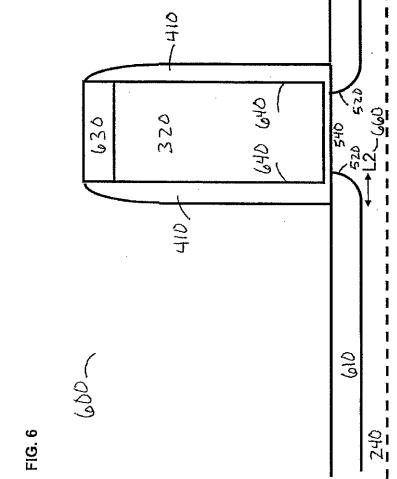
【図4】



【図5】



【図6】



210

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		Application No PCT/US2004/032539
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/336 H01L29/417 H01L29/78		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 864 161 A (MITANI ET AL) 26 January 1999 (1999-01-26) column 13, line 14 - column 16, line 64; figures 3A-3F, 4A-4C, 5A-5E, 30A-30E, 39A-39R column 29, lines 49-60 column 24, lines 28-31 column 32, lines 33-55 column 36, line 66 - column 37, line 2	1-10, 13-24 11,25
X	US 5 834 793 A (SHIBATA ET AL) 10 November 1998 (1998-11-10) column 9, line 48 - column 10, line 4; figures 15A-15C	1,2, 7-10, 12-15,20
Y	WO 03/015181 A (SPINNAKER SEMICONDUCTOR, INC) 20 February 2003 (2003-02-20)	11,25
A	the whole document	1-10, 12-24
<input type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the International filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the International filing date but later than the priority date claimed		
Date of the actual completion of the International search  11 February 2005		Date of mailing of the International search report  21/02/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patenttaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer  Ley, M

INTERNATIONAL SEARCH REPORT				Application No PCT/US2004/032539	
Patent document cited in search report	Publication date	Patent family member(s)		Publication date	
US 5864161	A 26-01-1999	JP US	8153688 A 6342421 B1	11-06-1996 29-01-2002	
US 5834793	A 10-11-1998	JP JP JP JP JP	1942980 C 6066467 B 62154668 A 2031486 C 7063095 B	23-06-1995 24-08-1994 09-07-1987 19-03-1996 05-07-1995	19-10-1987
WO 03015181	A 20-02-2003	US EP JP WO US US US EP WO WO US US US	2003032270 A1 1417718 A1 2004538650 T 03015181 A1 2003034532 A1 2003235936 A1 2004171240 A1 1468440 A2 03063202 A2 03098693 A2 2003139001 A1 2004041226 A1 2005003595 A1	13-02-2003 12-05-2004 24-12-2004 20-02-2003 20-02-2003 25-12-2003 02-09-2004 20-10-2004 31-07-2003 27-11-2003 24-07-2003 04-03-2004 06-01-2005	

---

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,M,A,MD,MG,MK,MN,MW,MX,MZ,NA,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 スナイダー ジョン ピー

アメリカ合衆国 ミネソタ州 55439 エダイナ ロイス レーン 5705

(72)発明者 ラーソン ジョン エム

アメリカ合衆国 ミネソタ州 55057 ノースフィールド カレッジ ストリート 419

F ターム(参考) 4M104 AA01 AA04 AA05 AA09 BB19 BB22 BB23 BB25 BB28 CC03  
DD02 DD78 DD84 GG09 GG10 GG14  
5F140 AA10 AA11 AA13 AA17 AA21 AA24 AC28 AC36 BA05 BB05  
BB13 BB15 BC06 BC19 BD07 BD11 BD12 BD13 BE07 BF04  
BF11 BF17 BF18 BG08 BG12 BG14 BG30 BG34 BG45 BG53  
BH07 BH27 BH30 BJ01 BJ08 BJ30 BK09 BK20 BK23 BK29  
BK34 BK39 CB01