(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 9 月 7 日 (07.09.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/157589 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2017/103036

(22) 国际申请日: 2017 年 9 月 22 日 (22.09.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201720186107.9 2017年2月28日 (28.02.2017) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 合肥鑫晟光电科技有限公司 (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市新站区工业园内, Anhui 230012 (CN)。

(72) 发明人: 杜瑞芳 (DU, Ruifang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 王锡平 (WANG, Xiping); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 马睿 (MA, Rui); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 马小叶 (MA, Xiaoye); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京同达信恒知识产权代理有限公司 (TDIP & PARTNERS); 中国北京市海淀区宝盛南路1号院20号楼8层101-01, Beijing 100192 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) **Title:** REVERSE PHASE CONTROL CIRCUIT, DRIVING METHOD THEREFOR, DISPLAY PANEL AND DISPLAY DEVICE

(54) **发明名称**: 反相控制电路、其驱动方法、显示面板及显示装置

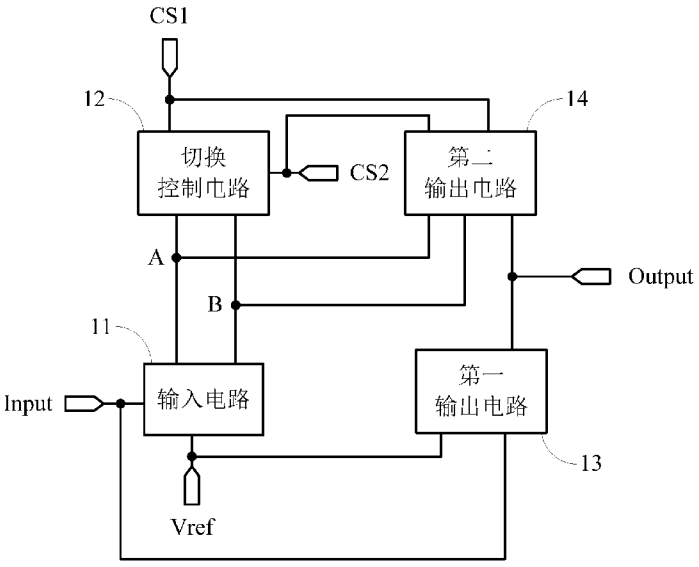


图 2

11 INPUT CIRCUIT
12 SWITCHING CONTROL CIRCUIT
13 FIRST OUTPUT CIRCUIT
14 SECOND OUTPUT CIRCUIT

(57) **Abstract:** A reverse phase control circuit, a driving method therefor, a display panel and a display device, comprising: an input circuit (11), a switching control circuit (12), a first output circuit (13) and a second output circuit (14). The reverse phase control circuit may make the potential of an input signal end (Input) opposite to the potential of an output signal end (Output) by means of the mutual cooperation of four circuits, so that when a reverse phase control circuit is applied to a display panel, a clock signal is used as an input signal, and an output signal is a reverse-phase clock signal.

WO 2018/157589 A1

[见续页]

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

一 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种反相控制电路、其驱动方法、显示面板及显示装置，包括：输入电路（11）、切换控制电路（12）、第一输出电路（13）以及第二输出电路（14）。该反向控制电路，通过四个电路相互配合，可以使输入信号端（Input）的电位与反相信号输出端（Output）的电位相反，从而将该反相控制电路应用于显示面板时，将一个时钟信号作为输入信号，输出信号即为相位相反的时钟信号。

反相控制电路、其驱动方法、显示面板及显示装置

相关申请的交叉引用

本申请要求在2017年2月28日提交中国专利局、申请号为201720186107.9、发明名称为“反相控制电路、显示面板及显示装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，特别涉及一种反相控制电路、其驱动方法、显示面板及显示装置。

背景技术

随着显示技术的飞速发展，显示面板越来越向着高集成度和低成本的方向发展。其中，阵列基板行驱动（Gate Driver on Array，GOA）技术将薄膜晶体管（Thin Film Transistor，TFT）栅极驱动电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动，从而可以省去栅极集成电路（Integrated Circuit，IC）的绑定（Bonding）区域以及扇出（Fan-out）区域的布线空间，不仅可以在材料成本和制备工艺两方面降低产品成本，而且可以使显示面板做到两边对称和窄边框的美观设计。

相关技术中，GOA的栅极驱动电路需要高低电位按一定周期来回切换的时钟信号进行驱动，并且随着GOA的栅极驱动电路的复杂程度增加，所需的时钟信号也相应增多，容易引起耦合电压的波动，造成显示面板的显示异常，例如Aging横纹等。

发明内容

在本公开的一个方面，本公开实施例提供了一种反相控制电路，包括：输入电路、切换控制电路、第一输出电路以及第二输出电路；其中，

所述输入电路分别与输入信号端、参考信号端、第一节点以及第二节点相连；所述输入电路被配置为在所述输入信号端的控制下分别将所述参考信号端的信号提供给所述第一节点与所述第二节点；

所述切换控制电路分别与第一切换控制信号端、第二切换控制信号端、所述第一节点以及所述第二节点相连；所述切换控制电路被配置为在所述第一切换控制信号端的控制下将所述第一切换控制信号端的信号提供给所述第一节点，在所述第二切换控制信号端的控制下将所述第二切换控制信号端的信号提供给所述第二节点；

所述第一输出电路分别与所述输入信号端、所述参考信号端以及所述反相控制电路的反相信号输出端相连；所述第一输出电路被配置为在所述输入信号端的控制下将所述参考信号端的信号提供给所述反相信号输出端；

所述第二输出电路分别与所述第一切换控制信号端、所述第二切换控制信号端、所述第一节点、所述第二节点以及所述反相信号输出端相连；所述第二输出电路被配置为在所述第一节点的信号的控制下将所述第一切换控制信号端的信号提供给所述反相信号输出端，在所述第二节点的信号的控制下将所述第二切换控制信号端的信号提供给所述反相信号输出端。

在一些实施例中，所述切换控制电路包括：第一开关晶体管与第二开关晶体管；其中，

所述第一开关晶体管的控制极与其第一极均与所述第一切换控制信号端相连，第二极与所述第一节点相连；

所述第二开关晶体管的控制极与其第一极均与所述第二切换控制信号端相连，第二极与所述第二节点相连。

在一些实施例中，所述输入电路包括：第三开关晶体管与第四开关晶体管；其中，

所述第三开关晶体管的控制极与所述输入信号端相连，第一极与所述参考信号端相连，第二极与所述第一节点相连；

所述第四开关晶体管的控制极与所述输入信号端相连，第一极与所述参

考信号端相连，第二极与所述第二节点相连。

在一些实施例中，所述第一输出电路包括：第五开关晶体管；其中，

所述第五开关晶体管的控制极与所述输入信号端相连，第一极与所述参考信号端相连，第二极与所述反相信号输出端相连。

在一些实施例中，所述第二输出电路包括：第六开关晶体管与第七开关晶体管；其中，

所述第六开关晶体管的控制极与所述第一节点相连，第一极与所述第一切换控制信号端相连，第二极与所述反相信号输出端相连；

所述第七开关晶体管的控制极与所述第二节点相连，第一极与所述第二切换控制信号端相连，第二极与所述反相信号输出端相连。

本公开实施例还提供了上述反向控制电路的驱动方法，包括：

在第一阶段，所述输入电路在所述输入信号端的控制下将所述参考信号端的信号分别提供给所述第一节点与所述第二节点；所述第一输出电路在所述输入信号端的控制下将所述参考信号端的信号提供给所述反相信号输出端；

在第二阶段，所述切换控制电路在所述第一切换控制信号端的控制下将所述第一切换控制信号端的信号提供给所述第一节点，所述第二输出电路在所述第一节点的信号的控制下将所述第一切换控制信号端的信号提供给所述反相信号输出端；或，在第二阶段，所述切换控制电路在所述第二切换控制信号端的控制下将所述第二切换控制信号端的信号提供给所述第二节点，所述第二输出电路在所述第二节点的信号的控制下将所述第二切换控制信号端的信号提供给所述反相信号输出端。

在本公开的另一方面，本公开实施例还提供了另一种反相控制电路，包括：输入电路、切换控制电路、第一输出电路以及第二输出电路；其中，

所述输入电路分别与输入信号端、参考信号端以及第一节点相连；所述输入电路被配置为在所述输入信号端的控制下将所述参考信号端的信号提供给所述第一节点；

所述切换控制电路分别与切换控制信号端以及所述第一节点相连；所述切换控制电路被配置为在所述切换控制信号端的控制下将所述切换控制信号端的信号提供给所述第一节点；

所述第一输出电路分别与所述输入信号端、所述参考信号端以及所述反相控制电路的反相信号输出端相连；所述第一输出电路被配置为在所述输入信号端的控制下将所述参考信号端的信号提供给所述反相信号输出端；

所述第二输出电路分别与所述切换控制信号端、所述第一节点以及所述反相信号输出端相连；所述第二输出电路被配置为在所述第一节点的信号的控制下将所述切换控制信号端的信号提供给所述反相信号输出端。

在一些实施例中，所述切换控制电路包括：第一开关晶体管；其中，

所述第一开关晶体管的控制极与其第一极均与所述切换控制信号端相连，第二极与所述第一节点相连。

在一些实施例中，所述输入电路包括：第二开关晶体管；其中，

所述第二开关晶体管的控制极与所述输入信号端相连，第一极与所述参考信号端相连，第二极与所述第一节点相连。

在一些实施例中，所述第一输出电路包括：第三开关晶体管；其中，

所述第三开关晶体管的控制极与所述输入信号端相连，第一极与所述参考信号端相连，第二极与所述反相信号输出端相连。

在一些实施例中，所述第二输出电路包括：第四开关晶体管；其中，

所述第四开关晶体管的控制极与所述第一节点相连，第一极与所述切换控制信号端相连，第二极与所述反相信号输出端相连。

本公开实施例还提供了上述反向控制电路的驱动方法，包括：

在第一阶段，所述输入电路在所述输入信号端的控制下将所述参考信号端的信号提供给所述第一节点；所述第一输出电路在所述输入信号端的控制下将所述参考信号端的信号提供给所述反相信号输出端；

在第二阶段，所述切换控制电路在所述切换控制信号端的控制下将所述切换控制信号端的信号提供给所述第一节点；所述第二输出电路在所述第一

节点的信号的控制下将所述切换控制信号端的信号提供给所述反相信号输出端。

在本公开的又一方面，本公开实施例还提供了一种显示面板，包括至少一条时钟信号线，还包括：与各所述时钟信号线一一对应的反相时钟信号线，以及与各所述时钟信号线一一对应的本公开实施例提供的上述任一种反相控制电路；

所述反相控制电路的输入信号端与对应的时钟信号线相连，反相信号输出端与对应的反相时钟信号线相连。

可选地，所述显示面板最多包括三条时钟信号线。

可选地，所述显示面板包括三条时钟信号线。

可选地，各所述时钟信号线、各所述反相时钟信号线以及各所述反相控制电路均位于所述显示面板的非显示区域内。

在本公开的还一方面，本公开实施例提供了一种显示装置，包括本公开实施例提供的上述任一种显示面板。

附图说明

图1为相关技术中GOA栅极驱动电路采用6个时钟信号的示意图；

图2为本公开实施例提供的反相控制电路的结构示意图；

图3a为图2所示的反相控制电路的结构示意图之一；

图3b为图2所示的反相控制电路的结构示意图之二；

图4为本公开实施例提供的反相控制电路的另一结构示意图；

图5a为图4所示的反相控制电路的结构示意图之一；

图5b为图4所示的反相控制电路的结构示意图之二；

图6a为图3a所示的反相控制电路的时序图；

图6b为图5a所示的反相控制电路的时序图；

图7为图2所示的反相控制电路的驱动方法的流程图之一；

图8为图2所示的反相控制电路的驱动方法的流程图之二；

图9为图4所示的反相控制电路的驱动方法的流程图;

图10a为本公开实施例提供的显示面板的结构示意图之一;

图10b为本公开实施例提供的显示面板的结构示意图之二;

图11为本公开实施例提供的显示面板中时钟信号线中信号与反相时钟信号线中的信号示意图;

图12为本公开实施例提供的显示面板中移位寄存器单元的具体结构示意图。

具体实施方式

为了使本公开的目的，技术方案和优点更加清楚，下面结合附图，对本公开实施例提供的反相控制电路、其驱动方法、显示面板及显示装置的具体实施方式进行详细地说明。应当理解，下面所描述的实施例仅用于说明和解释本公开，并不用于限定本公开。并且在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互组合。

在相关技术中，GOA的栅极驱动电路，如图1所示，以向栅极驱动电路输入六个时钟信号为例，在一帧显示的扫描开始后，时钟信号CLK1与时钟信号CLK4是互反信号，时钟信号CLK2与时钟信号CLK5是互反信号，时钟信号CLK3与时钟信号CLK6是互反信号；其中在各时钟信号在的第一个高电位之前都是低电位信号，即在这个时间段内上述三组时钟信号不是互反的，从而容易引起耦合电压的波动，造成显示面板的显示异常，例如Aging横纹等。

本公开实施例提供了一种反相控制电路，如图2所示，包括：输入电路11、切换控制电路12、第一输出电路13以及第二输出电路14；其中，

输入电路11分别与输入信号端Input、参考信号端Vref、第一节点A以及第二节点B相连；输入电路11被配置为在输入信号端Input的控制下分别将参考信号端Vref的信号提供给第一节点A与第二节点B;

切换控制电路12分别与第一切换控制信号端CS1、第二切换控制信号端CS2、第一节点A以及第二节点B相连；切换控制电路12被配置为在第一切换

控制信号端CS1的控制下将第一切换控制信号端CS1的信号提供给第一节点A，在第二切换控制信号端CS2的控制下将第二切换控制信号端CS2的信号提供给第二节点B;

第一输出电路13分别与输入信号端Input、参考信号端Vref以及反相控制电路的反相信号输出端Output相连；第一输出电路13被配置为在输入信号端Input的控制下将参考信号端Vref的信号提供给反相信号输出端Output;

第二输出电路14分别与第一切换控制信号端CS1、第二切换控制信号端CS2、第一节点A、第二节点B以及反相信号输出端Output相连；第二输出电路14被配置为在第一节点A的信号的控制下将第一切换控制信号端CS1的信号提供给反相信号输出端Output，在第二节点B的信号的控制下将第二切换控制信号端CS2的信号提供给反相信号输出端Output。

本公开实施例提供的反相控制电路，通过上述四个电路的相互配合，可以使输入信号端Input的电位与反相信号输出端Output的电位相反，例如完全相反或实质上完全相反，从而将该反相控制电路应用于显示面板时，将一个时钟信号作为输入信号，输出信号即为相位相反的时钟信号。

在本公开一些实施例提供的反相控制电路中，在输入信号端Input的有效脉冲信号的电位为高电位时，参考信号端Vref的电位为低电位；在输入信号端Input的有效脉冲信号的电位为低电位时，参考信号端Vref的电位为高电位。

在本公开一些实施例提供的反相控制电路中，第一切换控制信号端 CS1 的电位在每相邻的预设间隔时长内为相反的电位；第一切换控制信号端 CS1 的电位和第二切换控制信号端 CS2 的电位为相反的电位；其中，预设间隔时长为显示 N 帧的时间；N 为大于或等于 1 的整数。

例如，在当前预设间隔时长内，第一切换控制信号端CS1的电位为高电位（或低电位），第二切换控制信号端CS2的电位为低电位（或高电位）；在下一个预设间隔时长内，第一切换控制信号端CS1的电位为低电位（或高电位），第二切换控制信号端CS2的电位为高电位（或低电位）；并在下一个预设间隔时长之后，第一切换控制信号端CS1与第二切换控制信号端CS2一直重复执行

上述当前预设间隔时长和下一个预设间隔时长的过程，直至停止显示。其中，预设间隔时长为显示N帧的时间；N为大于或等于1的整数。在实际应用中，例如预设间隔时长可以为2~4s，当然预设间隔时长的具体时间需要根据实际应用环境进行设计确定，在此不作限定。

在本公开一些实施例提供的反相控制电路中，如图3a与图3b所示，输入电路11可以包括：第三开关晶体管M3与第四开关晶体管M4；其中，

第三开关晶体管M3的控制极与输入信号端Input相连，第一极与参考信号端Vref相连，第二极与第一节点A相连；

第四开关晶体管M4的控制极与输入信号端Input相连，第一极与参考信号端Vref相连，第二极与第二节点B相连。

在本公开一些实施例提供的反相控制电路中，如图3a所示，第三开关晶体管M3与第四开关晶体管M4可以为N型晶体管。此时，第三开关晶体管M3在输入信号端Input的有效脉冲信号为高电位时处于导通状态，将参考信号端Vref的低电位提供给第一节点A。第四开关晶体管M4在输入信号端Input的有效脉冲信号为高电位时处于导通状态，将参考信号端Vref的低电位提供给第二节点B。

在本公开一些实施例提供的反相控制电路中，如图3b所示，第三开关晶体管M3与第四开关晶体管M4也可以为P型晶体管。此时，第三开关晶体管M3在输入信号端Input的有效脉冲信号为低电位时处于导通状态，将参考信号端Vref的高电位提供给第一节点A。第四开关晶体管M4在输入信号端Input的有效脉冲信号为低电位时处于导通状态，将参考信号端Vref的高电位提供给第二节点B。

在本公开一些实施例提供的反相控制电路中，如图3a与图3b所示，切换控制电路12可以包括：第一开关晶体管M1与第二开关晶体管M2；其中，

第一开关晶体管M1的控制极和第一极均与第一切换控制信号端CS1相连，第二极与第一节点A相连；

第二开关晶体管M2的控制极与其第一极均与第二切换控制信号端CS2相

连，第二极与第二节点B相连。

在本公开一些实施例提供的反相控制电路中，如图3a所示，第一开关晶体管M1与第二开关晶体管M2可以为N型晶体管。此时，第一开关晶体管M1在第一切换控制信号端CS1为高电位时处于导通状态，将第一切换控制信号端CS1的高电位提供给第一节点A。第二开关晶体管M2在第二切换控制信号端CS2为高电位时处于导通状态，将第二切换控制信号端CS2的高电位提供给第二节点B。

在本公开一些实施例提供的反相控制电路中，如图3b所示，第一开关晶体管M1与第二开关晶体管M2也可以为P型晶体管。此时，第一开关晶体管M1在第一切换控制信号端CS1为低电位时处于导通状态，将第一切换控制信号端CS1的低电位提供给第一节点A。第二开关晶体管M2在第二切换控制信号端CS2为低电位时处于导通状态，将第二切换控制信号端CS2的低电位提供给第二节点B。

由于第一切换控制信号端CS1的电位和第二切换控制信号端CS2的电位为周期交替高电位（低电位），可以使得第一开关晶体管M1与第二开关晶体管M2交替打开，而不是一直处于压力（Stress）状态，减小Stress对第一开关晶体管M1与第二开关晶体管M2电学性能的影响，从而提高信赖性。

在本公开一些实施例提供的反相控制电路中，在工艺制备时将第三开关晶体管M3的沟道宽长比设置为比第一开关晶体管M1的沟道宽长比大，这样的设置使得当输入信号端Input为有效脉冲信号时，第三开关晶体管M3在输入信号端Input的控制下将参考信号端Vref的信号提供给第一节点A的速率大于第一开关晶体管M1在第一切换控制信号端CS1的控制下将第一切换控制信号端CS1的信号提供给第一节点A1的速率，从而保证第一节点A的电位与输入信号端Input为有效脉冲信号时的电位相反。

在本公开一些实施例提供的反相控制电路中，在工艺制备时将第四开关晶体管M4的沟道宽长比设置为比第二开关晶体管M2的沟道宽长比大，这样设置使得当输入信号端Input为有效脉冲信号时，第四开关晶体管M4在输入信号

端Input的控制下将参考信号端Vref的信号提供给第二节点B的速率大于第二开关晶体管M2在第二切换控制信号端CS2的控制下将第二切换控制信号端CS2的信号提供给第二节点B的速率，从而保证第二节点B的电位与输入信号端Input为有效脉冲信号时的电位相反。

在本公开一些实施例提供的反相控制电路中，第一开关晶体管M1的沟道宽长比与第三开关晶体管M3的沟道宽长比可以满足1:2的关系，第二开关晶体管M2的沟道宽长比与第四开关晶体管M4的沟道宽长比可以满足1:2的关系，当然，在实际应用中，第一开关晶体管M1的沟道宽长比与第三开关晶体管M3的沟道宽长比满足的关系也可以是其它比例关系，第二开关晶体管M2的沟道宽长比与第四开关晶体管M4的沟道宽长比满足的关系也可以是其它比例关系，在此不作限定。

在本公开一些实施例提供的反相控制电路中，如图3a与图3b所示，第一输出电路13可以包括：第五开关晶体管M5；其中，

第五开关晶体管M5的控制极与输入信号端Input相连，第一极与参考信号端Vref相连，第二极与反相信号输出端Output相连。

在本公开一些实施例提供的上述反相控制电路中，如图3a所示，第五开关晶体管M5可以为N型晶体管。此时，第五开关晶体管M5在输入信号端Input的有效脉冲信号为高电位时处于导通状态，将参考信号端Vref的低电位提供给反相信号输出端Output。

在本公开一些实施例提供的反相控制电路中，如图3b所示，第五开关晶体管M5也可以为P型晶体管。此时，第五开关晶体管M5在输入信号端Input的有效脉冲信号为低电位时处于导通状态，将参考信号端Vref的高电位提供给反相信号输出端Output。

在本公开一些实施例提供的反相控制电路中，如图3a与图3b所示，第二输出电路14可以包括：第六开关晶体管M6与第七开关晶体管M7；其中，

第六开关晶体管M6的控制极与第一节点A相连，第一极与第一切换控制信号端CS1相连，第二极与反相信号输出端Output相连；

第七开关晶体管M7的控制极与第二节点B相连，第一极与第二切换控制信号端CS2相连，第二极与反相信号输出端Output相连。

在本公开一些实施例提供的反相控制电路中，如图3a所示，第六开关晶体管M6与第七开关晶体管M7可以为N型晶体管。此时，第六开关晶体管M6在第一节点A为高电位时处于导通状态，将第一切换控制信号端CS1的信号提供给反相信号输出端Output。第七开关晶体管M7在第二节点B为高电位时处于导通状态，将第二切换控制信号端CS2的信号提供给反相信号输出端Output。

在本公开一些实施例提供的反相控制电路中，如图3b所示，第六开关晶体管M6与第七开关晶体管M7也可以为P型晶体管。此时，第六开关晶体管M6在第一节点A为低电位时处于导通状态，将第一切换控制信号端CS1的信号提供给反相信号输出端Output。第七开关晶体管M7在第二节点B为电位时处于导通状态，将第二切换控制信号端CS2的信号提供给反相信号输出端Output。

在本公开一些实施例提供的反相控制电路中，在工艺制备时将第五开关晶体管M5的沟道宽长比设置为比第六开关晶体管M6的沟道宽长比大，这样设置使得当输入信号端Input为有效脉冲信号时，第五开关晶体管M5在输入信号端Input的控制下将参考信号端Vref的信号提供给反相信号输出端Output的速率大于第六开关晶体管M6在第一节点A的控制下将第一切换控制信号端CS1的信号提供给反相信号输出端Output的速率，从而保证反相信号输出端Output的电位与输入信号端Input为有效脉冲信号时的电位相反。

在本公开一些实施例提供的反相控制电路中，在工艺制备时将第五开关晶体管M5的沟道宽长比设置为比第七开关晶体管M7的沟道宽长比大，这样设置使得当输入信号端Input为有效脉冲信号时，第五开关晶体管M5在输入信号端Input的控制下将参考信号端Vref的信号提供给反相信号输出端Output的速率大于第七开关晶体管M7在第二节点A的控制下将第二切换控制信号端CS2的信号提供给反相信号输出端Output的速率，从而保证反相信号输出端Output的电位与输入信号端Input为有效脉冲信号时的电位相反。

在本公开一些实施例提供的反相控制电路中，第六开关晶体管M6的沟道

宽长比与第五开关晶体管M5的沟道宽长比可以满足1:6的关系，第七开关晶体管M7的沟道宽长比与第五开关晶体管M5的沟道宽长比可以满足1:6的关系，当然，在实际应用中，第六开关晶体管M6的沟道宽长比与第五开关晶体管M5的沟道宽长比满足的关系也可以是其它比例关系，第七开关晶体管M7的沟道宽长比与第五开关晶体管M5的沟道宽长比满足的关系也可以是其它比例关系，在此不作限定。

以上仅是举例说明本公开实施例提供的反相控制电路中各电路的具体结构，上述各电路的具体结构不限于本公开实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

在本公开一些实施例提供的反相控制电路中，所有开关晶体管一般均采用相同材质的开关晶体管。例如，如图3a所示，所有开关晶体管可以均为N型晶体管，N型晶体管在高电位作用下导通，在低电位作用下截止，此时输入信号端Input的有效脉冲信号的电位为高电位。或者，如图3b所示，所有开关晶体管也可以均为P型晶体管，P型晶体管在高电位作用下截止，在低电位作用下导通，输入信号端Input的有效脉冲信号的电位为低电位，在此不作限定。

本公开上述实施例中提到的开关晶体管可以是薄膜晶体管（TFT，Thin Film Transistor），也可以是金属氧化物半导体场效应管（MOS，Metal Oxide Scmiconductor），在此不作限定。并且，这些开关晶体管的控制极为栅极，第一极和第二极根据开关晶体管类型以及信号端的信号的不同，可以将第一极作为开关晶体管的源极或漏极，以及将第二极作为开关晶体管的漏极或源极，在此不作限定。

下面以图3a所示的反相控制电路的结构为例，结合电路时序图对本公开实施例提供的反相控制电路的工作过程作以描述。其中，以预设间隔时长为显示一帧时间为例。下述描述中以1表示高电位信号，0表示低电位信号，其中，1和0代表其逻辑电位，其仅是为了更好的解释本公开实施例提供的反相控制电路的工作过程，而不是在具体实施时施加在各开关晶体管的控制极上的电位。

在一些实施例中，如图3a所示，反相控制电路中所有开关晶体管均为N型晶体管；对应的输入输出时序图如图6a所示，具体地，主要选取如图6a所示的输入输出时序图中的显示一帧时间T1内的T11与T12两个阶段，CS1=1，CS2=0；下一个显示一帧时间T2内的T21与T22两个阶段，CS1=0，CS2=1。

在T11阶段，Input=1，CS1=1，CS2=0。

由于Input=1，因此第三开关晶体管M3、第四开关晶体管M4以及第五开关晶体管M5均导通。由于CS1=1，因此第一开关晶体管M1导通并将高电位的第一切换控制信号端CS1的信号提供给第一节点A，同时由于第三开关晶体管M3导通并将低电位的参考信号端Vref的信号提供给第一节点A，并且第三开关晶体管M3的沟道宽长比大于第一开关晶体管M1的沟道宽长比，因此第一节点A的电位为低电位。由于第一节点A的电位为低电位，因此第六开关晶体管M6截止。由于第四开关晶体管M4导通并将低电位的参考信号端Vref的信号提供给第二节点B，因此第二节点B的电位为低电位。由于第二节点B的电位为低电位，因此第七开关晶体管M7截止。由于第五开关晶体管M5导通并将低电位的参考信号端Vref的信号提供给反相信号输出端Output，因此反相信号输出端Output输出低电位的信号，即与输入信号端Input的电位相反。由于CS2=0，因此第二开关晶体管M2截止。

在T12阶段，Input=0，CS1=1，CS2=0。

由于Input=0，因此第三开关晶体管M3、第四开关晶体管M4以及第五开关晶体管M5均截止。由于CS1=1，因此第一开关晶体管M1导通并将高电位的第一切换控制信号端CS1的信号提供给第一节点A，因此第一节点A为高电位。由于第一节点A为高电位，因此第六开关晶体管M6导通并将高电位的第一切换控制信号端CS1的信号提供给反相信号输出端Output，因此反相信号输出端Output输出高电位的信号，即与输入信号端Input的电位相反。由于CS2=0，因此第二开关晶体管M2截止。第二节点B的电位保持低电位，因此第七开关晶体管M7保持截止。

在T12阶段之后，一直重复执行T11阶段与T12阶段的工作过程，直至下一

帧显示时间开始。

在T21阶段，Input=1，CS1=0，CS2=1。

由于Input=1，因此第三开关晶体管M3、第四开关晶体管M4以及第五开关晶体管M5均导通。由于第三开关晶体管M3导通并将低电位的参考信号端Vref的信号提供给第一节点A，因此第一节点A的电位为低电位。由于第一节点A的电位为低电位，因此第六开关晶体管M6截止。由于CS2=1，因此第二开关晶体管M2导通并将高电位的第二切换控制信号端CS2的信号提供给第二节点B，同时由于第四开关晶体管M4导通并将低电位的参考信号端Vref的信号提供给第二节点B，并且第四开关晶体管M4的沟道宽长比大于第二开关晶体管M2的沟道宽长比，因此第二节点B的电位为低电位。由于第二节点B的电位为低电位，因此第七开关晶体管M7截止。由于第五开关晶体管M5导通并将低电位的参考信号端Vref的信号提供给反相信号输出端Output，因此反相信号输出端Output输出低电位的信号，即与输入信号端Input的电位相反。由于CS1=0，因此第一开关晶体管M1截止。

在T22阶段，Input=0，CS1=0，CS2=1。

由于Input=0，因此第三开关晶体管M3、第四开关晶体管M4以及第五开关晶体管M5均截止。由于CS2=1，因此第二开关晶体管M2导通并将高电位的第二切换控制信号端CS2的信号提供给第二节点B，因此第二节点B为高电位。由于第二节点B为高电位，因此第七开关晶体管M7导通并将高电位的第二切换控制信号端CS2的信号提供给反相信号输出端Output，因此反相信号输出端Output输出高电位的信号，即与输入信号端Input的电位相反。由于CS1=0，因此第一开关晶体管M1截止。第一节点A的电位保持低电位，因此第六开关晶体管M6保持截止。

在T22阶段之后，一直重复执行T21阶段与T22阶段的工作过程，直至下一帧显示时间开始。

如图6a所示，一般在相邻显示帧之间会设置一个暗态时间Blacking Time。因此，第一切换控制信号端CS1的电位与第二切换控制信号端CS2的电位可以

均在该暗态时间Blacking Time阶段进行切换。

本公开实施例提供的反相控制电路，可以仅通过多个开关晶体管，使反相信号输出端Output的电压与输入信号端Input的电位相反，例如完全相反或实质完全相反，与相关技术中的采用电容与晶体管组合的方式构成的反相控制电路相比，由于开关晶体管的占用空间小于电容的占用，例如本公开实施例中的的三个晶体管的占用空间相比相关技术中的两个电容的占用空间也较小，从而可以降低空间占用面积，在本公开实施例应用于显示面板中时，有利于显示面板的窄边框设计。

本公开实施例还提供了一种本公开实施例提供的上述反相控制电路的驱动方法，如图7所示，包括：第一阶段与第二阶段；其中，

S701、在第一阶段，输入电路在输入信号端的控制下将参考信号端的信号分别提供给第一节点与第二节点；第一输出电路在输入信号端的控制下将参考信号端的信号提供给反相信号输出端；

S702、在第二阶段，切换控制电路在第一切换控制信号端的控制下将第一切换控制信号端的信号提供给第一节点；第二输出电路在第一节点的信号的控制下将第一切换控制信号端的信号提供给反相信号输出端。

或者，如图8所示，包括：第一阶段与第二阶段；其中，

S801、在第一阶段，输入电路在输入信号端的控制下将参考信号端的信号分别提供给第一节点与第二节点；第一输出电路在输入信号端的控制下将参考信号端的信号提供给反相信号输出端；

S802、在第二阶段，切换控制电路在第二切换控制信号端的控制下将第二切换控制信号端的信号提供给第二节点；第二输出电路在第二节点的信号的控制下将第二切换控制信号端的信号提供给反相信号输出端。

本公开实施例还提供了另一种反相控制电路，如图4所示，包括：输入电路21、切换控制电路22、第一输出电路23以及第二输出电路24；其中，

输入电路21分别与输入信号端Input、参考信号端Vref以及第一节点A相连；输入电路21被配置为在输入信号端Input的控制下将参考信号端Vref的信

号提供给第一节点A;

切换控制电路22分别与切换控制信号端CS以及第一节点A相连；切换控制电路22被配置为在切换控制信号端CS的控制下将切换控制信号端CS的信号提供给第一节点A;

第一输出电路23分别与输入信号端Input、参考信号端Vref以及反相控制电路的反相信号输出端Output相连；第一输出电路23被配置为在输入信号端Input的控制下将参考信号端Vref的信号提供给反相信号输出端Output;

第二输出电路24分别与切换控制信号端CS、第一节点A以及反相信号输出端Output相连；第二输出电路24被配置为在第一节点A的信号的控制下将切换控制信号端CS的信号提供给反相信号输出端Output。

本公开实施例提供的上述反相控制电路，通过上述四个电路的相互配合，可以使输入信号端Input的电位与反相信号输出端Output的电位相反，例如完全相反或实质完全相反，从而将该反相控制电路应用于显示面板时，将一个时钟信号作为输入信号，输出信号即为相位相反的时钟信号。

在本公开一些实施例提供的反相控制电路中，在输入信号端Input的有效脉冲信号的电位为高电位时，参考信号端Vref的电位为低电位，切换控制信号端CS的电位为高电位；在输入信号端Input的有效脉冲信号的电位为低电位时，参考信号端Vref的电位为高电位，切换控制信号端CS的电位为低电位。

在本公开一些实施例提供的反相控制电路中，如图5a与图5b所示，输入电路21具体可以包括：第二开关晶体管M2；其中，

第二开关晶体管M2的控制极与输入信号端Input相连，第一极与参考信号端Vref相连，第二极与第一节点A相连。

在本公开一些实施例提供的反相控制电路中，如图5a所示，第二开关晶体管M2可以为N型晶体管。此时，第二开关晶体管M2在输入信号端Input的有效脉冲信号为高电位时处于导通状态，将参考信号端Vref的低电位提供给第一节点A。

在本公开一些实施例提供的反相控制电路中，如图5b所示，第二开关晶

体管M2也可以为P型晶体管。此时，第二开关晶体管M2在输入信号端Input的有效脉冲信号为高电位时处于导通状态，将参考信号端Vref的信号提供给第一节点A。

在本公开一些实施例提供的反相控制电路中，如图5a与图5b所示，切换控制电路22可以包括：第一开关晶体管M1；其中，

第一开关晶体管M1的控制极和第一极均与切换控制信号端CS相连，第二极与第一节点A相连。

在本公开一些实施例提供的反相控制电路中，如图5a所示，第一开关晶体管M1可以为N型晶体管。此时，第一开关晶体管M1在切换控制信号端CS为高电位时处于导通状态，将切换控制信号端CS的高电位提供给第一节点A。

在本公开一些实施例提供的反相控制电路中，如图5b所示，第一开关晶体管M1也可以为P型晶体管。此时，第一开关晶体管M1在切换控制信号端CS为高电位时处于导通状态，将切换控制信号端CS的高电位提供给第一节点A。

在本公开一些实施例提供的反相控制电路中，在工艺制备时第二开关晶体管M2的沟道宽长比设置为比第一开关晶体管M1的沟道宽长比大，这样的设置使得当输入信号端Input为有效脉冲信号时，第二开关晶体管M2在输入信号端Input的控制下将参考信号端Vref的信号提供给第一节点A的速率大于第一开关晶体管M1在切换控制信号端CS的控制下将切换控制信号端CS的信号提供给第一节点A的速率，从而保证第一节点A的电位与输入信号端Input为有效脉冲信号时的电位相反。

在本公开一些实施例提供的反相控制电路中，第一开关晶体管M1的沟道宽长比与第二开关晶体管M2的沟道宽长比可以满足1:2的关系。当然，在实际应用中，第一开关晶体管M1的沟道宽长比与第二开关晶体管M2的沟道宽长比满足的关系也可以是其它比例关系，在此不作限定。

在本公开一些实施例提供的反相控制电路中，如图5a与图5b所示，第一输出电路23可以包括：第三开关晶体管M3；其中，

第三开关晶体管M3的控制极与输入信号端Input相连，第一极与参考信号

端Vref相连，第二极与反相信号输出端Output相连。

在本公开一些实施例提供的反相控制电路中，如图5a所示，第三开关晶体管M3可以为N型晶体管。此时，第三开关晶体管M3在输入信号端Input的有效脉冲信号为高电位时处于导通状态，将参考信号端Vref的信号提供给反相信号输出端Output。

在本公开一些实施例提供的反相控制电路中，如图5b所示，第三开关晶体管M3也可以为P型晶体管。此时，第三开关晶体管M3在输入信号端Input的有效脉冲信号为高电位时处于导通状态，将参考信号端Vref的信号提供给反相信号输出端Output。

在本公开一些实施例提供的反相控制电路中，如图5a与图5b所示，第二输出电路24可以包括：第四开关晶体管M4；其中，

第四开关晶体管M4的控制极与第一节点A相连，第一极与切换控制信号端CS相连，第二极与反相信号输出端Output相连。

在本公开一些实施例提供的反相控制电路中，如图5a所示，第四开关晶体管M4可以为N型晶体管。此时，第四开关晶体管M4在第一节点A为高电位时处于导通状态，将切换控制信号端CS的信号提供给反相信号输出端Output。

在本公开一些实施例提供的反相控制电路中，如图5b所示，第四开关晶体管M4也可以为P型晶体管。此时，第四开关晶体管M4在第一节点A为低电位时处于导通状态，将切换控制信号端CS的信号提供给反相信号输出端Output。

在本公开一些实施例提供的反相控制电路中，在工艺制备时将第三开关晶体管M3的沟道宽长比设置为比第四开关晶体管M4的沟道宽长比大，这样设置使得当输入信号端Input为有效脉冲信号时，第三开关晶体管M3在输入信号端Input的控制下将参考信号端Vref的信号提供给反相信号输出端Output的速率大于第四开关晶体管M4在第一节点A的控制下将切换控制信号端CS的信号提供给反相信号输出端Output的速率，从而保证反相信号输出端Output的电位与输入信号端Input为有效脉冲信号时的电位相反。

在本公开一些实施例提供的反相控制电路中，第四开关晶体管M4的沟道宽长比与第三开关晶体管M3的沟道宽长比可以满足1:6的关系。当然，在实际应用中，第四开关晶体管M4的沟道宽长比与第三开关晶体管M3的沟道宽长比满足的关系也可以是其它比例关系，在此不作限定。

以上仅是举例说明本公开实施例提供的上述反相控制电路中各电路的具体结构，具体地，上述各电路的具体结构不限于本申请实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

在本公开一些实施例提供的反相控制电路中，所有开关晶体管一般均采用相同材质的开关晶体管。例如，如图5a所示，所有开关晶体管可以均为N型晶体管，N型晶体管在高电位作用下导通，在低电位作用下截止，此时输入信号端Input的有效脉冲信号的电位为高电位。或者，如图5b所示，所有开关晶体管也可以均为P型晶体管，P型晶体管在高电位作用下截止，在低电位作用下导通，输入信号端Input的有效脉冲信号的电位为低电位，在此不作限定。

需要说明的是，本公开实施例中提到的开关晶体管可以是薄膜晶体管（TFT，Thin Film Transistor），也可以是金属氧化物半导体场效应管（MOS，Metal Oxide Scmiconductor），在此不作限定。并且，这些开关晶体管的控制极为栅极，第一极和第二极根据开关晶体管类型以及信号端的信号的不同，可以将第一极作为开关晶体管的源极或漏极，以及将第二极作为开关晶体管的漏极或源极，在此不作限定。

下面以图5a所示的反相控制电路的结构为例，结合电路时序图对本公开实施例提供的反相控制电路的工作过程作以描述。

如图5a所示，反相控制电路中所有开关晶体管均为N型晶体管；对应的输入输出时序图如图6b所示，具体地，主要选取如图6b所示的输入输出时序图中的显示一帧时间T1内的T11与T12两个阶段；下一个显示一帧时间T2内的T21与T22两个阶段。

在T11阶段，Input=1，CS=1。

由于Input=1，因此第二开关晶体管M2与第三开关晶体管M3均导通。由

于CS=1，因此第一开关晶体管M1导通并将高电位的切换控制信号端CS的信号提供给第一节点A，同时由于第二开关晶体管M2导通并将低电位的参考信号端Vref的信号提供给第一节点A，并且第三开关晶体管M3的沟道宽长比大于第一开关晶体管M1的沟道宽长比，因此第一节点A的电位为低电位。由于第一节点A的电位为低电位，因此第四开关晶体管M4截止。由于第三开关晶体管M3导通并将低电位的参考信号端Vref的信号提供给反相信号输出端Output，因此反相信号输出端Output输出低电位的信号，即与输入信号端Input的电位相反。

在T12阶段，Input=0，CS=1。

由于Input=0，因此第二开关晶体管M2与第三开关晶体管M3均截止。由于CS=1，因此第一开关晶体管M1导通并将高电位的切换控制信号端CS的信号提供给第一节点A，因此第一节点A的电位为高电位。由于第一节点A的电位为高电位，因此第四开关晶体管M4导通并将高电位的切换控制信号端CS的信号提供给反相信号输出端Output，因此反相信号输出端Output输出高电位的信号，即与输入信号端Input的电位相反。

在T12阶段之后，一直重复执行T11阶段与T12阶段的工作过程，直至下一帧显示时间开始。

在T21阶段，Input=1，CS=1。具体工作过程与上述T11阶段的工作过程基本相同，在此不做详述。

在T22阶段，Input=0，CS=1。具体工作过程与上述T12阶段的工作过程基本相同，在此不做详述。

在T22阶段之后，一直重复执行T21阶段与T22阶段的工作过程，直至下一帧显示时间开始。

如图6b所示，一般在相邻显示帧之间会设置一个暗态时间Blacking Time。

本公开实施例提供的反相控制电路可以仅通过多个开关晶体管，使反相信号输出端Output的电压与输入信号端Input的电位相反，例如完全相反或实质完全相反，与相关技术中的采用电容与晶体管组合的方式构成的反相控制电

路相比，由于开关晶体管的占用空间小于电容的占用，例如本公开实施例采用三个晶体管的占用空间相比相关技术中的两个电容的占用空间也较小，从而可以降低空间占用面积，在本公开实施例应用于显示面板中时，有利于显示面板的窄边框设计。

本公开实施例还提供了一种本公开实施例提供的上述任一种反相控制电路的驱动方法，如图9所示，包括：第一阶段与第二阶段；其中，

S901、在第一阶段，输入电路在输入信号端的控制下将参考信号端的信号提供给第一节点；第一输出电路在输入信号端的控制下将参考信号端的信号提供给反相信号输出端；

S902、在第二阶段，切换控制电路在切换控制信号端的控制下将切换控制信号端的信号提供给第一节点；第二输出电路在第一节点的信号的控制下将切换控制信号端的信号提供给反相信号输出端。

本公开实施例还提供了一种显示面板，如图10a与图10b所示，包括：至少一条时钟信号线clk_m（m为大于或等于1且小于或等于M的整数；其中M为时钟信号线的总数），还包括：与各时钟信号线clk_m一一对应的反相时钟信号线nclk_m，以及与各时钟信号线clk_m一一对应的本公开实施例提供的任一种反相控制电路RP_m；

反相控制电路RP_m的输入信号端Input与对应的时钟信号线clk_m相连，反相信号输出端Output与对应的反相时钟信号线nclk_m相连。

本公开实施例提供的显示面板，由于时钟信号线clk_m与对应的反相时钟信号线nclk_m之间通过反相控制电路RP_m相连，因此，如图11所示，当向时钟信号线clk_1输入时钟信号CLK1后，对应的反相时钟信号线nclk_1的信号为时钟信号CLK4；当向时钟信号线clk_2输入时钟信号CLK2后，对应的反相时钟信号线nclk_2的信号为时钟信号CLK5；当向时钟信号线clk_3输入时钟信号CLK3后，对应的反相时钟信号线nclk_3的信号为时钟信号CLK6，从而可以使时钟信号线与对应的反相时钟信号线的信号的电位相反，例如完全相反或实质完全相反，可以减小时钟信号整体电容耦合电压的波动。并且，通过反向

控制电路可以将时钟信号线的数量减小一倍，可以节省边框走线的扇出（Layout）空间。

在本公开一些实施例提供的显示面板中，采用GOA技术的显示面板通过栅极驱动电路向显示面板中的栅线输入扫描信号，以打开像素对像素进行充电。如图10a与图10b所示，栅极驱动电路一般均是由多个级联的移位寄存器单元：GOA1、GOA2、GOA3...组成，并通过各级移位寄存器单元实现依次向显示面板上的各行栅线输入扫描信号。各级移位寄存器单元可以均包括第一参考信号端VDD1、第二参考信号端VDD2、第三参考信号端VSS、时钟信号端CLK，级联信号输入端IN、扫描信号输出端OUT。其中，各级移位寄存器单元的第一参考信号端VDD1均与同一条用于输入第一参考信号的信号线Vdd1相连，各级移位寄存器单元的第二参考信号端VDD2均与同一条用于输入第二参考信号的信号线Vdd2相连，各级移位寄存器单元的第三参考信号端VSS均与同一条用于输入第三参考信号的信号线Vss相连。在实际应用中，为了减少信号线的数量，可以将信号线Vdd1中的信号与第一切换控制信号端CS1的信号设置为同一种信号，即信号线Vdd1与第一切换控制信号端CS1相连；将信号线Vdd2中的信号与第二切换控制信号端CS2的信号设置为同一种信号，即信号线Vdd2与第二切换控制信号端CS2相连；将信号线Vss中的信号与参考信号端Vref的信号设置为同一种信号，即信号线Vss与参考信号端Vref相连。并且这个向上述移位寄存器输入的信号的设置方式与现有技术相同，均为本领域的普通技术人员应该理解的，在此不做赘述，也不应作为对本申请的限制。

在本公开一些实施例提供的显示面板中，结合图10a、图10b以及图11，当向时钟信号线clk_1、clk_2、clk_3分别输入时钟信号CLK1、CLK2、CLK3时，第6k-5级移位寄存器单元的时钟信号端CLK均与同一条时钟信号线clk_1相连，第6k-4级移位寄存器单元的时钟信号端CLK均与同一条时钟信号线clk_2相连，第6k-3级移位寄存器单元的时钟信号端CLK均与同一条时钟信号线clk_3相连，第6k-2级移位寄存器单元的时钟信号端CLK均与同一条反相时

钟信号线nclk_1相连，第6k-1级移位寄存器单元的时钟信号端CLK均与同一条反相时钟信号线nclk_2相连，第6k级移位寄存器单元的时钟信号端CLK均与同一条反相时钟信号线nclk_3相连；其中，k为正整数。

在本公开一些实施例提供的显示面板中，如图12所示，上述移位寄存器单元的可以包括：十六个输入晶体管，分别为第一输入晶体管Tr1至第十六输入晶体管Tr16。具体连接方式以及驱动方法与相关技术相同，均为本领域的普通技术人员可以理解，在此不做赘述，也不应作为对本申请的限制。

在本公开一些实施例提供的显示面板中，如图10a与图10b所示，显示面板最多包括三条时钟信号线，即分别为时钟信号线clk_1、时钟信号线clk_2、时钟信号线clk_3。当然，在实际应用中，显示面板也可以包括三条以上的时钟信号线。

在本公开一些实施例提供的显示面板中，如图10a与图10b所示，显示面板包括三条时钟信号线。

在本公开一些实施例提供的显示面板中，各时钟信号线、各反相时钟信号线以及各反相控制电路均位于显示面板的非显示区域内。

本公开实施例还提供了一种显示装置，包括本公开实施例提供的上述显示面板。该显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本公开的限制。该显示装置的实施可以参见上述显示面板与反相控制电路的实施例，重复之处不再赘述。

本公开实施例提供的反相控制电路、其驱动方法、显示面板及显示装置，包括：输入电路、切换控制电路、第一输出电路以及第二输出电路；其中，通过上述四个电路的相互配合，可以使输入信号端的电位与反相信号输出端的电位相反，从而将该反相控制电路应被配置为显示面板时，将一个时钟信号作为输入信号，输出信号即为相位相反的时钟信号。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本

公开的精神和范围。这样，本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权 利 要 求

1、一种反相控制电路，其特征在于，包括：输入电路、切换控制电路、第一输出电路以及第二输出电路；其中，

所述输入电路分别与输入信号端、参考信号端、第一节点以及第二节点相连；所述输入电路被配置为在所述输入信号端的控制下分别将所述参考信号端的信号提供给所述第一节点与所述第二节点；

所述切换控制电路分别与第一切换控制信号端、第二切换控制信号端、所述第一节点以及所述第二节点相连；所述切换控制电路被配置为在所述第一切换控制信号端的控制下将所述第一切换控制信号端的信号提供给所述第一节点，在所述第二切换控制信号端的控制下将所述第二切换控制信号端的信号提供给所述第二节点；

所述第一输出电路分别与所述输入信号端、所述参考信号端以及所述反相控制电路的反相信号输出端相连；所述第一输出电路被配置为在所述输入信号端的控制下将所述参考信号端的信号提供给所述反相信号输出端；

所述第二输出电路分别与所述第一切换控制信号端、所述第二切换控制信号端、所述第一节点、所述第二节点以及所述反相信号输出端相连；所述第二输出电路被配置为在所述第一节点的信号的控制下将所述第一切换控制信号端的信号提供给所述反相信号输出端，在所述第二节点的信号的控制下将所述第二切换控制信号端的信号提供给所述反相信号输出端。

2、如权利要求 1 所述的反相控制电路，其特征在于，所述第一切换控制信号端的电位在每相邻的预设间隔时长内为相反的电位；

所述第一切换控制信号端的电位和所述第二切换控制信号端的电位为相反的电位；

所述预设间隔时长为显示 N 帧的时间；N 为大于或等于 1 的整数。

3、如权利要求 1 所述的反相控制电路，其特征在于，所述输入信号端的有效脉冲信号的电位为高电位，所述参考信号端的电位为低电位；或，

所述输入信号端的有效脉冲信号的电位为低电位，所述参考信号端的电位为高电位。

4、如权利要求 1 所述的反相控制电路，其特征在于，所述切换控制电路包括：第一开关晶体管与第二开关晶体管；其中，

所述第一开关晶体管的控制极和第一极均与所述第一切换控制信号端相连，第二极与所述第一节点相连；

所述第二开关晶体管的控制极和第一极均与所述第二切换控制信号端相连，第二极与所述第二节点相连。

5、如权利要求 4 所述的反相控制电路，其特征在于，所述输入电路包括：第三开关晶体管与第四开关晶体管；其中，

所述第三开关晶体管的控制极与所述输入信号端相连，第一极与所述参考信号端相连，第二极与所述第一节点相连；

所述第四开关晶体管的控制极与所述输入信号端相连，第一极与所述参考信号端相连，第二极与所述第二节点相连。

6、如权利要求 5 所述的反相控制电路，其特征在于，所述第一开关晶体管的沟道宽长比与所述第三开关晶体管的沟道宽长比的比例为 1:2；

第二开关晶体管的沟道宽长比与所述第四开关晶体管的沟道宽长比的比例为 1:2。

7、如权利要求 1 所述的反相控制电路，其特征在于，所述第一输出电路包括：第五开关晶体管；其中，

所述第五开关晶体管的控制极与所述输入信号端相连，第一极与所述参考信号端相连，第二极与所述反相信号输出端相连。

8、如权利要求 7 所述的反相控制电路，其特征在于，所述第二输出电路包括：第六开关晶体管与第七开关晶体管；其中，

所述第六开关晶体管的控制极与所述第一节点相连，第一极与所述第一切换控制信号端相连，第二极与所述反相信号输出端相连；

所述第七开关晶体管的控制极与所述第二节点相连，第一极与所述第二

切换控制信号端相连，第二极与所述反相信号输出端相连。

9、如权利要求 8 所述的反相控制电路，其特征在于，所述第六开关晶体管的沟道宽长比与所述第五开关晶体管的沟道宽长比的比例为 1:6;

所述第七开关晶体管的沟道宽长比与所述第五开关晶体管的沟道宽长比的比例为 1:6。

10、一种如权利要求1-9任一项所述的反向控制电路的驱动方法，其特征在于，包括:

在第一阶段，所述输入电路在所述输入信号端的控制下将所述参考信号端的信号分别提供给所述第一节点与所述第二节点；所述第一输出电路在所述输入信号端的控制下将所述参考信号端的信号提供给所述反相信号输出端;

在第二阶段，所述切换控制电路在所述第一切换控制信号端的控制下将所述第一切换控制信号端的信号提供给所述第一节点，所述第二输出电路在所述第一节点的信号的控制下将所述第一切换控制信号端的信号提供给所述反相信号输出端；或，在第二阶段，所述切换控制电路在所述第二切换控制信号端的控制下将所述第二切换控制信号端的信号提供给所述第二节点，所述第二输出电路在所述第二节点的信号的控制下将所述第二切换控制信号端的信号提供给所述反相信号输出端。

11、一种反相控制电路，其特征在于，包括：输入电路、切换控制电路、第一输出电路以及第二输出电路；其中，

所述输入电路分别与输入信号端、参考信号端以及第一节点相连；所述输入电路被配置为在所述输入信号端的控制下将所述参考信号端的信号提供给所述第一节点;

所述切换控制电路分别与切换控制信号端以及所述第一节点相连；所述切换控制电路被配置为在所述切换控制信号端的控制下将所述切换控制信号端的信号提供给所述第一节点;

所述第一输出电路分别与所述输入信号端、所述参考信号端以及所述反

相控制电路的反相信号输出端相连；所述第一输出电路被配置为在所述输入信号端的控制下将所述参考信号端的信号提供给所述反相信号输出端；

所述第二输出电路分别与所述切换控制信号端、所述第一节点以及所述反相信号输出端相连；所述第二输出电路被配置为在所述第一节点的信号的控制下将所述切换控制信号端的信号提供给所述反相信号输出端。

12、如权利要求 11 所述的反相控制电路，其特征在于，所述输入信号端的有效脉冲信号的电位为高电位，所述参考信号端的电位为低电位，所述切换控制信号端的电位为高电位；或，

所述输入信号端的有效脉冲信号的电位为低电位，所述参考信号端的电位为高电位，所述切换控制信号端的电位为低电位。

13、如权利要求 11 所述的反相控制电路，其特征在于，所述切换控制电路包括：第一开关晶体管；其中，

所述第一开关晶体管的控制极和第一极均与所述切换控制信号端相连，第二极与所述第一节点相连。

14、如权利要求 13 所述的反相控制电路，其特征在于，所述输入电路包括：第二开关晶体管；其中，

所述第二开关晶体管的控制极与所述输入信号端相连，第一极与所述参考信号端相连，第二极与所述第一节点相连。

15、如权利要求 14 所述的反相控制电路，其特征在于，所述第一开关晶体管 M1 的沟道宽长比与所述第二开关晶体管 M2 的沟道宽长比的比例为 1:2。

16、如权利要求 11 所述的反相控制电路，其特征在于，所述第一输出电路包括：第三开关晶体管；其中，

所述第三开关晶体管的控制极与所述输入信号端相连，第一极与所述参考信号端相连，第二极与所述反相信号输出端相连。

17、如权利要求 16 所述的反相控制电路，其特征在于，所述第二输出电路包括：第四开关晶体管；其中，

所述第四开关晶体管的控制极与所述第一节点相连，第一极与所述切换

控制信号端相连，第二极与所述反相信号输出端相连。

18、如权利要求 17 所述的反相控制电路，其特征在于，所述第四开关晶体管的沟道宽长比与所述第三开关晶体管的沟道宽长比的比例为 1:6。

19、一种如权利要求 11-18 任一项所述的反向控制电路的驱动方法，其特征在于，包括:

在第一阶段，所述输入电路在所述输入信号端的控制下将所述参考信号端的信号提供给所述第一节点；所述第一输出电路在所述输入信号端的控制下将所述参考信号端的信号提供给所述反相信号输出端;

在第二阶段，所述切换控制电路在所述切换控制信号端的控制下将所述切换控制信号端的信号提供给所述第一节点；所述第二输出电路在所述第一节点的信号的控制下将所述切换控制信号端的信号提供给所述反相信号输出端。

20、一种显示面板，包括至少一条时钟信号线，其特征在于，还包括:与各所述时钟信号线一一对应的反相时钟信号线，以及与各所述时钟信号线一一对应的如权利要求 1-9、11-18 任一项所述的反相控制电路;

所述反相控制电路的输入信号端与对应的时钟信号线相连，反相信号输出端与对应的反相时钟信号线相连。

21、如权利要求 20 所述的显示面板，其特征在于，还包括：栅极驱动电路，所述栅极驱动电路包括多个级联的移位寄存器单元构成;

各级所述移位寄存器单元的第一参考信号端均与同一条被配置为输入第一参考信号的信号线相连，各级所述移位寄存器单元的第二参考信号端均与同一条用于输入第二参考信号的信号线相连，各级所述移位寄存器单元的第三参考信号端均与同一条用于输入第三参考信号的信号线相连;

所述用于输入第一参考信号的信号线与所述反相控制电路的第一切换控制信号端相连，所述用于输入第二参考信号的信号线与所述反相控制电路的第二切换控制信号端相连，所述用于输入第三参考信号的信号线与所述反相控制电路的参考信号端相连。

22、如权利要求 20 所述的显示面板，其特征在于，所述显示面板最多包括三条时钟信号线。

23、如权利要求 22 所述的显示面板，其特征在于，所述显示面板包括三条时钟信号线。

24、如权利要求 20-23 任一项所述的显示面板，其特征在于，各所述时钟信号线、各所述反相时钟信号线以及各所述反相控制电路均位于所述显示面板的非显示区域内。

25、一种显示装置，其特征在于，包括如权利要求 20-24 任一项所述的显示面板。

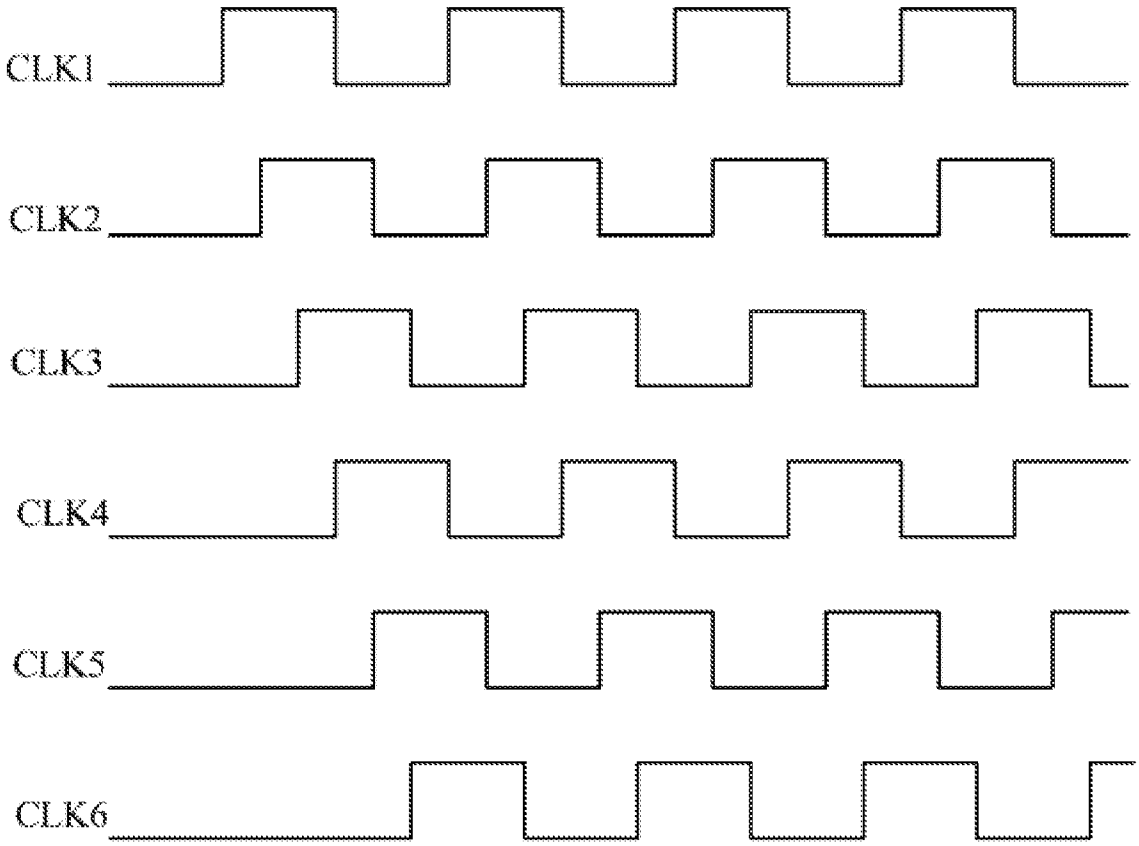


图 1

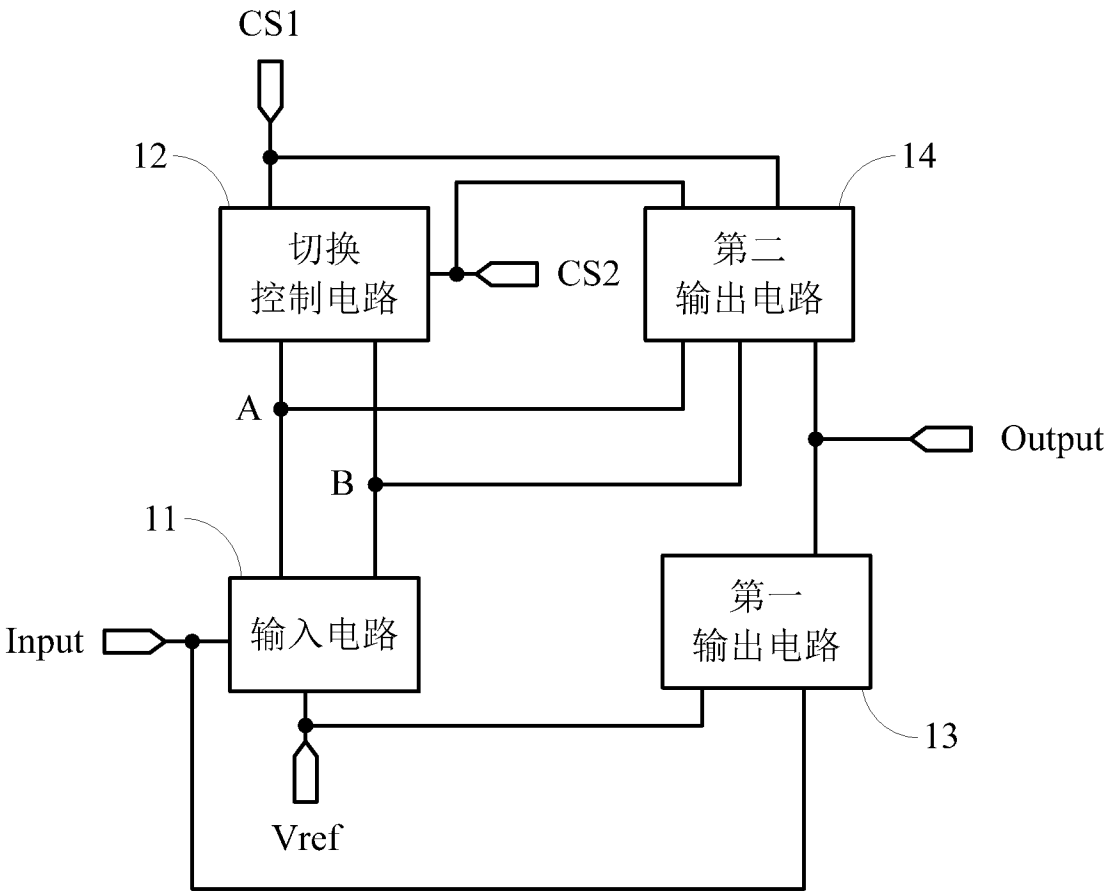

CS1
12
14
切换
控制电路
CS2
第二
输出电路
A
Output
B
11
第一
输出电路
Input
输入电路
13
Vref

图 2

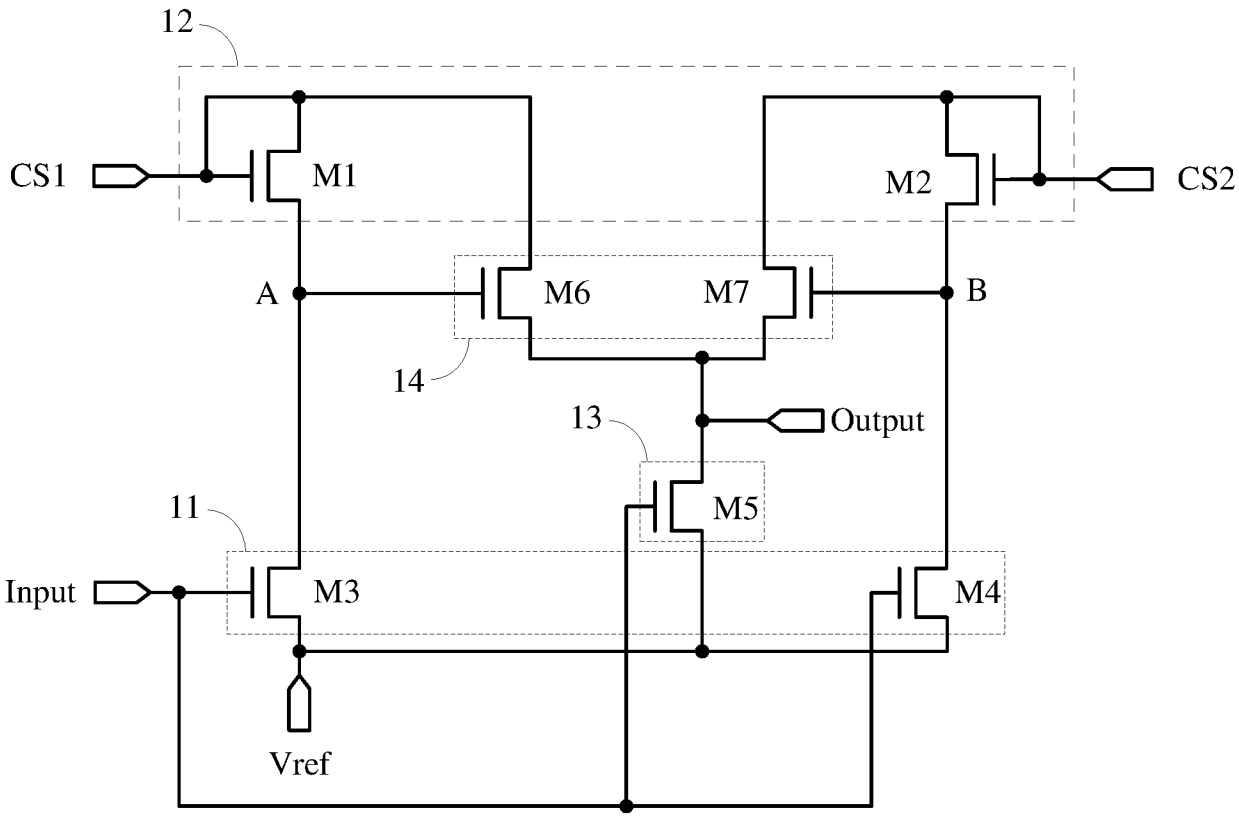


图 3a

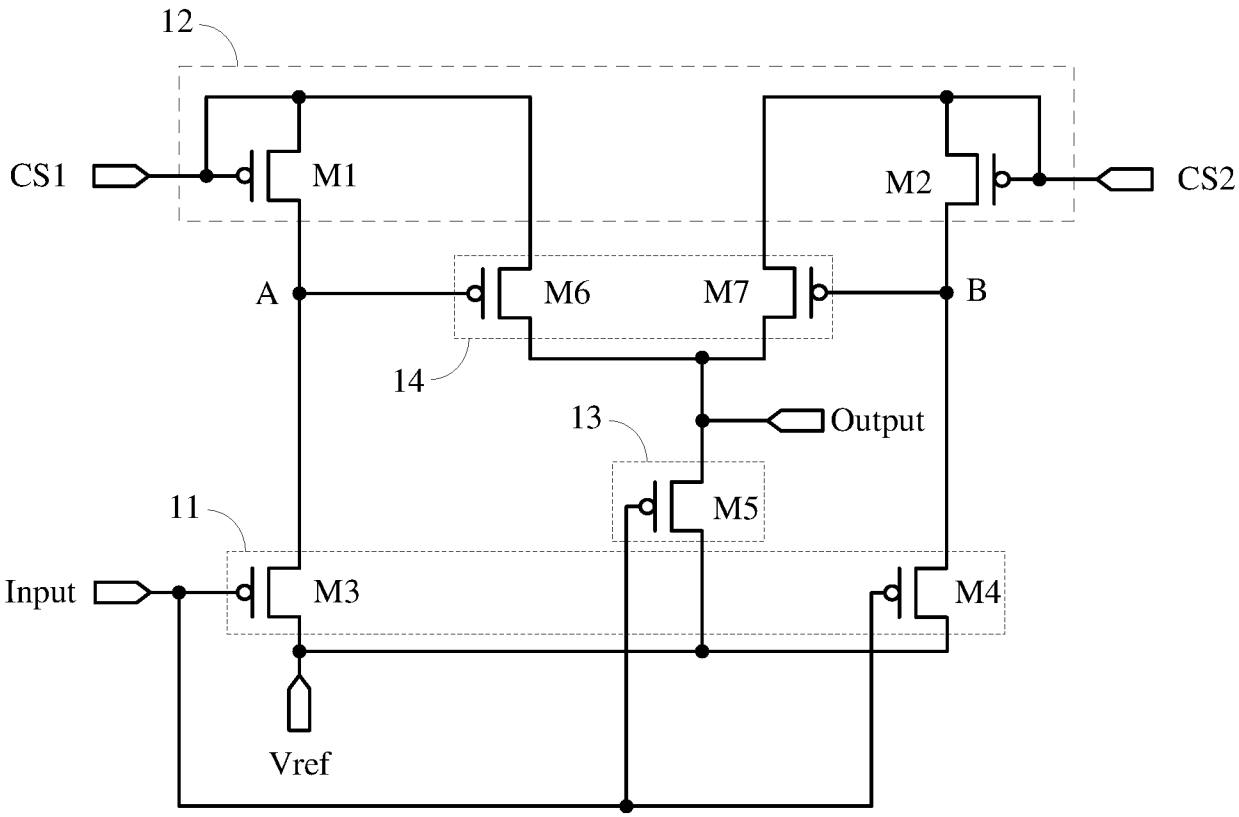


图 3b

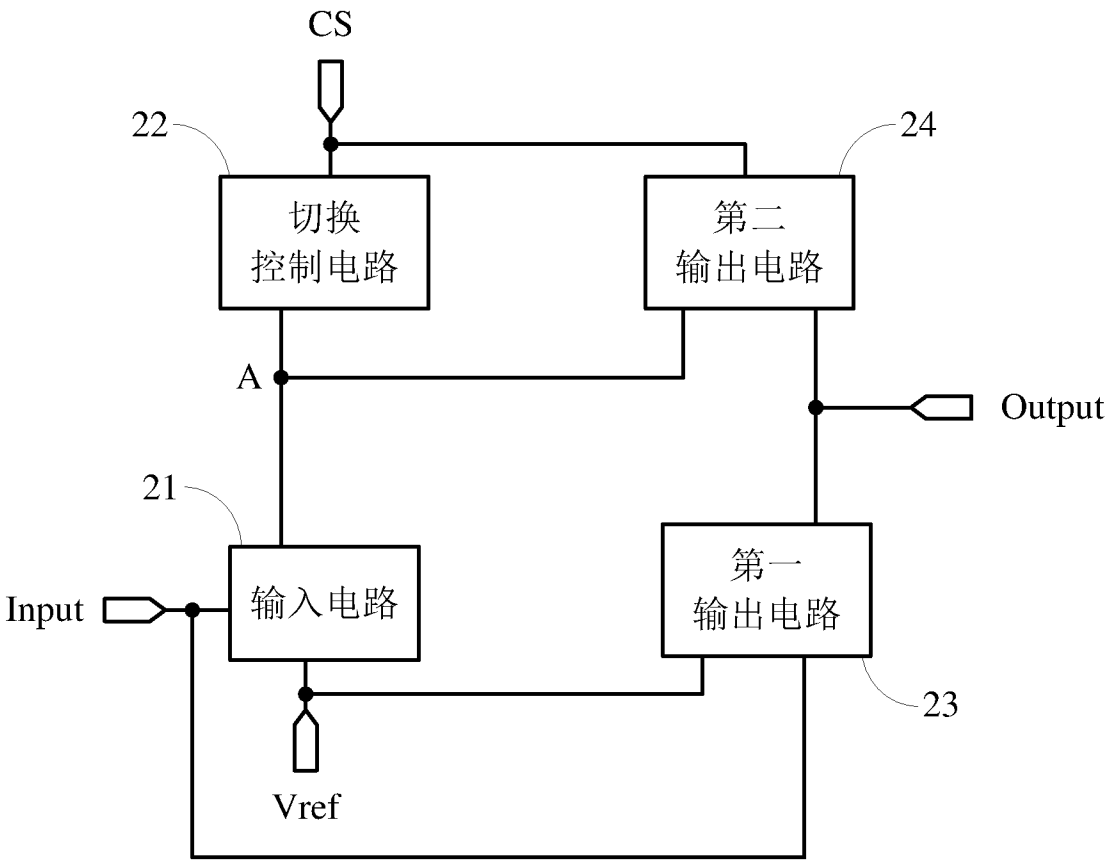


图 4

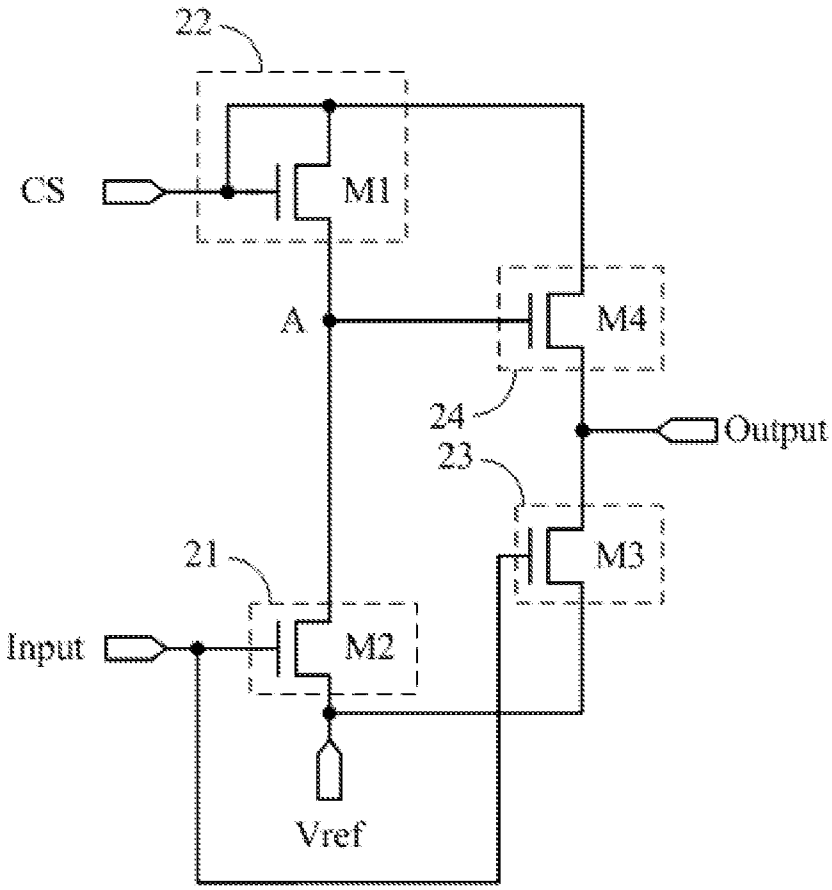


图 5a

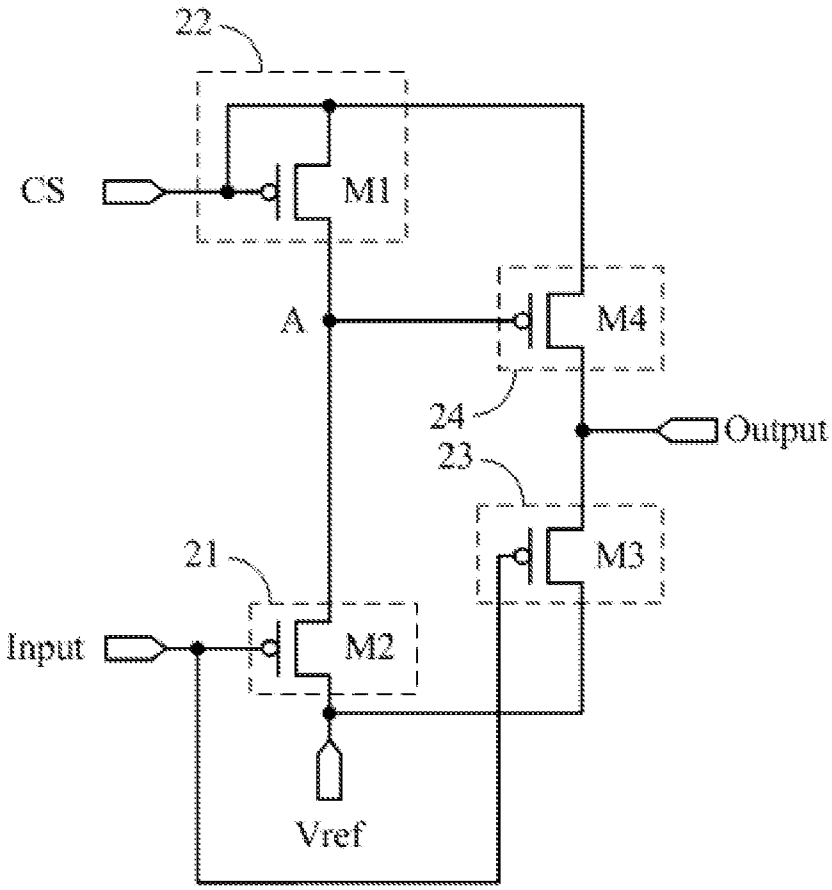


图 5b

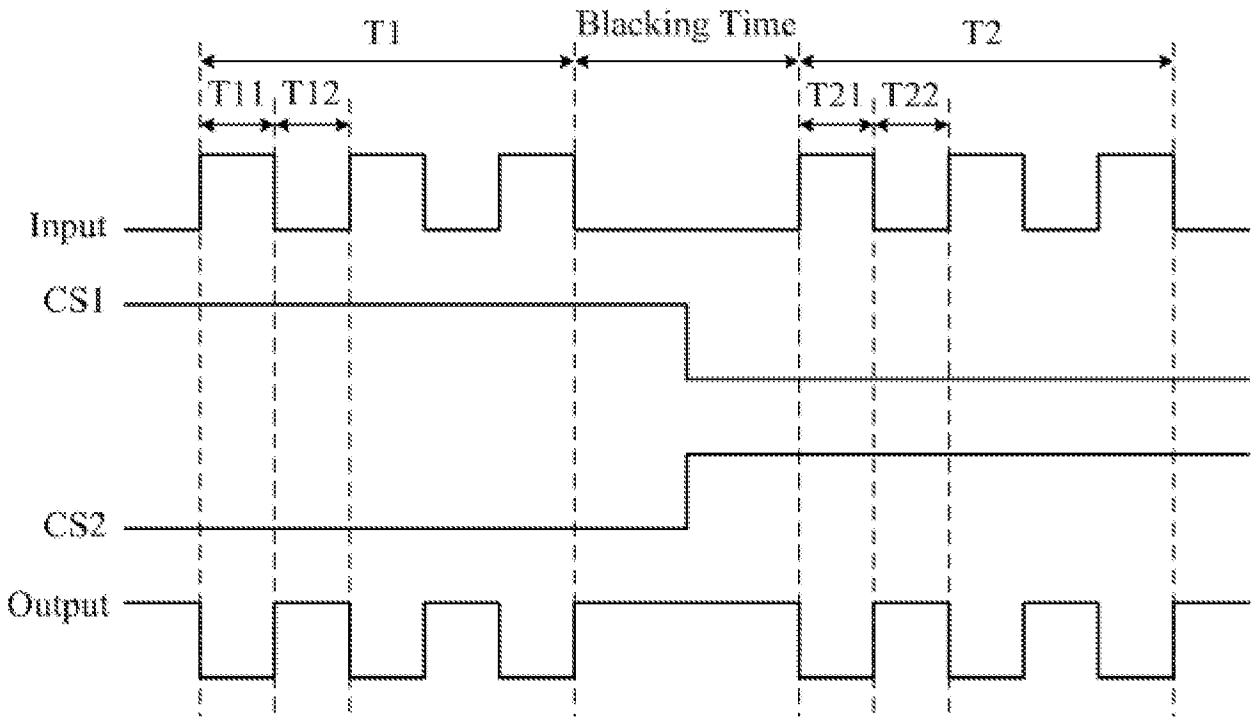

T1
Blacking Time
T2
T11
T12
T21
T22
Input
CS1
CS2
Output

图 6a

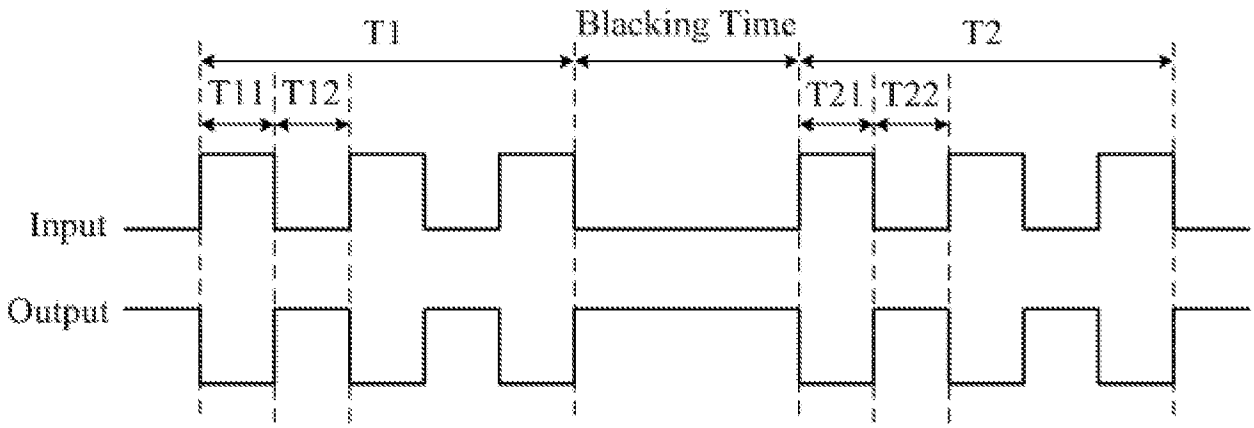

T1
Blacking Time
T2
T11
T12
T21
T22
Input
Output

图 6b

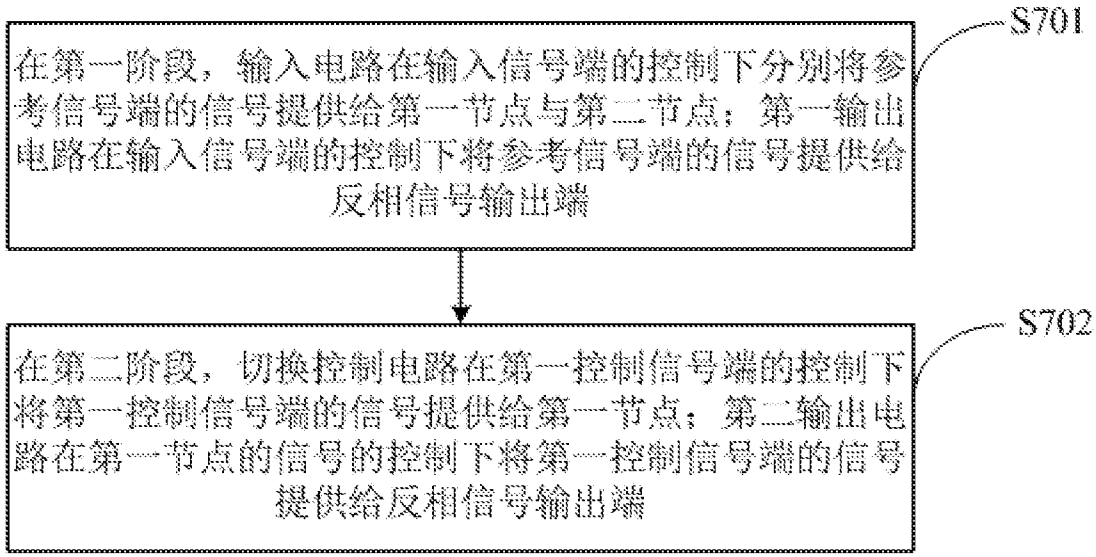

S701
在第一阶段，输入电路在输入信号端的控制下分别将参考信号端的信号提供给第一节点与第二节点；第一输出电路在输入信号端的控制下将参考信号端的信号提供给反相信号输出端
S702
在第二阶段，切换控制电路在第一控制信号端的控制下将第一控制信号端的信号提供给第一节点；第二输出电路在第一节点的信号的控制下将第一控制信号端的信号提供给反相信号输出端

图 7

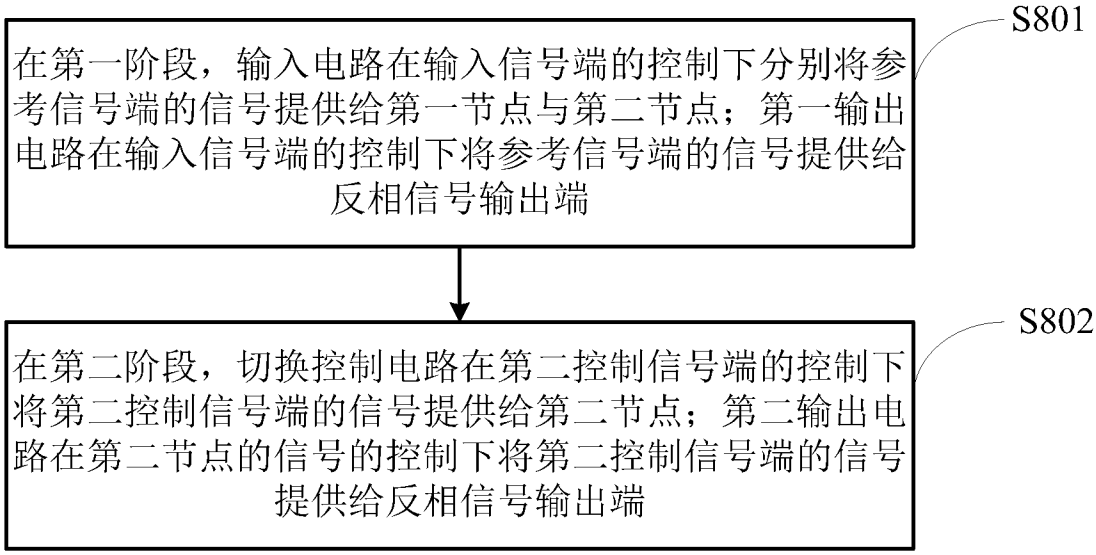

S801
在第一阶段，输入电路在输入信号端的控制下分别将参考信号端的信号提供给第一节点与第二节点；第一输出电路在输入信号端的控制下将参考信号端的信号提供给反相信号输出端
S802
在第二阶段，切换控制电路在第二控制信号端的控制下将第二控制信号端的信号提供给第二节点；第二输出电路在第二节点的信号的控制下将第二控制信号端的信号提供给反相信号输出端

图 8

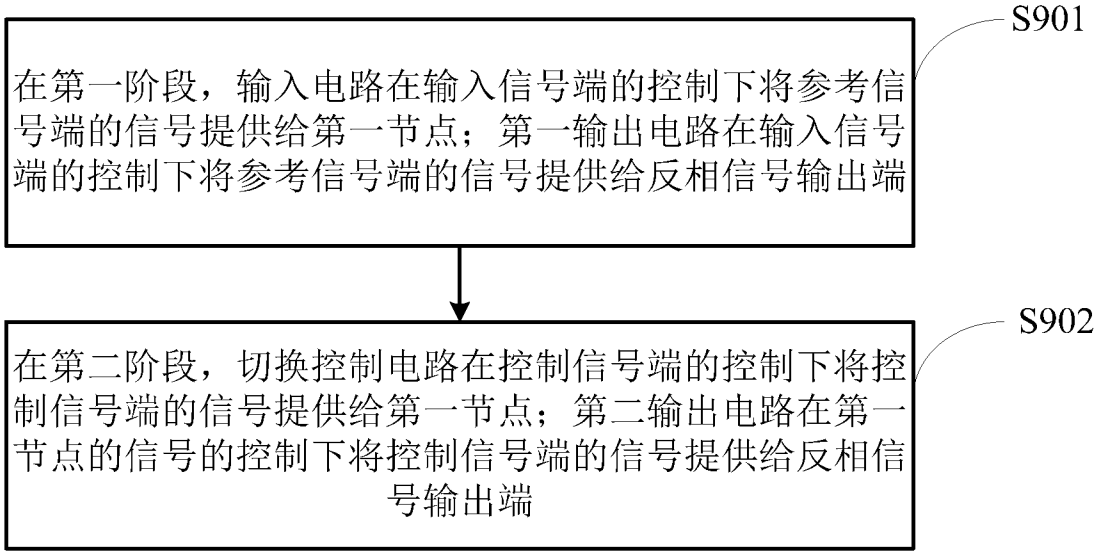

S901
在第一阶段，输入电路在输入信号端的控制下将参考信号端的信号提供给第一节点；第一输出电路在输入信号端的控制下将参考信号端的信号提供给反相信号输出端
S902
在第二阶段，切换控制电路在控制信号端的控制下将控制信号端的信号提供给第一节点；第二输出电路在第一节点的信号的控制下将控制信号端的信号提供给反相信号输出端

图 9

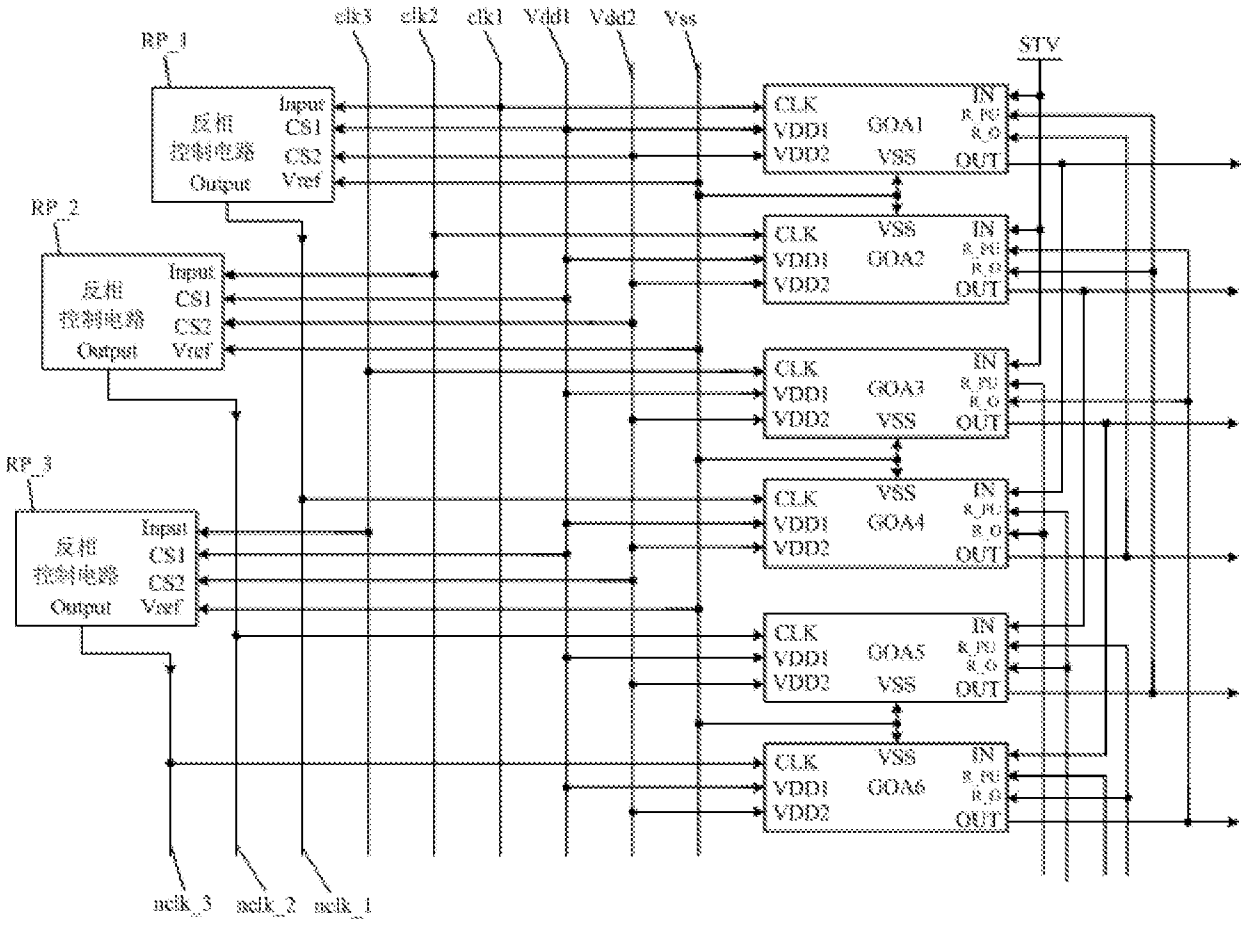

clk3
clk2
clk1
Vdd1
Vdd2
Vss
RP_1
RP_2
RP_3
STV
反相
控制电路
Input
CS1
CS2
Output
Vref
CLK
VDD1
VDD2
VSS
GOA1
GOA2
GOA3
GOA4
GOA5
GOA6
IN
R_IN
R_O
OUT
mclk_3
mclk_2
mclk_1

图 10a

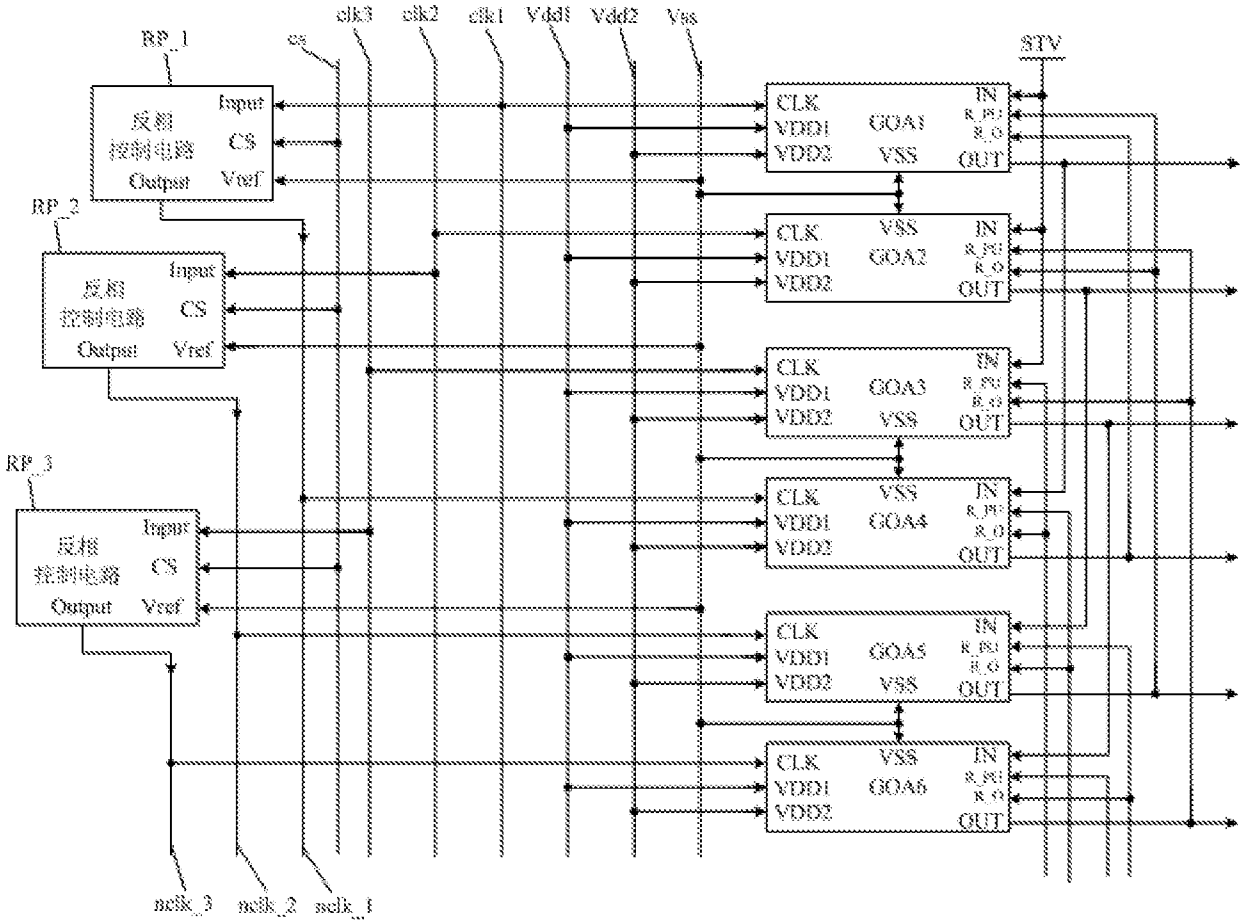

RP_1
RP_2
RP_3
反相
控制电路
Input
CS
Output
Vref
cs
clk3
clk2
clk1
Vdd1
Vdd2
Vss
STV
CLK
VDD1
VDD2
GOA1
GOA2
GOA3
GOA4
GOA5
GOA6
VSS
IN
R_IN1
R_IN2
R_O
OUT
mclk_3
mclk_2
mclk_1

图 10b

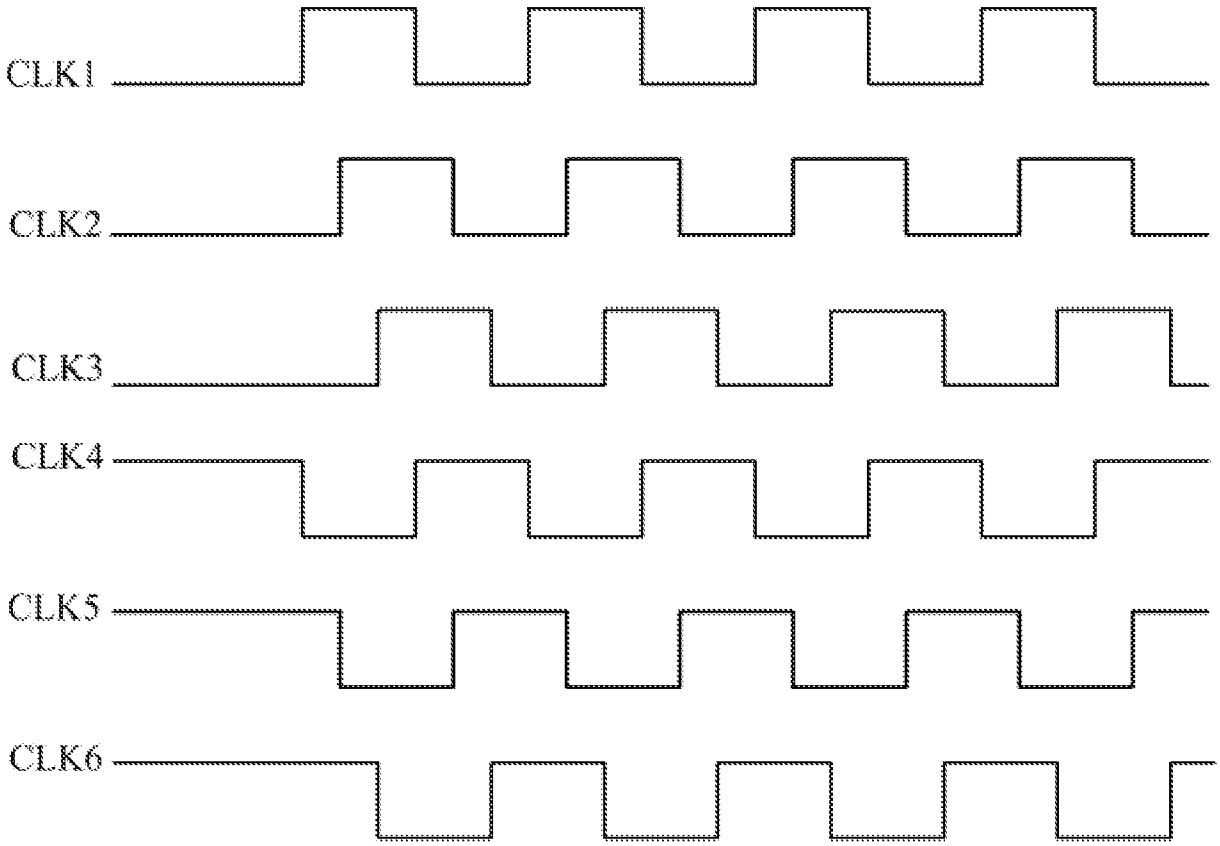

CLK1
CLK2
CLK3
CLK4
CLK5
CLK6

图 11

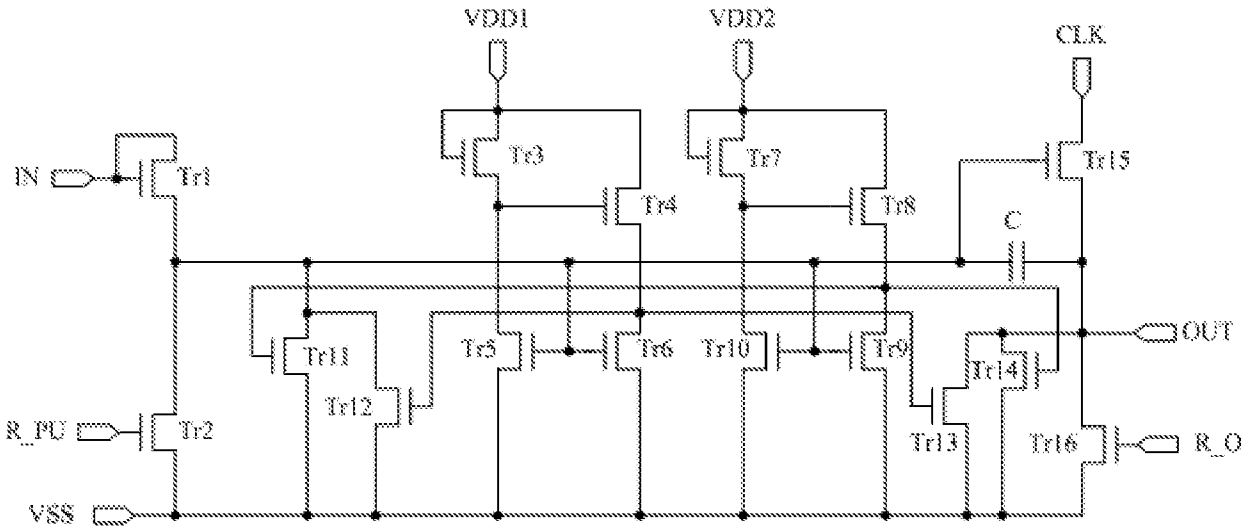

VDD1
VDD2
CLK
IN
Tr1
Tr3
Tr4
Tr7
Tr8
Tr15
C
Tr11
Tr5
Tr6
Tr10
Tr9
Tr14
OUT
Tr12
R_PU
Tr2
Tr13
Tr16
R_O
VSS

图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/103036

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/20, G09G 3, G09G 5, G09F 9, H05B 33, H05B 41, H01L 27, H01L 29, G02F 1, H04N, G11C 19, H03K 17

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI, VEN: 反相控制, 反向控制, 反相器, 反向器, 反相, 反向, 电位, 电平, 电压, 高, 低, 时钟, GOA, 阵列基板行驱动, inverter, invertor, reverser, reverse control, phase inversion, opposite phase, antiphase, in antiphase, opposition, phase inversion, phase opposition, potential, level, voltage, high, low, clock, GOA, Gate Driver on Array.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 206505709 U (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 19 September 2017 (19.09.2017), description, paragraphs 58-175, and figure 12	1-25
A	CN 104809979 A (BOE TECHNOLOGY GROUP CO., LTD.), 29 July 2015 (29.07.2015), description, paragraphs 2-175, and figures 1-13	1-25
A	CN 104269137 A (SHANGHAI TIANMA ORGANIC LUMINESCENT DISPLAY TECHNOLOGY CO., LTD. et al.), 07 January 2015 (07.01.2015), entire document	1-25
A	CN 105427821 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 23 March 2016 (23.03.2016), entire document	1-25
A	US 2008101529 A1 (MITSUBISHI ELECTRIC CORP.), 01 May 2008 (01.05.2008), entire document	1-25
A	JP 2005143068 A (SONY CORP.), 02 June 2005 (02.06.2005), entire document	1-25

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 December 2017	15 December 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHANG, Jingmei Telephone No. (86-10) 62085673

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/103036

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 206505709 U	19 September 2017	None	
CN 104809979 A	29 July 2015	CN 104809979 B	18 July 2017
		US 2016351109 A1	01 December 2016
CN 104269137 A	07 January 2015	US 9584127 B2	28 February 2017
		CN 104269137 B	24 August 2016
		US 2016105184 A1	14 April 2016
		DE 102015205993 A1	14 April 2016
		US 9734751 B2	15 August 2017
		US 2017132968 A1	11 May 2017
CN 105427821 A	23 March 2016	WO 2017107295 A1	29 June 2017
US 2008101529 A1	01 May 2008	JP 2008108374 A	08 May 2008
		JP 5079301 B2	21 November 2012
		US 7664218 B2	16 February 2010
JP 2005143068 A	02 June 2005	JP 4321266 B2	26 August 2009

国际检索报告

国际申请号
PCT/CN2017/103036

A. 主题的分类

G09G 3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G 3/20,G09G 3,G09G 5, G09F 9,H05B 33,H05B 41,H01L 27, H01L 29,G02F 1,H04N,G11C 19,H03K 17.

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,CNTXT,CNKI,VEN:反相控制，反向控制，反相器，反向器，反相，反向，电位，电平，电压，高，低，时钟，GOA，阵列基板行驱动，inverter, invertor,reverser, reverse control,phase inversion, opposite phase, antiphase,in antiphase ,opposition ,phase inversion,phase opposition, potential,level,voltage,high,low, clock,GOA,Gate Driver on Array.

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 206505709 U (合肥鑫晟光电科技有限公司等) 2017年 9月 19日 (2017-09-19) 说明书第58-175段、图12	1-25
A	CN 104809979 A (京东方科技集团股份有限公司) 2015年 7月 29日 (2015-07-29) 说明书第2-175段、图1-13	1-25
A	CN 104269137 A (上海天马有机发光显示技术有限公司等) 2015年 1月 7日 (2015-01-07) 全文	1-25
A	CN 105427821 A (武汉华星光电技术有限公司) 2016年 3月 23日 (2016-03-23) 全文	1-25
A	US 2008101529 A1 (MITSUBISHI ELECTRIC CORP) 2008年 5月 1日 (2008-05-01) 全文	1-25
A	JP 2005143068 A (SONY CORP) 2005年 6月 2日 (2005-06-02) 全文	1-25

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 12月 8日	2017年 12月 15日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 张景美 电话号码 (86-10)62085673

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/103036

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	206505709	U	2017年 9月 19日	无			
CN	104809979	A	2015年 7月 29日	CN	104809979	B	2017年 7月 18日
				US	2016351109	A1	2016年 12月 1日
CN	104269137	A	2015年 1月 7日	US	9584127	B2	2017年 2月 28日
				CN	104269137	B	2016年 8月 24日
				US	2016105184	A1	2016年 4月 14日
				DE	102015205993	A1	2016年 4月 14日
				US	9734751	B2	2017年 8月 15日
				US	2017132968	A1	2017年 5月 11日
CN	105427821	A	2016年 3月 23日	WO	2017107295	A1	2017年 6月 29日
US	2008101529	A1	2008年 5月 1日	JP	2008108374	A	2008年 5月 8日
				JP	5079301	B2	2012年 11月 21日
				US	7664218	B2	2010年 2月 16日
JP	2005143068	A	2005年 6月 2日	JP	4321266	B2	2009年 8月 26日