

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7620982号
(P7620982)

(45)発行日 令和7年1月24日(2025.1.24)

(24)登録日 令和7年1月16日(2025.1.16)

(51)国際特許分類

F I

G 0 6 G 7/60 (2006.01)

G 0 6 N 3/063(2023.01)

H 0 3 K 3/02 (2006.01)

G 0 6 G 7/60

G 0 6 N 3/063

H 0 3 K 3/02

Z

請求項の数 28 (全86頁)

(21)出願番号	特願2021-501979(P2021-501979)	(73)特許権者	503360115
(86)(22)出願日	令和2年2月17日(2020.2.17)		国立研究開発法人科学技術振興機構
(86)国際出願番号	PCT/JP2020/006045		埼玉県川口市本町四丁目1番8号
(87)国際公開番号	WO2020/175209	(74)代理人	110004370
(87)国際公開日	令和2年9月3日(2020.9.3)		弁理士法人片山特許事務所
審査請求日	令和5年2月16日(2023.2.16)	(72)発明者	矢嶋 赳彬
(31)優先権主張番号	特願2019-36951(P2019-36951)		東京都文京区本郷7丁目3番1号 国立
(32)優先日	平成31年2月28日(2019.2.28)		大学法人東京大学内
(33)優先権主張国・地域又は機関	日本国(JP)	審査官	征矢 崇

最終頁に続く

(54)【発明の名称】 スパイク生成回路、情報処理回路、電力変換回路および電子回路

(57)【特許請求の範囲】

【請求項1】

入力信号が入力する入力端子に接続された中間ノードである第1ノードに出力ノードが接続され、第1電源と第2電源との間に接続された第1CMOSインバータと、

前記第1電源と前記第2電源との間に前記第1CMOSインバータと直列に接続されたスイッチと、

前記第1ノードの信号の反転信号を前記スイッチの制御端子に出力する第1反転回路と、
前記第1ノードの信号を遅延させ前記第1CMOSインバータの入力ノードに出力し、
出力端子に単発の出力スパイク信号を出力する遅延回路と、
を備えるスパイク生成回路。

【請求項2】

前記第1反転回路は前記第1ノードの信号の反転信号を前記スイッチの制御端子および第2ノードに出力し、

前記遅延回路は、前記第1反転回路と、前記第2ノードの信号の反転信号を前記第1CMOSインバータの入力ノードおよび前記出力端子が接続された第3ノードに出力する第2反転回路と、を備える請求項1に記載のスパイク生成回路。

【請求項3】

前記第1反転回路は、前記第1ノードと前記第2ノードとの間に奇数段に接続された奇数個の第2CMOSインバータを含み、前記奇数個の第2CMOSインバータの各々において前記第1ノードに入力ノードが接続され前記第2ノードに出力ノードが接続され、

前記第 2 反転回路は、前記第 2 ノードと前記第 3 ノードとの間に奇数段に接続された奇数個の第 3 CMOS インバータを含み、前記奇数個の第 3 CMOS インバータの各々において前記第 2 ノードに入力ノードが接続され前記第 3 ノードに出力ノードが接続された請求項 2 に記載のスパイク生成回路。

【請求項 4】

前記第 2 反転回路は、3 個以上の奇数個の第 3 CMOS インバータを含む請求項 3 に記載のスパイク生成回路。

【請求項 5】

前記 3 個以上の第 3 CMOS インバータの隣り合ういずれか 2 つの間の第 4 ノードに一端が接続され、他端が第 1 基準電位端子に接続された第 1 容量素子を備える請求項 4 に記載のスパイク生成回路。

10

【請求項 6】

前記第 1 容量素子の容量値は、前記 3 個以上の第 3 CMOS インバータ内の 1 つの FET のゲート容量値以上である請求項 5 に記載のスパイク生成回路。

【請求項 7】

一端が前記第 1 ノードに接続され、他端が第 2 基準電位端子に接続された第 2 容量素子を備える請求項 1 から 6 のいずれか一項に記載のスパイク生成回路。

【請求項 8】

第 1 ノードに出力ノードが接続され、第 1 電源と第 2 電源との間に接続された第 1 CMOS インバータと、

20

前記第 1 電源と前記第 2 電源との間に前記第 1 CMOS インバータと直列に接続された第 1 スイッチと、

前記第 1 ノードの信号の反転信号を前記第 1 スイッチの制御端子に出力する反転回路と、

前記第 1 ノードの信号を遅延させ前記第 1 CMOS インバータの入力ノードに出力し、出力端子に単発の出力スパイク信号を出力する遅延回路と、

前記反転回路内に設けられ、入力信号が入力する入力端子に接続された中間ノードと、を備えるスパイク生成回路。

【請求項 9】

前記第 1 CMOS インバータはハイレベルおよびローレベルの一方である第 1 レベルおよび前記ハイレベルおよび前記ローレベルの他方である第 2 レベルを出力し、

30

前記第 1 スイッチは、制御端子に前記第 1 レベルが入力するとオンし、前記制御端子に前記第 2 レベルが入力するとオフし、

前記反転回路は、前記第 1 ノードが前記第 1 レベルから前記第 2 レベルとなると前記第 1 レベルを前記第 1 スイッチの制御端子に出力する第 1 反転回路と、前記遅延回路の出力が前記第 2 レベルとなると前記第 1 スイッチの制御端子に前記第 2 レベルを出力する第 2 反転回路と、を備え、

前記中間ノードは、前記第 2 反転回路内に設けられている請求項 8 に記載のスパイク生成回路。

【請求項 10】

前記第 2 反転回路は、制御端子に前記遅延回路の出力が接続され、前記遅延回路が前記第 2 レベルを出力すると、前記中間ノードと前記入力信号の初期レベルが供給される電源とを接続する第 2 スイッチを備える請求項 9 に記載のスパイク生成回路。

40

【請求項 11】

入力ノードが前記中間ノードに接続され、出力ノードが前記第 1 スイッチの制御端子に接続された第 2 CMOS インバータを備える請求項 8 から 10 のいずれか一項に記載のスパイク生成回路。

【請求項 12】

前記第 1 反転回路は、制御端子が前記第 1 ノードに接続され、前記第 1 ノードが前記第 2 レベルとなると前記第 1 スイッチの制御端子と前記第 1 レベルが供給される電源とを接続する第 3 スイッチを備える請求項 10 に記載のスパイク生成回路。

50

【請求項 13】

制御端子が前記第1スイッチの制御端子に接続され、前記第1スイッチの制御端子が前記第2レベルのとき、前記第1ノードを前記第1レベルが供給される電源に接続する第4スイッチを備える請求項9または10に記載のスパイク生成回路。

【請求項 14】

前記第2電源の電圧は前記第1電源の電圧より高く、

前記スイッチは、Nチャネルトランジスタでありかつ前記第1ノードと前記第1電源との間に接続されている、または、Pチャネルトランジスタでありかつ前記第1ノードと前記第2電源との間に接続されている請求項1から7のいずれか一項に記載のスパイク生成回路。

10

【請求項 15】

入力信号が入力する入力端子に接続された中間ノードである第1ノードに出力ノードが接続され、第1電源と第2電源との間に接続された第1CMOSインバータと、

一端が前記第1ノードに接続され、他端が基準電位端子に接続され、前記入力信号による電荷が蓄積される容量素子と、

前記第1ノードと出力端子との間に偶数段に接続された偶数個の第2CMOSインバータを含む遅延回路であって、前記偶数個の第2CMOSインバータの各々において前記第1ノードに入力ノードが接続され前記出力端子に出力ノードが接続され、前記第1ノードの電圧が所定値になると前記容量素子に蓄積された電荷をリセットする信号を前記第1CMOSインバータの入力ノードに出力することによって、前記第1ノードの電圧を立ち下げさせ、前記出力端子に単発の出力スパイク信号を出力する遅延回路と、を備え、

20

前記偶数個の第2CMOSインバータは、6個以上の偶数個の第2CMOSインバータであるスパイク生成回路。

【請求項 16】

入力信号が入力する入力端子に接続された中間ノードである第1ノードに出力ノードが接続され、第1電源と第2電源との間に接続された第1CMOSインバータと、

一端が前記第1ノードに接続され、他端が基準電位端子に接続され、前記入力信号による電荷が蓄積される容量素子と、

前記第1ノードと出力端子との間に偶数段に接続された偶数個の第2CMOSインバータを含む遅延回路であって、前記偶数個の第2CMOSインバータの各々において前記第1ノードに入力ノードが接続され前記出力端子に出力ノードが接続され、前記第1ノードの電圧が所定値になると前記容量素子に蓄積された電荷をリセットする信号を前記第1CMOSインバータの入力ノードに出力することによって、前記第1ノードの電圧を立ち下げさせ、前記出力端子に単発の出力スパイク信号を出力する遅延回路と、を備え、

30

前記第1電源と前記第2電源との間に前記第1CMOSインバータと直列に接続され、前記偶数個の第2CMOSインバータのうち前記第1ノードから奇数番目の第2CMOSインバータの出力ノードの信号が入力する制御端子を有するスイッチを備えるスパイク生成回路。

40

【請求項 17】

前記偶数個の第2CMOSインバータは、6個以上の偶数個の第2CMOSインバータである請求項16に記載のスパイク生成回路。

【請求項 18】

前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の電圧を変換した信号を前記中間ノードに出力する電圧変換回路を更に備え、

前記遅延回路は、前記入力信号の電圧が所定範囲内のとき前記単発の出力スパイク信号を出力しない請求項1から17のいずれか一項に記載のスパイク生成回路。

【請求項 19】

前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の立ち上がりの時定数

50

を長くし前記中間ノードに出力する時定数回路を更に備え、

前記遅延回路は、前記入力信号が入力した後、前記時定数回路の時定数に関連した遅延時間後に前記単発の出力スパイク信号を出力する請求項 1 から 17 のいずれか一項に記載のスパイク生成回路。

【請求項 20】

前記入力端子と前記中間ノードとの間に設けられ、前記入力信号として入力スパイク信号が入力すると、前記中間ノードの電圧を高くまたは低くする入力回路を更に備え、

前記遅延回路は、前記入力スパイク信号が入力する頻度が所定範囲になると、前記単発の出力スパイク信号を出力する請求項 1 から 17 のいずれか一項に記載のスパイク生成回路。

【請求項 21】

前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の時間に対する変化量に応じ前記中間ノードの電圧を変化させる入力回路を更に備え、

前記遅延回路は、前記入力信号の時間に対する変化量が所定範囲になると、前記単発の出力スパイク信号を出力する請求項 1 から 17 のいずれか一項に記載のスパイク生成回路。

【請求項 22】

請求項 1 から 21 のいずれか一項に記載のスパイク生成回路と、

入力した信号を処理し、前記スパイク生成回路に出力することで、前記スパイク生成回路が前記単発の出力スパイク信号を出力する条件を設定する条件設定回路と、

前記スパイク生成回路が出力した前記単発の出力スパイク信号を処理するスパイク処理回路と、
を備える情報処理回路。

【請求項 23】

スイッチ素子と、

請求項 1 から 21 のいずれか一項に記載のスパイク生成回路を含み、前記スイッチ素子のオンおよびオフを制御する制御回路と、
を備える電力変換回路。

【請求項 24】

一端が出力ノードに接続され、他端が第 1 基準電位端子に接続されたキャパシタと、電圧が時間に依存した入力信号が入力する入力端子に一端が接続され、他端が前記出力ノードに接続され、両端の電圧差に対応する定電流を生成する定電流素子または定電流回路と、
を備え、前記入力信号の立ち上がりの時定数を長くし前記出力ノードから中間ノードに出力する時定数回路と、

前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、
を備え、

前記出力回路は、前記入力信号が入力した後、前記時定数回路の時定数に関連した遅延時間後に前記単発の出力スパイク信号を出力し、

前記定電流素子または定電流回路は、逆方向接続されたダイオードまたはオン状態となるように制御端子に電圧が印加されたトランジスタを含むスパイク生成回路。

【請求項 25】

一端が出力ノードに接続され、他端が第 1 基準電位端子に接続されたキャパシタと、一端が入力信号が入力する入力端子に接続され、他端が前記出力ノードに接続され、両端の電圧差に対応する定電流を生成する定電流回路と、を備え、前記入力信号の立ち上がりの時定数を長くし前記出力ノードから中間ノードに出力する時定数回路と、

前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、
を備え、

前記定電流回路は、

電流入力端子および電流出力端子のいずれか一方の端子が前記入力端子に接続され、前

10

20

30

40

50

記電流入力端子および前記電流出力端子の他方の端子が前記出力ノードに接続された第 1 トランジスタと、

電流入力端子および電流出力端子のいずれか一方の端子が順方向接続された第 1 ダイオードを介し前記入力端子に接続され、前記電流入力端子および前記電流出力端子の他方の端子が逆方向接続された第 2 ダイオードを介し第 2 基準電位端子に接続され、制御端子が前記第 1 トランジスタの制御端子に接続された第 2 トランジスタと、
を備えるカレントミラー回路であるスパイク生成回路。

【請求項 26】

一端が中間ノードに接続され、他端が第 1 基準電位端子に接続されたキャパシタと、

電圧が時間に依存した入力信号が入力する入力端子と第 2 基準電位端子との間に直列に接続された第 1 素子および第 2 素子と、一端が前記第 1 素子と前記第 2 素子との間のノードに接続され、他端が前記中間ノードに接続された抵抗素子と、を備え、前記入力信号の電圧を前記第 1 素子と前記第 2 素子とで分割した信号を前記中間ノードに出力する電圧変換回路と、

前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、

を備え、

前記抵抗素子の抵抗値と前記キャパシタの容量値の積は前記単発の出力スパイク信号の幅より大きいスパイク生成回路。

【請求項 27】

前記第 1 素子は、抵抗、ダイオードおよびトランジスタのいずれかであり、前記第 2 素子は、抵抗、ダイオードおよびトランジスタのいずれかである請求項 26 に記載のスパイク生成回路。

【請求項 28】

請求項 1 から 21 のいずれか一項に記載のスパイク生成回路と、

前記スパイク生成回路が出力した単発の出力スパイク信号を出力するアンテナと、を含む電子回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スパイク生成回路、情報処理回路、電力変換回路および電子回路に関する。

【背景技術】

【0002】

ニューラルネットワークに用いられるニューロン回路等のスパイク生成回路が知られている（例えば特許文献 1、2、6）。複数のインバータを多段接続する回路が知られている（例えば特許文献 3－5）。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2001-148619 号公報

【文献】特開 2006-243877 号公報

【文献】特開 2012-44265 号公報

【文献】特開平 8-242148 号公報

【文献】特開 2000-106521 号公報

【文献】国際公開第 2018/100790 号

【発明の概要】

【発明が解決しようとする課題】

【0004】

ニューロン回路のようなスパイク生成回路において、消費電力を小さくすることが求められている。

10

20

30

40

50

【0005】

本発明は、上記課題に鑑みなされたものであり、消費電力を削減することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、入力信号が入力する入力端子に接続された中間ノードである第1ノードに出力ノードが接続され、第1電源と第2電源との間に接続された第1CMOSインバータと、前記第1電源と前記第2電源との間に前記第1CMOSインバータと直列に接続されたスイッチと、前記第1ノードの信号の反転信号を前記スイッチの制御端子に出力する第1反転回路と、前記第1ノードの信号を遅延させ前記第1CMOSインバータの入力ノードに出力し、出力端子に出力スパイク信号を出力する遅延回路と、を備えるスパイク生成回路である。

10

【0007】

上記構成において、前記第1反転回路は前記第1ノードの信号の反転信号を前記スイッチの制御端子および第2ノードに出力し、前記遅延回路は、前記第1反転回路と、前記第2ノードの信号の反転信号を前記第1CMOSインバータの入力ノードおよび前記出力端子が接続された第3ノードに出力する第2反転回路と、を備える構成とすることができる。

【0008】

上記構成において、前記第1反転回路は、前記第1ノードと前記第2ノードとの間に奇数段に接続された奇数個の第2CMOSインバータを含み、前記奇数個の第2CMOSインバータの各々において前記第1ノードに入力ノードが接続され前記第2ノードに出力ノードが接続され、前記第2反転回路は、前記第2ノードと前記第3ノードとの間に奇数段に接続された奇数個の第3CMOSインバータを含み、前記奇数個の第3CMOSインバータの各々において前記第2ノードに入力ノードが接続され前記第3ノードに出力ノードが接続されたスパイク生成回路構成とすることができる。

20

【0009】

上記構成において前記第2反転回路は、3個以上の奇数個の第3CMOSインバータを含む構成とすることができる。

【0010】

上記構成において、前記3個以上の第3CMOSインバータの隣り合ういずれか2つの間の第4ノードに一端が接続され、他端が第1基準電位端子に接続された第1容量素子を備える構成とすることができる。

30

【0011】

上記構成において、前記第1容量素子の容量値は、前記3個以上の第3CMOSインバータ内の1つのFETのゲート容量値以上である構成とすることができる。

【0012】

上記構成において、一端が前記第1ノードに接続され、他端が第2基準電位端子に接続された第2容量素子を備える構成とすることができる。

【0013】

本発明は、第1ノードに出力ノードが接続され、第1電源と第2電源との間に接続された第1CMOSインバータと、前記第1電源と前記第2電源との間に前記第1CMOSインバータと直列に接続された第1スイッチと、前記第1ノードの信号の反転信号を前記第1スイッチの制御端子に出力する反転回路と、前記第1ノードの信号を遅延させ前記第1CMOSインバータの入力ノードに出力し、出力端子に単発の出力スパイク信号を出力する遅延回路と、前記反転回路内に設けられ、入力信号が入力する入力端子に接続された中間ノードと、を備えるスパイク生成回路である。

40

【0014】

上記構成において、前記第1CMOSインバータはハイレベルおよびローレベルの一方である第1レベルおよび前記ハイレベルおよび前記ローレベルの他方である第2レベルを出力し、前記第1スイッチは、制御端子に前記第1レベルが入力するとオンし、前記制御端子に前記第2レベルが入力するとオフし、前記反転回路は、前記第1ノードが前記第1

50

レベルから前記第 2 レベルとなると前記第 1 レベルを前記第 1 スイッチの制御端子に出力する第 1 反転回路と、前記遅延回路の出力が前記第 2 レベルとなると前記第 1 スイッチの制御端子に前記第 2 レベルを出力する第 2 反転回路と、を備え、前記中間ノードは、前記第 2 反転回路内に設けられている構成とすることができる。

【0015】

上記構成において、前記第 2 反転回路は、制御端子に前記遅延回路の出力が接続され、前記遅延回路が前記第 2 レベルを出力すると、前記中間ノードと前記入力信号の初期レベルが供給される電源とを接続する第 2 スイッチを備える構成とすることができる。

【0016】

上記構成において、入力ノードが前記中間ノードに接続され、出力ノードが前記第 1 スイッチの制御端子に接続された第 2 CMOS インバータを備える構成とすることができる。

【0017】

上記構成において、前記第 1 反転回路は、制御端子が前記第 1 ノードに接続され、前記第 1 ノードが前記第 2 レベルとなると前記第 1 スイッチの制御端子と前記第 1 レベルが供給される電源とを接続する第 3 スイッチを備える構成とすることができる。

【0018】

上記構成において、制御端子が前記第 1 スイッチの制御端子に接続され、前記第 1 スイッチの制御端子が前記第 2 レベルのとき、前記第 1 ノードを前記第 1 レベルが供給される電源に接続する第 4 スイッチを備える構成とすることができる。

【0019】

上記構成において、前記第 2 電源の電圧は前記第 1 電源の電圧より高く、前記スイッチは、N チャネルトランジスタでありかつ前記第 1 ノードと前記第 1 電源との間に接続されている、または、P チャネルトランジスタでありかつ前記第 1 ノードと前記第 2 電源との間に接続されている構成とすることができる。

【0020】

本発明は、入力信号が入力する入力端子に接続された中間ノードである第 1 ノードに出力ノードが接続され、第 1 電源と第 2 電源との間に接続された第 1 CMOS インバータと、一端が前記第 1 ノードに接続され、他端が基準電位端子に接続され、前記入力信号による電荷が蓄積される容量素子と、前記第 1 ノードと出力端子との間に偶数段に接続された偶数個の第 2 CMOS インバータを含む遅延回路であって、前記偶数個の第 2 CMOS インバータの各々において前記第 1 ノードに入力ノードが接続され前記出力端子に出力ノードが接続され、前記第 1 ノードの電圧が所定値になると前記容量素子に蓄積された電荷をリセットする信号を前記第 1 CMOS インバータの入力ノードに出力することによって、前記第 1 ノードの電圧を立ち下がらせ、前記出力端子に単発の出力スパイク信号を出力する遅延回路と、を備え、前記偶数個の第 2 CMOS インバータは、6 個以上の偶数個の第 2 CMOS インバータであるスパイク生成回路である。

【0021】

本発明は、入力信号が入力する入力端子に接続された中間ノードである第 1 ノードに出力ノードが接続され、第 1 電源と第 2 電源との間に接続された第 1 CMOS インバータと、一端が前記第 1 ノードに接続され、他端が基準電位端子に接続され、前記入力信号による電荷が蓄積される容量素子と、前記第 1 ノードと出力端子との間に偶数段に接続された偶数個の第 2 CMOS インバータを含む遅延回路であって、前記偶数個の第 2 CMOS インバータの各々において前記第 1 ノードに入力ノードが接続され前記出力端子に出力ノードが接続され、前記第 1 ノードの電圧が所定値になると前記容量素子に蓄積された電荷をリセットする信号を前記第 1 CMOS インバータの入力ノードに出力することによって、前記第 1 ノードの電圧を立ち下がらせ、前記出力端子に単発の出力スパイク信号を出力する遅延回路と、を備え、前記第 1 電源と前記第 2 電源との間に前記第 1 CMOS インバータと直列に接続され、前記偶数個の第 2 CMOS インバータのうち前記第 1 ノードから奇数番目の第 2 CMOS インバータの出力ノードの信号が入力する制御端子を有するスイッチを備えるスパイク生成回路である。

10

20

30

40

50

【0022】

上記構成において前記偶数個の第2CMOSインバータは、6個以上の偶数個の第2CMOSインバータである構成とすることができる。

【0023】

上記構成において、前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の電圧を変換した信号を前記中間ノードに出力する電圧変換回路を更に備え、前記遅延回路は、前記入力信号の電圧が所定範囲内のとき前記単発の出力スパイク信号を出力しない構成とすることができる。

【0024】

上記構成において、前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の立ち上がりの時定数を長くし前記中間ノードに出力する時定数回路を更に備え、前記遅延回路は、前記入力信号が入力した後、前記時定数回路の時定数に関連した遅延時間後に前記単発の出力スパイク信号を出力する構成とすることができる。

10

【0025】

上記構成において、前記入力端子と前記中間ノードとの間に設けられ、前記入力信号として入力スパイク信号が入力すると、前記中間ノードの電圧を高くまたは低くする入力回路を更に備え、前記遅延回路は、前記入力スパイク信号が入力する頻度が所定範囲になると、前記単発の出力スパイク信号を出力する構成とすることができる。

【0026】

上記構成において、前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の時間に対する変化量に応じ前記中間ノードの電圧を変化させる入力回路を更に備え、前記遅延回路は、前記入力信号の時間に対する変化量が所定範囲になると、前記単発の出力スパイク信号を出力する構成とすることができる。

20

【0027】

本発明は、上記スパイク生成回路と、入力した信号を処理し、前記スパイク生成回路に出力することで、前記スパイク生成回路が前記単発の出力スパイク信号を出力する条件を設定する条件設定回路と、前記スパイク生成回路が出力した前記単発の出力スパイク信号を処理するスパイク処理回路と、を備える情報処理回路である。

【0028】

本発明は、スイッチ素子と、上記スパイク生成回路を含み、前記スイッチ素子のオンおよびオフを制御する制御回路と、を備える電力変換回路である。

30

【0029】

本発明は、一端が出力ノードに接続され、他端が第1基準電位端子に接続されたキャパシタと、電圧が時間に依存した入力信号が入力する入力端子に一端が接続され、他端が前記出力ノードに接続され、両端の電圧差に対応する定電流を生成する定電流素子または定電流回路と、を備え、前記入力信号の立ち上がりの時定数を長くし前記出力ノードから中間ノードに出力する時定数回路と、前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、を備え、前記出力回路は、前記入力信号が入力した後、前記時定数回路の時定数に関連した遅延時間後に前記単発の出力スパイク信号を出力し、前記定電流素子または定電流回路は、逆方向接続されたダイオードまたはオン状態となるように制御端子に電圧が印加されたトランジスタを含むスパイク生成回路である。

40

【0031】

本発明は、一端が出力ノードに接続され、他端が第1基準電位端子に接続されたキャパシタと、一端が入力信号が入力する入力端子に接続され、他端が前記出力ノードに接続され、両端の電圧差に対応する定電流を生成する定電流回路と、を備え、前記入力信号の立ち上がりの時定数を長くし前記出力ノードから中間ノードに出力する時定数回路と、前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、を備え、前記定電流回路は、電流入力端子および電流出力端子のいずれか一方の端子が前記入力端子に接続され、前記

50

電流入力端子および前記電流出力端子の他方の端子が前記出力ノードに接続された第1トランジスタと、電流入力端子および電流出力端子のいずれか一方の端子が順方向接続された第1ダイオードを介し前記入力端子に接続され、前記電流入力端子および前記電流出力端子の他方の端子が逆方向接続された第2ダイオードを介し第2基準電位端子に接続され、制御端子が前記第1トランジスタの制御端子に接続された第2トランジスタと、を備えるカレントミラー回路であるスパイク生成回路である。

【0032】

本発明は、一端が中間ノードに接続され、他端が第1基準電位端子に接続されたキャパシタと、電圧が時間に依存した入力信号が入力する入力端子と第2基準電位端子との間に直列に接続された第1素子および第2素子と、一端が前記第1素子と前記第2素子との間のノードに接続され、他端が前記中間ノードに接続された抵抗素子と、を備え、前記入力信号の電圧を前記第1素子と前記第2素子とで分割した信号を前記中間ノードに出力する電圧変換回路と、前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、を備え、前記抵抗素子の抵抗値と前記キャパシタの容量値の積は前記単発の出力スパイク信号の幅より大きいスパイク生成回路である。

【0036】

本発明の電子回路は、上記のスパイク生成回路と、前記スパイク生成回路が出力した単発の出力スパイク信号を出力するアンテナとを含む。

【発明の効果】

【0049】

本発明によれば、消費電力を削減することができる。

【図面の簡単な説明】

【0050】

【図1】図1(a)および図1(b)は、実施例1およびその変形例1に係るスパイク生成回路の回路図である。

【図2】図2(a)は、実施例1の変形例2に係るスパイク生成回路の回路図、図2(b)は、ノードN1および出力端子T_{out}の電圧を示す図である。

【図3】図3(a)は、実施例1の変形例3に係るスパイク生成回路の回路図、図3(b)は、ノードN_i、N1および出力端子T_{out}の電圧を示す図である。

【図4】図4(a)は、実施例1の変形例4に係るスパイク生成回路の回路図、図4(b)は、ノードN1および出力端子T_{out}の電圧を示す図である。

【図5】図5(a)は、実施例1の変形例5に係るスパイク生成回路の回路図、図5(b)は、ノードN_i、N1および出力端子T_{out}の電圧を示す図である。

【図6】図6(a)は、実施例2に係るスパイク生成回路の回路図、図6(b)は、時間に対する各電圧を示す図である。

【図7】図7(a)は、実施例2の変形例1に係るスパイク生成回路の回路図、図7(b)は、時間に対する各電圧を示す図である。

【図8】図8は、実施例3に係るスパイク生成回路の回路図である。

【図9】図9(a)および図9(b)は、実施例3における時間に対する各ノードの電圧を示す図である。

【図10】図10(a)および図10(b)は、実施例3における時間に対する入力電圧、出力電圧および消費電流を示す図である。

【図11】図11(a)から図11(d)は、実施例3における時間に対する出力電圧を示す図である。

【図12】図12(a)から図12(d)は、実施例3における時間に対する出力電圧を示す図である。

【図13】図13(a)から図13(d)は、キャパシタC2の機能を説明する図である。

【図14】図14(a)および図14(b)は、実施例3におけるスパイク生成回路の回路図である。

10

20

30

40

50

【図 15】図 15 (a) および図 15 (b) は、実施例 3 におけるスパイク生成回路の回路図である。

【図 16】図 16 (a) から図 16 (d) は、実施例 3 におけるスパイク生成回路の時間に対する出力電圧を示す図である。

【図 17】図 17 は、実施例 3 の変形例 1 のスパイク生成回路の回路図である。

【図 18】図 18 は、実施例 3 の変形例 1 における時間に対する各ノードの電圧を示す図である。

【図 19】図 19 (a) は、実施例 3 の変形例 1 に係るスパイク生成回路の別の例を示す回路図、図 19 (b) および図 19 (c) は、それぞれ実施例 3 の変形例 2 および 3 に係るスパイク生成回路の回路図である。

10

【図 20】図 20 (a) および図 20 (b) は、実施例 3 の変形例 3 における時間に対する各ノードの電圧を示す図である。

【図 21】図 21 は、実施例 3 の変形例 4 に係るスパイク生成回路の回路図である。

【図 22】図 22 (a) および図 22 (b) は、実施例 4 に係るスパイク生成回路の回路図である。

【図 23】図 23 (a) および図 23 (b) は、実施例 4 に係るスパイク生成回路の回路図である。

【図 24】図 24 は、実施例 4 における時間に対する各端子およびノードの電圧を示す図である。

【図 25】図 25 は、FET 91 が設けられていない場合の時間に対する各電圧を示す図である。

20

【図 26】図 26 (a) および図 26 (b) は、実施例 4 の変形例 1 に係るスパイク生成回路の回路図である。

【図 27】図 27 (a) および図 27 (b) は、実施例 4 の変形例 2 に係るスパイク生成回路の回路図である。

【図 28】図 28 (a) および図 28 (b) は、実施例 4 の変形例 3 に係るスパイク生成回路の回路図である。

【図 29】図 29 (a) および図 29 (b) は、実施例 4 の変形例 4 に係るスパイク生成回路の回路図である。

【図 30】図 30 (a) および図 30 (b) は、実施例 4 の変形例 5 に係るスパイク生成回路の回路図である。

30

【図 31】図 31 は、実施例 5 に係るスパイク生成回路の回路図である。

【図 32】図 32 (a) から図 32 (e) は、実施例 5 における時間に対するノード N1 の電圧および出力電圧を示す図である。

【図 33】図 33 (a) から図 33 (d) は、実施例 5 における時間に対するノード N1 の電圧および出力電圧を示す図である。

【図 34】図 34 (a) および図 34 (b) は、実施例 5 における入力電圧に対するそれぞれ周波数および周期を示す図である。

【図 35】図 35 は、実施例 5 の変形例 1 に係るスパイク生成回路の回路図である。

【図 36】図 36 (a) は、実施例 5 の変形例 2 に係るスパイク生成回路の回路図、図 36 (b) は、実施例 5 の変形例 2 のタイミングチャートである。

40

【図 37】図 37 は、実施例 5 の変形例 3 に係るスパイク生成回路の回路図である。

【図 38】図 38 (a) および図 38 (b) は、実施例 5 の変形例 3 における時間に対するノード N1 の電圧および出力電圧を示す図である。

【図 39】図 39 は、実施例 5 の変形例 4 に係るスパイク生成回路の回路図である。

【図 40】図 40 (a) および図 40 (b) は、実施例 5 の変形例 4 における時間に対するノード N1 の電圧および出力電圧を示す図である。

【図 41】図 41 は、実施例 5 の変形例 5 に係るスパイク生成回路の回路図である。

【図 42】図 42 (a) は、実施例 5 の変形例 6 に係るスパイク生成回路の回路図、図 42 (b) は、実施例 5 の変形例 6 のタイミングチャートである。

50

【図 4 3】図 4 3 (a) から図 4 3 (c) は、実施例 6 に係る情報処理回路のブロック図である。

【図 4 4】図 4 4 は、実施例 7 に係る電力変換回路のブロック図である。

【図 4 5】図 4 5 は、実施例 7 における判定回路の動作を説明する図である。

【図 4 6】図 4 6 (a) から図 4 6 (c) は、実施例 7 におけるスパイク生成回路の記号を示す図である。

【図 4 7】図 4 7 (a) から図 4 7 (c) は、実施例 7 におけるフリップフロップ回路の動作を示す図である。

【図 4 8】図 4 8 は、実施例 7 における判定回路の回路図である。

【図 4 9】図 4 9 は実施例 7 における時間に対する判定回路の各ノードの電圧を示す図である。

10

【図 5 0】図 5 0 は、実施例 7 における整流回路を示す回路図である。

【図 5 1】図 5 1 (a) から図 5 1 (c) は、実施例 7 における降圧回路の模式図である。

【図 5 2】図 5 2 は、実施例 7 における降圧回路の回路図である。

【図 5 3】図 5 3 は、実施例 7 における時間に対する降圧回路の各ノードの電圧を示す図である。

【図 5 4】図 5 4 は、実施例 7 における時間に対するノード A および R の電圧を示す図である。

【図 5 5】図 5 5 (a) から図 5 5 (c) は、実施例 7 における同期整流回路の模式図である。

20

【図 5 6】図 5 6 は、実施例 7 における同期整流回路の回路図である。

【図 5 7】図 5 7 は、実施例 7 における時間に対する同期整流回路の各ノードの電圧を示す図である。

【図 5 8】図 5 8 は、実施例 7 における時間に対する同期整流回路によるキャパシタの充電電圧を示す図である。

【図 5 9】図 5 9 は、実施例 7 における時間に対する発電電流およびキャパシタの電圧を示す図である。

【図 6 0】図 6 0 (a) および図 6 0 (b) は、それぞれ実施例 8 およびその変形例 1 に係るスパイク生成回路の回路図である。

【図 6 1】図 6 1 (a) および図 6 1 (b) は、シミュレーションに用いたそれぞれ実施例 8 の変形例 1 A および 1 に係るスパイク生成回路の回路図である。

30

【図 6 2】図 6 2 (a) から図 6 2 (d) は、実施例 8 の変形例 1 A のシミュレーション結果を示す時間に対する電圧を示す図である。

【図 6 3】図 6 3 (a) から図 6 3 (d) は、実施例 8 の変形例 1 のシミュレーション結果を示す時間に対する電圧を示す図である。

【図 6 4】図 6 4 (a) から図 6 4 (c) は、それぞれ実施例 8 の変形例 2 から 4 に係るスパイク生成回路の回路図である。

【図 6 5】図 6 5 は、実施例 8 の変形例 5 に係るスパイク生成回路の回路図である。

【図 6 6】図 6 6 (a) および図 6 6 (b) は、シミュレーションに用いたそれぞれ実施例 8 の変形例 5 A および 5 に係るスパイク生成回路の回路図である。

40

【図 6 7】図 6 7 (a) および図 6 7 (b) は、実施例 8 の変形例 5 A のシミュレーション結果を示す時間に対する電圧を示す図である。図 6 7 (c) および図 6 7 (d) は、実施例 8 の変形例 5 のシミュレーション結果を示す時間に対する電圧を示す図である。

【図 6 8】図 6 8 (a) から図 6 8 (c) は、それぞれ実施例 8 の変形例 6 から 8 に係るスパイク生成回路の回路図である。

【図 6 9】図 6 9 (a) から図 6 9 (c) は、それぞれ実施例 8 の変形例 9 から 11 に係るスパイク生成回路の回路図である。

【図 7 0】図 7 0 (a) および図 7 0 (b) は、実施例 8 の変形例 9 における時間に対する各電圧を示す図である。

【図 7 1】図 7 1 は、実施例 9 に係る検出器のブロック図である。

50

【図 7 2】図 7 2 (a) および図 7 2 (b) は、実施例 9 に係る検出器の時間に対する各電圧を示す図である。

【図 7 3】図 7 3 は、実施例 9 の変形例 1 に係る検出器のブロック図である。

【図 7 4】図 7 4 は、実施例 9 の変形例 1 に係る検出器の時間に対する各電圧を示す図である。

【図 7 5】図 7 5 は、実施例 9 の変形例 3 に係る同期整流回路の回路図である。

【図 7 6】図 7 6 は、実施例 9 の変形例 3 に係る同期整流回路における時間に対する同期整流回路の各ノードの電圧を示す図である。

【図 7 7】図 7 7 (a) および図 7 7 (b) は、比較例 1 および実施例 10 に係る電子回路のブロック図である。

10

【図 7 8】図 7 8 (a) は、スパイク生成回路を示す図、図 7 8 (b) および図 7 8 (c) は、時間に対するそれぞれ内部状態 S および出力電圧 V_{out} を示す図である。

【図 7 9】図 7 9 (a) および図 7 9 (b) は、比較例 1 および実施例 10 に係る電子回路のブロック図である。

【図 8 0】図 8 0 (a) および図 8 0 (b) は、実施例 10 に係る電子回路の例を示す図である。

【図 8 1】図 8 1 (a) および図 8 1 (b) は、それぞれ実施例 10 の変形例 1 および 2 に係る電子回路のブロック図である。

【図 8 2】図 8 2 (a) および図 8 2 (b) は、実施例 10 の変形例 3 に係る電子回路のブロック図、図 8 2 (c) は、実施例 10 の変形例 3 に係る電子回路のシンボルを示す図である。

20

【図 8 3】図 8 3 (a) および図 8 3 (b) は、実施例 10 の変形例 3 における電子回路に入力するスパイク信号の例を示す図である。

【図 8 4】図 8 4 (a) および図 8 4 (b) は、実施例 10 の変形例 3 における電子回路から出力するスパイク信号が用いられる回路例を示す図である。

【図 8 5】図 8 5 (a) および図 8 5 (c) は、実施例 10 の変形例 3 における電子回路から出力するスパイク信号が用いられる例を示す回路図、図 8 5 (b) および図 8 5 (d) は、アンテナから出力される電磁波の大きさを示す図である。

【図 8 6】図 8 6 は、実施例 10 の変形例 4 に係るネットワーク回路の模式図である。

【発明を実施するための形態】

30

【0051】

以下、図面を参照し、本発明の実施例について説明する。

【実施例 1】

【0052】

図 1 (a) および図 1 (b) は、実施例 1 およびその変形例 1 に係るスパイク生成回路の回路図である。図 1 (a) に示すように、実施例 1 のスパイク生成回路 130 は、インバータ 12、FET (Field Effect Transistor) 14、反転回路 16 および遅延回路 17 を備える。インバータ 12 は、CMOS (Complementary Metal Oxide Semiconductor) インバータであり、NFET 13a (Nチャネル FET) および PFET 13b (Pチャネル FET) を備える。

40

【0053】

NFET 13a のソースはグランド線 26 に接続され、ドレインはノード N1 に接続され、ゲートはノード N0 に接続されている。PFET 13b のソースは電源線 28 に接続され、ドレインはノード N1 に接続され、ゲートはノード N0 に接続されている。ノード N0 および N1 はそれぞれインバータ 12 の入力ノードおよび出力ノードである。FET 14 は、PFET であり、ノード N1 と電源線 28 との間において PFET 13b と直列に接続されている。FET 14 のソースは PFET 13b を介して電源線 28 に接続され、ドレインはノード N1 に接続されている。

【0054】

反転回路 16 は、ノード N1 のレベルを反転し FET 14 のゲートに出力する。遅延回

50

路 17 は、ノード N1 のレベルを遅延させノード N3 に出力する。ノード N3 はインバータ 12 の入力ノード N0 および出力端子 T o u t に接続されている。反転回路 16 および F E T 14 は正帰還ループ 15 を形成する。入力端子 T i n は正帰還ループ 15 内の中間ノード N i に接続されている。

【0055】

[実施例 1 の変形例 1]

図 1 (b) に示すように、実施例 1 の変形例 1 のスパイク生成回路 131 では、F E T 14 は、N F E T であり、ノード N1 とグランド線 26 との間において N F E T 13 a と直列に接続されている。F E T 14 のソースは N F E T 13 a を介してグランド線 26 に接続され、ドレインはノード N1 に接続されている。その他の構成は実施例 1 と同じであり説明を省略する。

10

【0056】

実施例 1 において、入力端子 T i n が接続された中間ノード N i がノード N1 である実施例 1 の変形例 2 と、中間ノード N i が反転回路 16 内である実施例 1 の変形例 3 について説明する。

【0057】

[実施例 1 の変形例 2]

実施例 1 の変形例 2 は、実施例 1 における中間ノード N i をノード N1 とした例である。図 2 (a) は、実施例 1 の変形例 2 に係るスパイク生成回路の回路図、図 2 (b) は、ノード N1 および出力端子 T o u t の電圧を示す図である。図 2 (a) に示すように、スパイク生成回路 132 では、入力端子 T i n はノード N1 および N i に接続されている。これにより、ノード N1 に入力信号が入力する。その他の構成は実施例 1 と同じであり説明を省略する。

20

【0058】

図 2 (b) に示すように、ノード N1 の電圧が 0 V から一様に高くなる場合について説明する。これは、後述する実施例 3 の図 8 のように、入力端子 T i n と中間ノード N i との間にキャパシタがシャント接続されている場合に、入力端子 T i n の一定の電流を流す場合に相当する。時刻 t0 においてノード N1 の電圧はローレベル (0 V) である。反転回路 16 の出力はハイレベルであり、F E T 14 はオフである。出力端子 T o u t の電圧はローレベル (0 V) である。F E T 14 はオフしているため、インバータ 12 は機能しない。

30

【0059】

ノード N1 の電圧は時間とともに一様に高くなる。ノード N1 の電圧が反転回路 16 の閾値電圧 V t h より低いとき、反転回路 16 の出力はハイレベルであり、遅延回路 17 の出力はローレベルであり、出力端子 T o u t の電圧はローレベルを維持する。

【0060】

時刻 t1 においてノード N1 の電圧が反転回路 16 の閾値電圧 V t h となると、反転回路 16 はローレベルを出力する。F E T 14 がオンするため、インバータ 12 が起動する。出力端子 T o u t の電圧はローレベルのため、インバータ 12 はノード N1 の電圧をハイレベル (V d d) とする。

40

【0061】

時刻 t1 から遅延回路 17 の遅延時間 ΔT 遅れた時刻 t2 において、遅延回路 17 の出力がハイレベルとなる。インバータ 12 はノード N1 をローレベルとする。反転回路 16 の出力はハイレベルとなり、F E T 14 はオフする。ノード N1 の電圧はローレベルに戻る。時刻 t2 から ΔT 遅れた時刻 t3 において、遅延回路 17 は出力端子 T o u t の電圧をローレベルとする。これにより、遅延回路 17 の遅延時間のパルス幅を有するスパイク信号 52 が出力端子 T o u t から出力される。

【0062】

[実施例 1 の変形例 3]

実施例 1 の変形例 3 は、実施例 1 における中間ノード N i を反転回路 16 内とした例で

50

ある。中間ノード N_i を設ける箇所の例は実施例 4 およびその変形例において説明する。図 3 (a) は、実施例 1 の変形例 3 に係るスパイク生成回路の回路図、図 3 (b) は、ノード N_i 、 N_1 および出力端子 T_{out} の電圧を示す図である。図 3 (a) に示すように、スパイク生成回路 133 では、入力端子 T_{in} は反転回路 16 内の中間ノード N_i に接続されている。その他の構成は実施例 1 と同じであり説明を省略する。

【0063】

図 3 (b) に示すように、時刻 t_0 においてノード N_i の電圧はローレベル、 FET_{14} のゲートはハイレベルである。 FET_{14} はオフしており、ノード N_1 の電圧はローレベルである。出力端子 T_{out} の電圧はローレベルである。時間とともにノード N_i の電圧は一樣に高くなる。時刻 t_1 においてノード N_i の電圧が閾値電圧 V_{th} となると、 FET_{14} のゲートはローレベルとなる。 FET_{14} がオンし、インバータ 12 が機能するため、ノード N_1 はハイレベルとなる。時刻 t_1 から遅延回路 17 の遅延時間 ΔT 遅れた時刻 t_2 において、出力端子 T_{out} の電圧がハイレベルとなるとインバータ 12 によりノード N_1 はローレベルとなる。時刻 t_3 において、出力端子 T_{out} はローレベルとなる。その後動作は実施例 1 の変形例 2 と同じであり説明を省略する。

【0064】

実施例 1 の変形例 1 において、入力端子 T_{in} が接続された中間ノード N_i がノード N_1 である実施例 1 の変形例 4 と、中間ノード N_i が反転回路 16 内である実施例 1 の変形例 5 について説明する。

【0065】

[実施例 1 の変形例 4]

実施例 1 の変形例 4 は、実施例 1 の変形例 1 における中間ノード N_i をノード N_1 とした例である。図 4 (a) は、実施例 1 の変形例 4 に係るスパイク生成回路の回路図、図 4 (b) は、ノード N_1 および出力端子 T_{out} の電圧を示す図である。図 4 (a) に示すように、スパイク生成回路 134 では、入力端子 T_{in} はノード N_1 および N_i に接続されている。これにより、ノード N_1 に入力信号が入力する。その他の構成は実施例 1 の変形例 1 と同じであり説明を省略する。

【0066】

図 4 (b) に示すように、ノード N_1 の電圧が V_{dd} から一樣に低くなる場合について説明する。これは、後述する実施例 3 の変形例 3 の図 19 (b) のように、入力端子 T_{in} と中間ノード N_i との間にキャパシタがシャント接続されている場合に、入力端子 T_{in} の一定の電流を流す場合に相当する。時刻 t_0 においてノード N_1 の電圧はハイレベル (V_{dd}) である。反転回路 16 の出力はローレベル (0V) であり、 FET_{14} はオフである。出力端子 T_{out} の電圧はハイレベルである。 FET_{14} がオフしているため、インバータ 12 は機能しない。

【0067】

ノード N_1 の電圧は時間とともに一樣に低くなる。ノード N_1 の電圧が反転回路 16 の閾値電圧 V_{th} より高いとき、反転回路 16 の出力はローレベルであり、遅延回路 17 の出力はハイレベルであり、出力端子 T_{out} の電圧はハイレベルを維持する。

【0068】

時刻 t_1 においてノード N_1 の電圧が反転回路 16 の閾値電圧 V_{th} となると、反転回路 16 はハイレベルを出力する。 FET_{14} がオンするため、インバータ 12 が起動する。出力端子 T_{out} の電圧はハイレベルのため、インバータ 12 はノード N_1 の電圧をローレベル (0V) とする。

【0069】

時刻 t_2 において、遅延回路 17 の出力がローレベルとなる。インバータ 12 はノード N_1 をハイレベルとする。反転回路 16 の出力はローレベルとなり、 FET_{14} はオフする。ノード N_1 の電圧はハイレベルに戻る。時刻 t_3 において、遅延回路 17 は出力端子 T_{out} の電圧をハイレベルとする。これにより、幅が ΔT のスパイク信号 52 が出力端子 T_{out} から出力される。

【0070】

[実施例1の変形例5]

実施例1の変形例5は、実施例1の変形例1における中間ノードN_iを反転回路16内とした例である。中間ノードN_iを設ける箇所の例は実施例4およびその変形例において説明する。図5(a)は、実施例1の変形例5に係るスパイク生成回路の回路図、図5(b)は、ノードN_i、N₁および出力端子T_{out}の電圧を示す図である。図5(a)に示すように、スパイク生成回路135では、入力端子T_{in}は反転回路16内に接続されている。その他の構成は実施例1の変形例1と同じであり説明を省略する。

【0071】

図5(b)に示すように、時刻t₁においてノードN_iの電圧が閾値電圧V_{th}となると、反転回路16はハイレベルを出力する。FET14がオンしノードN₁はローレベルとなる。その後の動作は実施例1の変形例4と同じであり説明を省略する。

【0072】

実施例1およびその変形例によれば、インバータ12(第1CMOSインバータ)はグランド線26と電源線28との間(第1電源と第2電源との間)に接続され、出力ノードがノードN₁(第1ノード)に接続されている。FET14(スイッチまたは第1スイッチ)は、グランド線26と電源線28との間にインバータ12と直列に接続されている。反転回路16(第1反転回路)は、ノードN₁の信号の反転信号をFET14のゲート(制御端子)に出力する。遅延回路17は、ノードN₁の信号を遅延させインバータ12の入力ノード(N₀)に出力し、出力端子T_{out}に出力スパイク信号52を出力する。

【0073】

このような構成において、実施例1の変形例2および4では、ノードN₁は入力信号が入力する入力端子T_{in}に接続された中間ノードN_iである。これにより、図2(b)および図4(b)のように、時刻t₁においてノードN₁の電圧が閾値電圧V_{th}を越えると、反転回路16はFET14のゲートをハイレベル(図2(b))またはローレベル(図4(b))とする。これによりFET14がオンし、ノードN₁がハイレベル(図2(b))またはローレベル(図4(b))となる。このように反転回路16を介し正帰還がかかる。

【0074】

時刻t₂において、遅延回路17がハイレベル(図2(b))またはローレベル(図4(b))を出力すると、インバータ12の出力が反転し、ノードN₁はローレベル(図2(b))またはハイレベル(図4(b))となる。このように、遅延回路17を介し負帰還がかかる。

【0075】

よって、スパイク信号52の立ち上がりおよび立下りが急峻になり、パルス幅の狭いスパイク信号52が生成できる。また、FET14がオフすることにより、電源線28からグランド線26に貫通する電流を抑制できる。これにより、消費電力を抑制できる。実施例1およびその変形例において、反転回路16と遅延回路17はその一部または全体を共有してもよい。

【0076】

実施例1の変形例3および5では、入力端子T_{in}に接続された中間ノードN_iは反転回路16内に設けられている。これにより、図3(b)および図5(b)のように、時刻t₁においてノードN₁から反転回路16を介し正帰還がかかる。時刻t₂においてノードN₁から遅延回路17を介し負帰還がかかる。よって、パルス幅の狭いスパイク信号52が生成でき、かつ、消費電力を抑制できる。

【実施例2】

【0077】

実施例2は、実施例1の変形例2および4の具体例であり、ニューロン回路等に用いられるスパイク生成回路の例である。図6(a)は、実施例2に係るスパイク生成回路の回路図、図6(b)は、時間に対する各電圧を示す図である。図6(a)に示すように、実

10

20

30

40

50

施例 2 のスパイク生成回路 100 は、入力回路 10、インバータ 12、FET 14、反転回路 16 および 18 を備える。反転回路 16 と 18 とは遅延回路 17 を形成する。入力回路 10 は、入力端子 T_{in} に入力した入力信号に対しスパイク信号を生成するための条件を設定する回路である。インバータ 12 は、CMOS インバータであり、NFET 13a および PFET 13b を備える。

【0078】

NFET 13a のソースはグランド線 26 に接続され、ドレインはノード N1 に接続され、ゲートはノード N0 に接続されている。PFET 13b のソースは電源線 28 に接続され、ドレインはノード N1 に接続され、ゲートはノード N0 に接続されている。ノード N0 および N1 はそれぞれインバータ 12 の入力ノードおよび出力ノードである。FET 14 は、PFET であり、ノード N1 と電源線 28 との間において PFET 13b と直列に接続されている。FET 14 のソースは PFET 13b を介して電源線 28 に接続され、ドレインはノード N1 に接続されている。

【0079】

反転回路 16 は、ノード N1 のレベルを反転し FET 14 のゲートおよびノード N2 に出力する。反転回路 18 は、ノード N2 のレベルを反転しノード N3 に出力する。ノード N3 はインバータ 12 の入力ノード N0 および出力端子 T_{out} に接続されている。

【0080】

図 6 (b) は、時間に対する入力端子 T_{in} 、ノード N1 および出力端子 T_{out} の電圧を示す図である。入力回路 10 として、入力端子 T_{in} に入力した入力信号を積分しノード N1 に出力する積分回路を例に説明する。

【0081】

定常時における入力端子 T_{in} および出力端子 T_{out} の電圧はグランド線 26 の電圧 (0V) である。時刻 t_0 の直前においてノード N1 の電圧は 0V である。ノード N2 はハイレベルでありノード N3 はローレベルである。FET 14 のゲートはハイレベルであり、FET 14 はオフである。インバータ 12 の入力ノードはローレベルであり、FET 14 がオフのため、ノード N1 はグランド線 26 および電源線 28 から遮断される。よって、ノード N1 の電圧は維持される。

【0082】

時刻 t_0 から t_1 の間において、入力端子 T_{in} に入力信号として時系列にスパイク信号 50 が入力する。入力端子 T_{in} にスパイク信号 50 が入力したとき、入力端子 T_{in} の電圧は 0V より高い V_{in} となる。入力回路 10 は、スパイク信号 50 が入力するたびにノード N1 の電圧を高くする。これにより、ノード N1 の電圧は徐々に高くなる。ノード N1 の電圧が反転回路 16 の閾値電圧 V_{th} より低いとき、ノード N2 はハイレベルであり、ノード N3 はローレベルである。よって、出力端子 T_{out} の電圧は 0V に維持される。ノード N1 はグランド線 26 および電源線 28 から遮断されている。

【0083】

時刻 t_1 において、ノード N1 の電圧が閾値電圧 V_{th} を越える。反転回路 16 は、ノード N2 をハイレベルからローレベルにする。FET 14 のゲートにローレベルが印加されるため、FET 14 はオンし、ノード N1 に正帰還がかかる。これにより、ノード N1 がハイレベル (電源線 28 の電圧 V_{dd}) に立ち上がる。反転回路 18 は、ノード N2 がハイレベルからローレベルになると、ノード N3 をローレベルからハイレベルにする。インバータ 12 の入力ノード N0 がハイレベルとなるため、ノード N1 に負帰還がかかり、ノード N1 はローレベル (グランド線の電圧 0V) に立ち下がる。ノード N2 およびノード N3 がハイレベルおよびローレベルとなり、出力端子 T_{out} にパルス幅の狭いスパイク信号 52 が出力される。FET 14 がオフし、ノード N1 はグランド線 26 および電源線 28 から遮断される。

【0084】

その後は、同様にノード N1 の電圧が閾値電圧 V_{th} を越えると出力端子 T_{out} にスパイク信号 52 が出力される。このように、ノード N1 に正帰還がかかった直後に負帰還

10

20

30

40

50

がかかるため、パルス幅の狭いスパイク信号52が生成できる。また、正帰還によってFET14がオンした直後に、負帰還によってFET13aがオンする。このとき、負帰還によって同時にFET13bがオフすることによって、電源線28からグランド線26に貫通する電流を抑制できる。これにより、消費電力を抑制できる。

【0085】

〔実施例2の変形例1〕

図7(a)は、実施例2の変形例1に係るスパイク生成回路の回路図、図7(b)は、時間に対する各電圧を示す図である。実施例2の変形例1のスパイク生成回路102では、FET14は、NFETであり、ノードN1とグランド線26との間においてNFET13aと直列に接続されている。FET14のソースはNFET13aを介しグランド線26に接続され、ドレインはノードN1に接続されている。ノードN2はFET14のゲートに接続されている。その他の構成は実施例2の図6(a)と同じであり説明を省略する。

10

【0086】

図7(b)は、時間に対する入力端子Tin、ノードN1および出力端子Toutの電圧を示す図である。定常時における入力端子Tinおよび出力端子Toutの電圧は電源線28の電圧Vddである。時刻t0の直前においてノードN1の電圧はVddである。

【0087】

時刻t0からt1の間において、入力端子Tinに時系列にスパイク信号50が入力する。スパイク信号50が入力すると、入力端子Tinの電圧はVddより低いVinとなる。入力回路10はスパイク信号50を積分しノードN1に出力する。これにより、ノードN1の電圧は徐々に低くなる。ノードN1の電圧が反転回路16の閾値電圧Vthより高いとき、ノードN2はローレベルであり、ノードN3はハイレベルである。よって、出力端子Toutの電圧はVddに維持される。実施例2の変形例1では、電圧が低くなる場合が立ち上がりであり、電圧が高くなる場合が立下りである。

20

【0088】

時刻t1において、ノードN1の電圧が閾値電圧Vthより低くなる。反転回路16は、ノードN2をローレベルからハイレベルにする。FET14のゲートにハイレベルが印加されるため、FET14はオンし、ノードN1に正帰還がかかる。これにより、ノードN1がローレベルに立ち上がる。反転回路18は、ノードN2がローレベルからハイレベルになると、ノードN3をハイレベルからローレベルにする。インバータ12の入力ノードN0がローレベルとなるため、ノードN1に負帰還がかかり、ノードN1はハイレベルに立ち下がる。これにより、出力端子Toutにパルス幅の狭いスパイク信号52が出力される。

30

【0089】

このように、実施例2の変形例1では、FET14をNFETとし、グランド線26とノードN1との間に設けることで、パルス幅の狭いスパイク信号52が生成できる。また、FET13bにより消費電力を抑制できる。

【0090】

図6(b)および図7(b)では、入力信号としてスパイク信号50を例に説明したが、入力信号は任意の波形を有してもよい。入力回路10は、スパイク信号52を生成する条件となったときに、ノードN1の電圧を閾値電圧Vthに達するように入力信号を変換する回路であればよい。

40

【0091】

実施例2およびその変形例によれば、入力端子Tinに入力信号が入力する。インバータ12(第1CMOSインバータ)は、入力端子Tinに接続されたノードN1(第1ノード)に出力ノードが接続され、グランド線26(第1電源)と電源線28(第1電源の電圧より高い電圧の第2電源)との間に接続されている。FET14(スイッチ)は、グランド線26と電源線28との間にインバータ12と直列に接続されている。反転回路16(第1反転回路)は、ノードN1の信号の反転信号をFET14のゲート(制御端子)

50

に出力する。遅延回路 17 は、ノード N1 の信号を遅延させ、インバータ 12 の入力ノード N0 に出力し、出力端子 T o u t にスパイク信号 52（出力スパイク信号）が出力する。

【0092】

これにより、反転回路 16 を介した正帰還と遅延回路 17 を介した負帰還がかかるため、パルス幅の狭いスパイク信号 52 が生成できる。また、F E T 13 b がオフすることにより、電源線 28 からグランド線 26 に貫通する電流を抑制できる。これにより、消費電力を抑制できる。

【0093】

反転回路 16 は、ノード N1 の信号の反転信号を F E T 14 のゲートおよびノード N2（第2ノード）に出力する。遅延回路 17 は、反転回路 16 と、ノード N2 の信号の反転信号をインバータ 12 の入力ノード N0 およびノード N3（第3ノード）に出力する反転回路 18 と、を備える。これにより、反転回路 16 はノード N1 の信号を F E T 14 のゲートに正帰還し、反転回路 18 はノード N1 の信号をインバータ 12 の入力ノード N0 に負帰還することができる。

【0094】

図 6（a）のように、F E T 14 が P F E T（Pチャネルトランジスタ）のとき、F E T 14 はノード N1 と電源線 28 との間に接続されている。これにより、図 6（b）のように、正方向のスパイク信号 52 を生成できる。図 7（a）のように、F E T 14 が N F E T（Nチャネルトランジスタ）のとき、F E T 14 はノード N1 とグランド線 26 との間に接続されている。これにより、図 7（b）のように、負方向のスパイク信号 52 を生成できる。

【実施例 3】

【0095】

実施例 3 は、実施例 2 およびその変形例のスパイク生成回路の具体例である。図 8 は、実施例 3 に係るスパイク生成回路の回路図である。図 8 に示すように、実施例 3 のスパイク生成回路 104 では、入力回路 10 は、一端がノード N1 に他端がグランド線 26 に接続されたキャパシタ C1 である。

【0096】

反転回路 16 は、入力ノードが N1 に接続され出力ノードがノード N2 に接続されたインバータ 20 である。インバータ 20 は、C M O S インバータであり、N F E T 21 a および P F E T 21 b を備えている。N F E T 21 a のソースはグランド線 26 に接続され、ドレインはノード N2 に接続され、ゲートはノード N1 に接続されている。P F E T 21 b のソースは電源線 28 に接続され、ドレインはノード N2 に接続され、ゲートはノード N1 に接続されている。

【0097】

反転回路 18 は、インバータ 22 a から 22 c およびキャパシタ C2 を備えている。インバータ 22 a から 22 c はノード N2 と N3 との間に多段に接続されている。すなわちノード N2 と N3 との間に互いに直列に接続されている。インバータ 22 a から 22 c は、C M O S インバータであり、各々 N F E T 23 a および P F E T 23 b を備えている。N F E T 23 a のソースはグランド線 26 に接続され、ドレインは出力ノードに接続され、ゲートは入力ノードに接続されている。P F E T 23 b のソースは電源線 28 に接続され、ドレインは出力ノードに接続され、ゲートは入力ノードに接続されている。インバータ 22 a の入力ノードはノード N2 に接続され、出力ノードはノード N4 に接続されている。インバータ 22 b の入力ノードはノード N4 に接続され、出力ノードはノード N5 に接続されている。インバータ 22 c の入力ノードはノード N5 に接続され、出力ノードはノード N3 に接続されている。キャパシタ C2 の一端はノード N4 に接続され、他端はグランド線 26 に接続されている。その他の構成は実施例 2 と同じであり説明を省略する。

【0098】

実施例 3 の各電圧について S P I C E（Simulation Program with Integrated Circuit Emphasis）を用いシミュレーションした。シミュレーション条件は以下である。

N F E T :

タイプ：S O I (Silicon on Insulator) を用いた N チャネル M O S 、ゲート長：1 0 0 n m 、ゲート幅：1 0 0 n m 、閾値電圧：+ 0 . 8 V 、ゲート容量：1 f F

P F E T :

タイプ：S O I を用いた P チャネル M O S F E T 、ゲート長：1 0 0 n m 、ゲート幅：2 0 0 n m 、閾値電圧：- 0 . 8 V 、ゲート容量：1 f F

キャパシタ C 1 : 容量値：1 0 f F

キャパシタ C 2 : 容量値：4 f F

グラウンド線 2 6 : 電圧：0 V

電源線 2 8 : 電圧 V d d : 1 V

入力端子 T i n に 1 p A の定電流を流した。

【 0 0 9 9 】

図 9 (a) および図 9 (b) は、実施例 3 における時間に対する各ノードの電圧を示す図である。図 9 (b) は、図 9 (a) のうちスパイク信号 5 2 付近の拡大図である。図 9 (b) の横軸の最初の目盛に図 9 (a) の時間に相当する 1 0 5 9 9 0 0 0 n s を記載し、以後の目盛には下 2 桁のみ記載する。以降の拡大図についても同様である。

【 0 1 0 0 】

図 9 (a) に示すように、ノード N 1 の電圧が時間とともに高くなり、時刻 t 1 において閾値電圧である 0 . 5 V を越えるとノード N 3 にスパイク信号 5 2 が出力される。

【 0 1 0 1 】

図 9 (b) に示すように、時刻 t 1 から t 2 の間において、ノード N 1 の電圧は 0 . 5 V から 0 . 8 V に増加する。ノード N 1 の電圧は、図 9 (a) の時間軸では急激に増加するが、図 9 (b) の時間軸では緩やかに増加する。図 9 (b) では、時刻 t 1 は時間 1 0 5 9 9 0 0 0 n s より前の時間に対応する。時刻 t 1 から t 2 の間において、ノード N 2 の電圧はハイレベルからローレベルに緩やかに変化する。ノード N 4 の電圧は、時刻 t 1 から t 2 の間において、ノード N 2 に比べるとやや速くローレベルからハイレベルに変化する。ノード N 5 の電圧は、ノード N 4 に比べ非常に速くハイレベルからローレベルに変化する。ノード N 3 の電圧は、時刻 t 2 において非常に急峻にローレベルからハイレベルに変化する。

【 0 1 0 2 】

時刻 t 2 以降において、ノード N 1 、N 2 、N 4 、N 5 および N 3 に行くにしたがい、電圧の変化は急峻になる。これにより、スパイク信号 5 2 の幅は約 2 n s と狭い。またスパイク信号 5 2 の立ち上がりおよび立下りは急峻となる。C M O S インバータは電圧の遷移期間に電源線 2 8 からグラウンド線 2 6 に貫通電流が流れるが、C M O S インバータの N F E T および P F E T のリーク電流を小さくすることで、この貫通電流を十分に減らすことができ、消費電力を抑制できる。実施例 3 のように、スパイク信号 5 2 の立ち上がりおよび立下りが急峻なため、スパイク生成回路 1 0 4 の消費電力をより抑制できる。

【 0 1 0 3 】

図 1 0 (a) および図 1 0 (b) は、実施例 3 における時間に対する入力電圧、出力電圧および消費電流を示す図である。図 1 0 (b) は、図 1 0 (a) のスパイク信号 5 2 周辺の拡大図である。図 1 0 (a) に示すように、時刻 0 m s から 5 m s にかけてノード N 1 の電圧 V 1 は徐々に大きくなり、電圧 V 1 が 0 . 5 V となると電圧 V 1 は急激に 0 . 8 V となりその後 0 V となる。時刻 5 m s において、出力端子 T o u t の電圧 V o u t は 1 V となりスパイク信号 5 2 が出力される。時刻 0 m s から 5 m s の間の消費電流は $1 0^{-11}$ A 以下である。

【 0 1 0 4 】

図 1 0 (b) に示すように、時刻 t 2 において、ノード N 1 の電圧 V 1 は 0 . 8 V から急激に 0 V に低下する。出力端子 T o u t には幅が約 2 n s のスパイク信号 5 2 が出力される。時刻 t 2 において電流は約 1×10^{-6} A となり、最も大きくなる。スパイク生成回路 1 0 4 では電力はほとんどスパイク信号 5 2 が生成されるときに消費される。電源電

10

20

30

40

50

圧が1 Vのとき、1 スパイクにおける消費エネルギーは、約15 fJである。このように、スパイク生成のための消費電力（消費エネルギー）を非常に小さくできる。

【0105】

実施例3におけるキャパシタC2の機能について説明する。実施例3において、キャパシタC2の容量値を変化させ、時間に対する出力電圧 V_{out} をシミュレーションした。図11(a)から図12(d)は、実施例3における時間に対する出力電圧を示す図である。図11(a)から図12(d)では、キャパシタC2の容量値をそれぞれ0 F、1 fF、2 fF、3 fF、4 fF、6 fF、10 fFおよび20 fFとしている。

【0106】

図11(a)に示すように、キャパシタC2の容量値が0 Fのとき、スパイク信号52の幅は約60 nsであり、立ち上がりは緩やかである。図11(b)に示すように、キャパシタC2の容量値が1 fFのとき、スパイク信号52の幅は約16 nsと小さくなり、立ち上がりはやや急峻になる。図11(c)に示すように、キャパシタC2の容量値が2 fFのとき、スパイク信号52の幅は約3 nsとさらに小さくなり、立ち上がりはより急峻になる。図11(d)に示すように、キャパシタC2の容量値が3 fFのとき、スパイク信号52の幅は約2 nsと最小となり、立ち上がりはさらに急峻になる。

【0107】

図12(a)に示すように、キャパシタC2の容量値が4 fFのとき、スパイク信号52の幅は約2 nsと最小であり、立ち上がりはさらに急峻になる。図12(b)に示すように、キャパシタC2の容量値が6 fFのとき、スパイク信号52の幅は約2.5 nsとやや大きくなり、立ち上がりは同程度であり、立下りがやや緩やかになる。図12(c)に示すように、キャパシタC2の容量値が10 fFのとき、スパイク信号52の幅は約3 nsとさらに大きくなり、立ち上がりはやや緩やかになる。図12(d)に示すように、キャパシタC2の容量値が20 fFのとき、スパイク信号52の幅は約5 nsとさらに大きくなり、立ち上がりおよび立下りはやや緩やかになる。

【0108】

以上のように、キャパシタC2を設けることで、スパイク信号52の幅を狭くし、かつ立ち上がりおよび立下りを急峻にできる。よって、消費電力をより抑制できる。NFETおよびPFETのゲート容量値は0.1 fFであり、キャパシタC2の容量値は、ゲート容量値の1倍以上が好ましく、2倍以上がより好ましく、3倍以上がさらに好ましい。キャパシタC2の容量値は、ゲート容量値の1000倍以下が好ましく、50倍以下がより好ましい。

【0109】

図13(a)から図13(d)は、キャパシタC2の機能を説明する図である。図13(a)は、時間に対するインバータの出力が反転するときに出力ノードに流れる電流を示す模式図である。図13(a)に示すように、CMOSインバータの出力が反転するとき、出力ノードには小さい電流 I_L が流れる。その後、大きい電流 I_H が流れる。電流 I_L および I_H を一定と仮定し、電流 I_L および I_H が流れる期間を T_L および T_H とする。

【0110】

図13(b)から図13(d)は、実施例3における時間に対するノードN4の電圧 V_4 を示す模式図である。図13(b)に示すように、キャパシタC2の容量値が小さい場合、ノードN4の電圧の上昇はインバータ22bのゲート容量値の充電時間により決まる。期間 T_L では、電流 I_L が小さいため、ノードN4の電圧 V_4 は期間 T_L においてなだらかに増加する。期間 T_H では、電流 I_H が大きいため電圧 V_4 は急激に増加する。期間 T_L において電圧 V_4 が閾値電圧 V_{th} を越えると、インバータ22bの出力は緩やかに反転する。よって、スパイク信号52の立ち上がりおよび立下りが緩やかになってしまう。また、キャパシタC2の容量値が小さい場合、負帰還のタイミングが早すぎて正帰還を妨害してしまい、立ち上がりがさらに緩やかになってしまう。

【0111】

図13(c)に示すように、キャパシタC2の容量値が中程度の場合、電流 I_L はイン

10

20

30

40

50

バータ 2 2 b に加えキャパシタ C 2 に充電される。このため、期間 T L において電圧 V 4 は閾値電圧 V t h を越えない。期間 T H において、電圧 V 4 が閾値電圧 V t h を越えると、インバータ 2 2 b の出力は急激に反転する。よって、スパイク信号 5 2 の立ち上がりおよび立下がり急峻になる。

【0 1 1 2】

図 1 3 (d) に示すように、キャパシタ C 2 の容量値が大きい場合、期間 T H における電圧 V 4 の上昇が緩やかになってしまう。このため、インバータ 2 2 b の出力は緩やかに反転する。よって、スパイク信号 5 2 の立ち上がりおよび立下がり急峻になる。さらに、スパイク信号 5 2 の幅が広がる。

【0 1 1 3】

以上のように、実施例 3 では、キャパシタ C 2 を設けることで、スパイク信号 5 2 の幅を狭くし、立ち上がりおよび立下りを急峻にできる。よって、消費電力を抑制できる。

【0 1 1 4】

キャパシタ C 2 は、M O S キャパシタ、M I S (Metal Insulator Semiconductor) キャパシタを用いることができる。キャパシタ C 2 は、M O S F E T の寄生容量を用いてもよい。

【0 1 1 5】

実施例 3 の反転回路 1 8 内のインバータの数を変えてシミュレーションを行った。図 1 4 (a) から図 1 5 (b) は、実施例 3 におけるスパイク生成回路の回路図である。図 1 4 (a) に示すように、スパイク生成回路 1 0 4 a では、反転回路 1 8 は 1 個のインバータ 2 2 a とキャパシタ C 2 を備えている。キャパシタ C 2 は、インバータ 2 2 a の後段のノード N 4 に接続されている。図 1 4 (b) に示すように、スパイク生成回路 1 0 4 は、実施例 3 の図 8 と同様に、反転回路 1 8 は 3 個のインバータ 2 2 a から 2 2 c を備えている。キャパシタ C 2 は、インバータ 2 2 a と 2 2 b との間のノード N 4 に接続されている。

【0 1 1 6】

図 1 5 (a) に示すように、スパイク生成回路 1 0 4 b では、反転回路 1 8 は 5 個のインバータ 2 2 a から 2 2 e を備えている。キャパシタ C 2 は、インバータ 2 2 a と 2 2 b との間のノード N 4 に接続されている。図 1 5 (b) に示すように、スパイク生成回路 1 0 4 c では、反転回路 1 8 は 7 個のインバータ 2 2 a から 2 2 g を備えている。キャパシタ C 2 は、インバータ 2 2 a と 2 2 b との間のノード N 4 に接続されている。

【0 1 1 7】

図 1 6 (a) から図 1 6 (d) は、実施例 3 におけるスパイク生成回路の時間に対する出力電圧を示す図である。図 1 6 (a) に示すように、スパイク生成回路 1 0 4 a では、スパイク信号 5 2 の立ち上がりは緩やかであり、スパイク信号 5 2 の幅は広い。図 1 6 (b) に示すように、スパイク生成回路 1 0 4 では、スパイク信号 5 2 の立ち上がり急峻になり、スパイク信号 5 2 の幅は約 2 n s である。図 1 6 (c) に示すように、スパイク生成回路 1 0 4 b では、スパイク信号 5 2 の幅はやや広がるものの、立ち上がりは急峻である。図 1 6 (d) に示すように、スパイク生成回路 1 0 4 c では、スパイク信号 5 2 の幅はやや広がるものの、立ち上がりは急峻である。

【0 1 1 8】

以上のように、反転回路 1 8 のインバータの個数を奇数個とすることでスパイク生成回路を実現できる。スパイク信号 5 2 の幅を狭くし、かつ立ち上がりおよび立下りを急峻にするためには、インバータ 2 2 a から 2 2 g の個数は 3 個以上が好ましい。インバータ 2 2 a から 2 2 g の個数は 3 個がより好ましい。

【0 1 1 9】

[実施例 3 の変形例 1]

図 1 7 は、実施例 3 の変形例 1 のスパイク生成回路の回路図である。図 1 7 に示すように、実施例 3 の変形例 1 のスパイク生成回路 1 0 6 では、キャパシタ C 2 が設けられていない。反転回路 1 8 のインバータの個数は奇数個であり、例えば 7 個である。インバータ 2 2 a と 2 2 b との間のノードは N 4、インバータ 2 2 b と 2 2 c との間のノードは N 5

、インバータ 22 c と 22 d との間のノードは N 6、インバータ 22 d と 22 e との間のノードは N 7、インバータ 22 e と 22 f との間のノードは N 8、インバータ 22 f と 22 g との間のノードは N 9 である。その他の構成は実施例 3 と同じであり説明を省略する。

【0120】

実施例 3 の変形例 1 における各ノードの電圧をシミュレーションした。図 18 は、実施例 3 の変形例 1 における時間に対する各ノードの電圧を示す図である。図 18 に示すように、ノード N 1、N 2、N 4、N 5、N 6、N 7、N 8、N 9 および N 3 にいくに従い、電圧の遷移が急峻になっている。特に、ノード N 9 では、ハイレベルからローレベルへの変化が急峻であり、ノード N 3 のスパイク信号 5 2 の立ち上がりおよび立下りは実施例 3 の図 9 (b) 程度に急峻である。

10

【0121】

以上のように、キャパシタ C 2 を設けなくてもインバータ 22 a から 22 g の個数を増やすことで、スパイク信号 5 2 の立ち上がりおよび立下りを急峻にできる。

【0122】

図 19 (a) は、実施例 3 の変形例 1 に係るスパイク生成回路の別の例を示す回路図である。図 19 (a) に示すように、スパイク生成回路 106 a では、反転回路 18 のインバータ 22 a は 1 個である。

【0123】

図 17 および図 19 (a) のように、インバータ 22 a の個数は奇数個であればよい。キャパシタ C 2 を設けない場合に、スパイク信号 5 2 の立ち上がりおよび立下りを急峻にするために、インバータ 22 a から 22 g の個数は 3 個以上が好ましく、5 個以上がより好ましく、7 個以上がさらに好ましい。

20

【0124】

[実施例 3 の変形例 2]

図 19 (b) は、実施例 3 の変形例 2 に係るスパイク生成回路の回路図である。図 19 (b) に示すように、スパイク生成回路 108 では、キャパシタ C 2 の一端は電源線 28 に接続され、他端はノード N 4 に接続されている。その他の構成は実施例 3 と同じであり説明を省略する。

【0125】

実施例 3 の変形例 2 のように、キャパシタ C 2 は電源線 28 に接続されていてもよい。キャパシタ C 2 は、グランド線 26 および電源線 28 以外の一定電位が供給される基準電位端子に接続されていてもよい。

30

【0126】

[実施例 3 の変形例 3]

図 19 (c) は、実施例 3 の変形例 3 に係るスパイク生成回路の回路図である。図 19 (c) に示すように、スパイク生成回路 110 では、キャパシタ C 1 の一端は電源線 28 に接続され、他端はノード N 1 に接続されている。FET 14 は N FET であり、ソースがグランド線 26 に接続され、ドレインが N FET 13 a を介しノード N 1 に接続され、ゲートがノード N 2 に接続されている。その他の構成は実施例 3 と同じであり説明を省略する。

40

【0127】

図 20 (a) および図 20 (b) は、実施例 3 の変形例 3 における時間に対する各ノードの電圧を示す図である。図 20 (b) は、図 20 (a) のうちスパイク信号 5 2 付近の拡大図である。

【0128】

図 20 (a) に示すように、ノード N 1 の電圧は V d d である 1 V から時間とともに減少する。ノード N 1 の電圧が 0.5 V 以下となると、スパイク信号 5 2 が生成される。

【0129】

図 20 (b) に示すように、各ノード N 1 から N 5 の電圧は、実施例 3 の図 9 (b) の電圧の上下を反転させた波形となる。スパイク信号 5 2 の幅は約 2 n s と実施例 3 と同程

50

度であり、立ち上がりおよび立下りは実施例 3 と同程度に急峻である。

【0130】

実施例 3 の変形例 3 のように、FET 14 に N F E T を用いることにより、実施例 2 の変形例 1 と同様に、スパイク信号 50 が負方向に向かう場合にも対応できる。

【0131】

実施例 3 の変形例 3 のように、キャパシタ C 1 は電源線 28 に接続されていてもよい。キャパシタ C 1 は、グランド線 26 および電源線 28 以外の一定電位が供給される基準電位端子に接続されていてもよい。

【0132】

[実施例 3 の変形例 4]

図 21 は、実施例 3 の変形例 4 に係るスパイク生成回路の回路図である。図 21 に示すように、実施例 3 の変形例 4 のスパイク生成回路 112 では、反転回路 16 は、インバータ 20 および FET 24 を備えている。FET 24 は P F E T であり、インバータ 20 と電源線 28 との間に接続されている。FET 24 のゲートと FET 14 のゲートはノード N10 に接続されている。ノード N10 は FET 24 のドレインに接続されている。FET 14 と 24 はカレントミラー回路を形成する。

【0133】

ノード N1 の電圧が閾値電圧を越えると、ノード N2 がローレベルとなる。FET 24 のソースとドレインとの間を流れる電流は大きくなる。よって、ノード N10 の電圧が低くなり、FET 14 のソースドレイン電流と FET 24 のソースドレイン電流が同程度になる。これにより、ノード N1 に正帰還がかかる。

【0134】

反転回路 18 は、インバータ 22、キャパシタ C2、N F E T 29 a および 29 b を備えている。キャパシタ C2 は、ノード N2 とグランド線 26 との間に接続されている。インバータ 22 の入力ノードはノード N2 に接続され、出力ノードはノード N3 に接続されている。N F E T 29 a はノード N3 と N F E T 23 a の間に接続されている。N F E T 29 b はノード N3 とインバータ 20 の入力ノード N0 との間に接続されている。N F E T 29 a および 29 b のゲートは電源線 28 に接続されている。キャパシタ C3 は一端がノード N0 に他端がグランド線 26 に接続されている。キャパシタ C3、N F E T 29 a および 29 b は負帰還を遅延させるための抵抗として機能する。反転回路 18 は、ノード N1 に負帰還をかける。

【0135】

実施例 3 の変形例 4 のように、FET 14 のゲートにはインバータ 20 の出力ノード N2 を接続しなくてもよい。反転回路 16 は、インバータ 20 のレベルが変化したときに、ノード N1 の信号の反転信号を FET 14 のゲートに出力すればよい。

【0136】

実施例 3 およびその変形例のように、反転回路 16 は、ノード N1 とノード N2 との間に互いに直列接続され、ノード N1 に入力ノードが接続されノード N2 に出力ノードが接続された奇数個のインバータ 20 (第 2 C M O S インバータ) を含む。反転回路 18 は、ノード N2 と N3 との間に互いに直列接続され、ノード N2 に入力ノードが接続されノード N3 に出力ノードが接続された奇数個のインバータ 22 a から 22 g (第 3 C M O S インバータ) を含む。これにより、反転回路 16 は正帰還をかけ、反転回路 18 は負帰還をかけることができる。

【0137】

反転回路 16 は、3 個以上のインバータ 20 を備えてもよいが、小型化のためインバータ 20 の個数は 1 個が好ましい。

【0138】

反転回路 18 は、3 個以上のインバータ 22 a から 22 g を含む。これにより、スパイク信号 52 の幅を狭くできかつ立ち上がりおよび立下りを急峻にできる。

【0139】

10

20

30

40

50

3個以上のインバータ22aから22gの間のノードN4（第4ノード）に一端が接続され、他端がグランド線26または電源線28（第1基準電位端子）に接続されたキャパシタC2（第1容量素子）を備える。これにより、実施例3およびその変形例2のように、スパイク信号52の幅を狭くできかつ立ち上がりおよび立ち下りを急峻にできる。

【0140】

キャパシタC2の容量値は、インバータ22aから22g内の1つのFETのゲート容量値以上である。これにより、スパイク信号52の幅を狭くできかつ立ち上がりおよび立ち下りを急峻にできる。例えば、キャパシタC2の容量値は、インバータ22aから22gのうち最もゲート容量値の小さなFETのゲート容量値以上とする。

【0141】

入力回路10は、一端がノードN1に接続され、他端がグランド線26または電源線28（第2基準電位端子）に接続されたキャパシタC1（第2容量素子）を備える。これにより、入力端子Tinに入力された入力信号を積分しノードN1に出力できる。

【0142】

実施例2から3およびその変形例において、スパイク信号52を生成するとき以外の待機時における消費電力を小さくするためには、各FETのオフ時のリーク電流を小さくすることが好ましい。よって、各FETの閾値電圧を高くすることが好ましい。例えば全てのFETまたは一部のFETの閾値電圧は $0.3 \times V_{dd}$ （電源線28の電圧ーグランド線26の電圧）以上が好ましく、 $0.5 \times V_{dd}$ 以上がより好ましく、 $0.8 \times V_{dd}$ 以上がさらに好ましい。なお、閾値電圧が $0.3 \times V_{dd}$ 以上とは、NFETでは $+0.3 \times V_{dd}$ 以上であり、PFETでは $-0.3 \times V_{dd}$ 以下を意味する。他のFETの閾値電圧も同様である。

【0143】

ノードN1にはローレベル（グランド線26の電圧）より高い電圧（例えば閾値電圧 V_{th} よりやや低い電圧）が長時間加わる。よって、最もリーク電流が大きくなりやすいFETは、入力ノードがノードN1に接続されたインバータ20のNFET21aおよびPFET21bである。そこで、インバータ20（インバータ20が複数の場合は初段のインバータ）のNFET21aおよびPFET21bの閾値電圧を $0.3 \times V_{dd}$ 以上とすることが好ましく、 $0.5 \times V_{dd}$ 以上とすることがより好ましく、 $0.8 \times V_{dd}$ 以上とすることがさらに好ましい。

【0144】

スパイク生成動作以外のときにスパイク生成回路に許容される最大リーク電流を I_K とする。例えば、ノードN1に $V_{dd}/2$ 程度の電圧が長時間加わったときに、スパイク生成回路の消費電力を所望電力以下とすることを考える。このとき、スパイク生成回路のリーク電流がほとんどインバータ20のリーク電流とすると、インバータ20のNFET21aおよびPFET21bのリーク電流を I_K 以下とするとスパイク生成回路の消費電力を所望電力以下とすることができる。ソースを接地したときに、チャネルのリーク電流が I_K となるNFET21aおよびPFET21bのゲート電圧をそれぞれ $V_{n_I_K}$ および $-(V_{p_I_K})$ とする。このとき $V_{dd} \leq V_{n_I_K} + V_{p_I_K}$ とすると、ノードN1に $V_{dd}/2$ 程度の電圧が長時間加わっても消費電力を所望電力以下とすることができる。例えば所望電力が1nWのとき、リーク電流 I_K は $1 \times 10^{-9} / V_{dd}$ である。さらに消費電力を抑制するため、リーク電流 I_K を $5 \times 10^{-10} / V_{dd}$ 以下とすることが好ましく、 $2 \times 10^{-10} / V_{dd}$ 以下とすることがより好ましい。

【0145】

各FETのリーク電流を抑制するため、FETは、SOI（Silicon on Insulator）基板を用いたFETを用いることが好ましい。このFETはソースとドレインとの間のリーク電流が小さいため、消費電力を抑制できる。例えば、1個のFETにおけるリーク電流を1pA以下とすることができる。

【実施例4】

【0146】

10

20

30

40

50

実施例 4 は、実施例 1 の変形例 3 および 5 の具体例である。図 2 2 (a) から図 2 3 (b) は、実施例 4 に係るスパイク生成回路の回路図である。図 2 2 (a) に示すように、実施例 4 のスパイク生成回路 1 3 6 は、フリップフロップ回路 9 0、遅延回路 1 7 および F E T 9 1 を備えている。遅延回路 1 7 は、例えば、実施例 2 およびその変形例 1 の反転回路 1 6 および 1 8 を有する遅延回路 1 7 のように偶数段のインバータが縦続接続された回路である。

【0 1 4 7】

フリップフロップ回路 9 0 は、入力ノード 9 0 a がハイレベルとなると、出力ノード 9 0 c をハイレベルとし、入力ノード 9 0 b にハイレベルが入力するまで出力ノード 9 0 c のハイレベルを維持する。フリップフロップ回路 9 0 は、入力ノード 9 0 b がハイレベルとなると、出力ノード 9 0 c をローレベルとし、入力ノード 9 0 a にハイレベルが入力するまで出力ノード 9 0 c のローレベルを維持する。

【0 1 4 8】

入力ノード 9 0 a は入力端子 T i n に接続された中間ノード N i に接続されている。入力ノード 9 0 b はノード N 3 に接続されている。出力ノード 9 0 c は遅延回路 1 7 の入力ノードに接続され、遅延回路 1 7 の出力ノードはノード N 3 に接続されている。F E T 9 1 は N F E T であり、ソース、ドレインおよびゲートがそれぞれグランド線 2 6、中間ノード N i およびノード N 3 に接続されている。

【0 1 4 9】

図 2 2 (b) に示すように、スパイク生成回路 1 3 7 では、図 2 2 (a) のフリップフロップ回路 9 0 として N F E T 9 2 a から 9 2 d および P F E T 9 3 a から 9 3 d を用いている。図 2 2 (b) のうち N F E T 9 2 c および P F E T 9 3 c は、削除可能であり、削除した例を以下に示す。

【0 1 5 0】

図 2 3 (a) に示すように、スパイク生成回路 1 3 8 では、N F E T 9 2 c および P F E T 9 3 c が設けられていない。N F E T 9 2 d および P F E T 9 3 b はそれぞれ N F E T 1 3 a および P F E T 1 3 b に相当する。N F E T 1 3 a と P F E T 1 3 b は、電源線 2 8 とグランド線 2 6 との間に直列に接続され、C M O S インバータ 1 2 を形成する。P F E T 9 3 d は F E T 1 4 に相当する。F E T 1 4 は、ノード N 1 と電源線 2 8 との間において P F E T 1 3 b と直列に接続されている。F E T 1 4 のゲートはノード N g に接続されている。

【0 1 5 1】

N F E T 9 2 b は F E T 9 5 に相当する。F E T 9 5 のソース、ドレインおよびゲートは、それぞれグランド線 2 6、ノード N g およびノード N 1 に接続されている。N F E T 9 2 a および P F E T 9 3 a は C M O S インバータ 9 4 に相当する。C M O S インバータ 9 4 の入力ノードおよび出力ノードはそれぞれノード N i および N g に接続されている。遅延回路 1 7 の入力ノードおよび出力ノードはそれぞれノード N 1 および N 3 に接続されている。

【0 1 5 2】

反転回路 1 6 は、反転回路 1 6 a および 1 6 b を備えている。反転回路 1 6 a は F E T 9 5 を含む。反転回路 1 6 b は F E T 9 1 およびインバータ 9 4 を含む。

【0 1 5 3】

図 2 3 (b) に示すように、スパイク生成回路 1 3 9 では、図 2 3 (a) のスパイク生成回路 1 3 8 に、図 2 2 (b) の N F E T 9 2 c を設ける。N F E T 9 2 c は F E T 9 6 に相当する。F E T 9 6 のソース、ドレインおよびゲートは、それぞれグランド線 2 6、ノード N 1 およびノード N g に接続されている。図 2 3 (a) のスパイク生成回路 1 3 8 では、F E T 1 4 がオフすると、ノード N 1 がフローティングとなる。スパイク生成回路 1 3 9 では、F E T 1 4 がオフすると、F E T 9 6 がオンするためノード N 1 はローレベルとなる。これにより、ノード N 1 がフローティングとなることを抑制できる。実施例 4 は、図 2 2 (a) から図 2 3 (b) のいずれの回路でもよい。

10

20

30

40

50

【0154】

図23(b)の回路を例に実施例4の動作を説明する。図24は、実施例4における時間に対する各端子およびノードの電圧を示す図であり、ノードNi、FET14のゲートに相当するノードNg、ノードN1および出力端子Tout(すなわちノードN3)の電圧を示している。時刻t0では、ノードNiの電圧は0V、ノードNgの電圧はハイレベル(Vdd)、ノードN1の電圧はローレベル(0V)、出力端子Toutの電圧はローレベル(0V)である。インバータ12の入力ノードN0はローレベルである。ノードNgがハイレベルでありFET14がオフのためインバータ12は機能しない。また、FET96がオンするため、ノードN1はローレベルとなる。

【0155】

入力信号として時間とともに一定の傾きで電圧が上昇する例について説明する。時刻t0以降時間とともにノードNiの電圧が上昇する。ノードNiの電圧がインバータ94aの閾値電圧に達しないとき、ノードNgの電圧はVddである。ノードNiの電圧が閾値電圧Vthに近づくと、ノードNgの電圧は徐々に低下する。FET14がオフであり、FET96がオンのため、ノードN1はローレベルを維持する。

【0156】

時刻t1において、ノードNiの電圧が閾値電圧Vthに達すると、ノードNgの電圧はFET14の閾値電圧に達する。これにより、ノードN1の電圧が上昇する。FET95がオンすると、ノードNgの電圧はローレベルとなる。FET14はオンし、FET96はオフする。これにより、ノードN1の電圧はハイレベルとなる。このように、FET95は、ノードN1がハイレベルとなるとノードNgをローレベルとする反転回路16aとして機能する。反転回路16aおよびFET14によりノードN1に正帰還が加わり、ノードN1の電圧は急峻に立ち上がる。

【0157】

時刻t2において、遅延回路17は時刻t1から遅延して出力端子Toutをハイレベルとする。FET91のゲートがハイレベルとなるため、FET91がオンし、ノードNiの電圧は0Vとなる。ノードNgはハイレベルとなる。FET14がオフし、FET96がオンするため、ノードN1はローレベルとなる。このように、FET91およびインバータ94は、ノードN3がハイレベルとなると、ノードNgをハイレベルとし、ノードN1をローレベルとする反転回路16bとして機能する。

【0158】

時刻t4において、遅延回路17は時刻t2から遅延して出力端子Toutをローレベルとする。これにより出力端子Toutにパルス幅がt4-t2のスパイク信号52が出力される。

【0159】

図23(b)において、インバータ94が設けられておらず、FET14の制御端子とノードNiが接続されている場合を考える。この場合、ノードN1からFET95および14を介した正帰還ループにノードNiが含まれてしまい、ノードNiはローレベルの状態に維持されてしまう。このように、中間ノードNiとFET14のゲートの間にはインバータ94が設けられることが好ましい。

【0160】

図23(b)において、FET91が設けられておらず、出力端子Toutが中間ノードNiに帰還していない場合を考える。図25は、FET91が設けられていない場合の時間に対する各電圧を示す図である。図25に示すように、時刻t2において出力端子ToutがハイレベルとなってもノードNiの電圧は0Vにならず上昇し続ける。FET95を介した正帰還と、遅延回路17を介した負帰還が交互にかかるため、ノードN1の電圧はローレベルとハイレベルを繰り返し、出力端子Toutからスパイク信号52が繰り返し出力される。このように、反転回路16aがノードN1がローレベルとなってもFET14のゲートをハイレベルとしない場合には、FET91を設けることが好ましい。

【0161】

[実施例 4 の変形例 1]

図 26 (a) および図 26 (b) は、実施例 4 の変形例 1 に係るスパイク生成回路の回路図である。図 26 (a) に示すように、スパイク生成回路 140 では、フリップフロップ回路 90 に NAND 回路 91a および 91b を有するラッチを用いる。FET 91 は P FET であり、FET 91 のソースは電源線 28 に接続されている。その他の構成は図 22 (a) のスパイク生成回路 136 と同じであり説明を省略する。

【0162】

図 26 (b) に示すように、スパイク生成回路 141 では、フリップフロップ回路 90 を FET に分解し、削除可能な FET が削除されている。図 23 (b) のスパイク生成回路 139 に比べ、FET 14 が N FET であり、FET 14 はノード N1 とグランド線 26 との間に FET 13a と直列に接続されている。FET 95 および 96 は P FET である。FET 95 および 96 のソースは電源線 28 に接続されている。インバータ 94 から遅延回路 17 は回路 98 を形成する。その他の構成は図 23 (b) のスパイク生成回路 139 と同じであり説明を省略する。

【0163】

実施例 3 の変形例 1 では、入力端子 T i n に入力する入力信号は、実施例 1 の変形例 5 の図 5 (b) の入力端子 T i n の信号のようにハイレベルからローレベルに下降する信号である。出力端子 T o u t からは図 5 (b) のようにローレベルのスパイク信号 52 が出力される。

【0164】

スパイク生成回路 141 のように、FET 14 を N FET とすることで、実施例 1 の変形例 5 のスパイク生成回路 135 を実現できる。

【0165】

[実施例 4 の変形例 2]

図 27 (a) および図 27 (b) は、実施例 4 の変形例 2 に係るスパイク生成回路の回路図である。図 27 (a) に示すように、スパイク生成回路 142 では、図 26 (a) のスパイク生成回路 140 に加え、インバータ 94a および 94b を備えている。インバータ 94a はノード N i とフリップフロップ回路 90 の入力ノード 90a との間に接続され、インバータ 94b はノード N3 と FET 91 のゲートとの間に接続されている。FET 91 は N FET であり、ソースがグランド線 26 に接続されている。その他の構成は図 26 (a) のスパイク生成回路 140 と同じであり説明を省略する。

【0166】

図 27 (b) に示すように、スパイク生成回路 143 では、フリップフロップ回路 90 を FET に分解し、削除可能な FET が削除されている。スパイク生成回路 143 の回路 98 は、図 26 (b) のスパイク生成回路 141 の回路 98 と同じである。FET 91 が N FET であり、インバータ 94a および 94b が設けられている。反転回路 16b は、インバータ 94、94a、94b および FET 91 を含む。その他の構成は図 26 (b) のスパイク生成回路 141 と同じであり説明を省略する。

【0167】

入力端子 T i n に入力する入力信号は、実施例 1 の変形例 3 の図 3 (b) の入力端子 T i n の信号のようなローレベルからハイレベルに上昇する信号である。インバータ 94a は入力信号を、実施例 1 の変形例 5 の図 5 (b) の入力端子 T i n の信号のようにハイレベルからローレベルに下降する信号に変換する。出力端子 T o u t からは図 5 (b) のようなローレベルのスパイク信号 52 が出力される。インバータ 94b はノード N3 の信号を反転し FET 91 のゲートに出力する。

【0168】

スパイク生成回路 143 のように、入力信号を反転させてもよい。この場合、インバータ 94b を設けることで、ノード N i をリセットできる。

【0169】

[実施例 4 の変形例 3]

図 28 (a) および図 28 (b) は、実施例 4 の変形例 3 に係るスパイク生成回路の回路図である。図 28 (a) に示すように、スパイク生成回路 144 では、フリップフロップ回路 90 に NOR 回路 91c および NAND 回路 91b を有するラッチを用いる。NOR 回路 91c および NAND 回路 91b のループ内にインバータ 94d および 94e を設けている。インバータ 94a は設けられていない。その他の構成は図 27 (a) のスパイク生成回路 142 と同じであり説明を省略する。

【0170】

図 28 (b) に示すように、スパイク生成回路 145 では、フリップフロップ回路 90 を FET に分解し、削除可能な FET が削除されている。図 27 (b) のスパイク生成回路 143 と比較すると、FET 95 が NFET である。インバータ 94c はノード N1 の信号を反転し FET 95 のゲートに出力する。FET 95 のドレインはインバータ 94a と 94 の間のノード Ng2 に接続されている。インバータ 94 はノード Ng2 の信号を反転してノード Ng に出力する。反転回路 16a はインバータ 94、94c および FET 95 を含む。反転回路 16b はインバータ 94、94a、94b および FET 91 を含む。その他の構成は図 27 (b) のスパイク生成回路 143 と同じであり説明を省略する。

【0171】

入力信号はローレベルからハイレベルに上昇する信号である。ノード Ng2 の信号はハイレベルからローレベルに下降する信号である。インバータ 94 から遅延回路 17 の回路 99 は、実施例 1 の変形例 5 のスパイク生成回路 135 のように、ローレベルのスパイク信号 52 を出力する。

【0172】

スパイク生成回路 145 のように、反転回路 16a は FET 95 以外にインバータ 94 および 94c 等を含んでもよい。反転回路 16a と 16b は一部の回路素子（例えばインバータ 94）を共有してもよい。

【0173】

〔実施例 4 の変形例 4〕

図 29 (a) および図 29 (b) は、実施例 4 の変形例 4 に係るスパイク生成回路の回路図である。図 29 (a) に示すように、スパイク生成回路 146 では、フリップフロップ回路 90 に NAND 回路 91a および NOR 回路 91d を有するラッチを用いる。NAND 回路 91a および NOR 回路 91d のループ内にインバータ 94d および 94e を設けている。ノード Ni とフリップフロップ回路 90 の入力ノード 90a との間にインバータ 94a が設けられ、出力端子 Tout と FET 91 のゲートとの間にインバータ 94b が設けられていない。その他の構成は図 28 (a) のスパイク生成回路 144 と同じであり説明を省略する。

【0174】

図 29 (b) に示すように、スパイク生成回路 147 では、フリップフロップ回路 90 を FET に分解し、削除可能な FET が削除されている。図 28 (b) のスパイク生成回路 145 と比較すると、インバータ 94a と 94 との間にインバータ 94b が設けられ、ノード N3 と FET 91 のゲートとの間にインバータが設けられていない。FET 96 は NFET であり、FET 14 および 95 は PFET である。反転回路 16a はインバータ 94、94c および FET 95 を含む。反転回路 16b はインバータ 94、94a、94b および FET 91 を含む。その他の構成は図 28 (b) のスパイク生成回路 145 と同じであり説明を省略する。

【0175】

入力信号はローレベルからハイレベルに上昇する信号である。ノード Ng2 の信号はローレベルからハイレベルに上昇する信号である。インバータ 94 から遅延回路 17 の回路 99a は、実施例 1 の変形例 35 のスパイク生成回路 133 のように、ハイレベルのスパイク信号 52 を出力する。

【0176】

スパイク生成回路 143、145 および 147 のように、反転回路 16a および 16b

10

20

30

40

50

は適宜インバータを含んでもよい。

【0177】

〔実施例4の変形例5〕

図30(a)および図30(b)は、実施例4の変形例5に係るスパイク生成回路の回路図である。図30(a)に示すように、スパイク生成回路148では、フリップフロップ回路90にNOR回路91cおよび91dを有するラッチを用いる。フリップフロップ回路90の出力ノード90cと相補的な出力ノード90dとN3との間に遅延回路17aと直列にインバータ94fが接続されている。出力ノード90dは出力ノード90cと相補的な信号が出力される。よって、遅延回路17aの前段または後段にインバータ94fを設ければ、遅延回路17aを出力ノード90cに接続した場合と同様の機能が得られる。スパイク生成回路136、138、140、142、144および146においても出力ノード90cの相補的な出力ノードとノードN3との間に遅延回路17aとインバータ94fを接続してもよい。その他の構成は図22(a)のスパイク生成回路136と同じであり説明を省略する。

10

【0178】

図30(b)に示すように、スパイク生成回路149では、フリップフロップ回路90をFETに分解し、削除可能なFETが削除されている。図23(b)のスパイク生成回路139と比較すると、遅延回路17aの入力ノードはノードNg(すなわちFET95のドレイン)に接続され、遅延回路17aの出力はインバータ94fを介しノードN3に接続されている。FET95、遅延回路17aおよびインバータ94fが遅延回路17として機能する。その他の構成は図23(b)のスパイク生成回路139と同じであり説明を省略する。

20

【0179】

スパイク生成回路149のように、反転回路16aと遅延回路17とは一部の回路素子(例えばFET95)を共有してもよい。

【0180】

実施例4およびその変形例1によれば、インバータ12は第1レベル(ハイレベルおよびローレベルの一方)および第2レベル(ハイレベルおよびローレベルの他方)を出力する。FET14(第1スイッチ)は、ゲート(制御端子)に第1レベルが入力するとオンし、第2レベルが入力するとオフする。ここで、FET14がNFEETの場合、第1レベルおよび第2レベルはそれぞれハイレベルおよびローレベルであり、FET14がPFETの場合、第1レベルおよび第2レベルはそれぞれローレベルおよびハイレベルである。

30

【0181】

反転回路16a(第1反転回路)は、ノードN1が第1レベルから第2レベルとなると第1レベルをFET14のゲートに出力する。例えば、図23(b)、図29(b)および図30(b)のスパイク生成回路139、147および149では、ノードN1がローレベルからハイレベルとなると、反転回路16aはFET14のゲートにローレベルを出力する。図26(b)、図27(b)および図28(b)のスパイク生成回路141、143および145では、ノードN1がハイレベルからローレベルとなると、反転回路16aはFET14のゲートにハイレベルを出力する。

40

【0182】

反転回路16b(第2反転回路)は、遅延回路17の出力が第2レベルとなるとFET14のゲートに第2レベルを出力する。例えば、図23(b)、図29(b)および図30(b)のスパイク生成回路139、147および149では、ノードN3がハイレベルとなると、反転回路16bはFET14のゲートにハイレベルを出力する。図26(b)、図27(b)および図28(b)のスパイク生成回路141、143および145では、ノードN3がローレベルとなると、反転回路16bはFET14のゲートにローレベルを出力する。中間ノードNiは反転回路16b内に設けられている。

【0183】

これにより、図24のように、消費電力を抑制しかつパルス幅の狭いスパイク信号52

50

を生成できる。

【0184】

反転回路16bは、ゲート（制御端子）に遅延回路17の出力（ノードN3）が接続されたFET91（第2スイッチ）を備えている。FET91は、遅延回路17が第2レベルを出力すると、中間ノードNiと入力信号の初期レベルが供給される電源とを接続する。例えば図3（b）のように入力信号の初期レベルがローレベルのとき、FET91はNFETであり、中間ノードNiをグランド線26に接続する。例えば図5（b）のように入力信号の初期レベルがハイレベルのとき、FET91はPFETであり、中間ノードNiを電源線28に接続する。これにより、中間ノードNiをリセットし、ノードNgを第2レベルとすることができる。

10

【0185】

インバータ94（第2CMOSインバータ）は、入力ノードがノードNiに接続され、出力ノードがFET14のゲート（ノードNg）に接続されている。これにより、正帰還ループ15内にノードNiが含まなくなるため、ノードNgの電圧が入力信号にともない変化できる。

【0186】

反転回路16aは、ゲートがノードN1に接続され、ノードN1が第2レベルとなるとFET14のゲート（ノードNg）と第1レベルが供給される電源とを接続するFET95（第3スイッチ）を備える。これにより、FET95を反転回路16aとして用いることができる。

20

【0187】

FET96（第4スイッチ）は、ゲートがFET14のゲート（ノードNg）に接続され、FET14ゲートが第2レベルのとき、ノードN1を第1レベルが供給される電源に接続する。これにより、ノードN1がフローティングとなることを抑制できる。

【0188】

同じノード（または端子）においてハイレベルはローレベルより高い電圧であればよく、異なるノード（または端子）間のハイレベルは同じ電圧でなくてもよく、ローレベルは同じ電圧でなくてもよい。

【0189】

実施例2、3およびその変形例における入力回路10を、実施例4およびその変形例の入力端子Tinと中間ノードNiとの間に設けてもよい。

30

【実施例5】

【0190】

実施例5は、実施例1から4およびその変形例を電圧判定回路として用いる例である。図31は、実施例5に係るスパイク生成回路の回路図である。図31に示すように、実施例5のスパイク生成回路114では、キャパシタC1と入力端子Tinとの間に、電圧変換回路30が接続されている。入力回路10は、キャパシタC1と電圧変換回路30を含む。

【0191】

電圧変換回路30は、NFET31aおよび31bを備えている。NFET31aのソースおよびゲートがグランド線26に接続され、ドレインがノードN11に接続されている。NFET31bのソースがノードN11に接続され、ゲートがグランド線26に接続され、ドレインが入力端子Tinに接続されている。NFET31aおよび31bはオフするため、ソースとドレインとの間は高抵抗として機能する。入力端子Tinに入力された入力信号はNFET31aおよび31bにより分圧されノードN11に出力される。その他の構成は実施例3と同じであり説明を省略する。

40

【0192】

入力端子Tinに入力する入力信号の電圧を変え、出力端子Toutに出力されるスパイク信号52をシミュレーションした。図32（a）から図33（d）は、実施例5における時間に対するノードN1の電圧および出力電圧を示す図である。図32（a）から図

50

33 (d) は、入力信号を一定の電圧 V_{in} の信号とした。電圧 V_{in} をそれぞれ 0.9 V、1.0 V、1.2 V、1.5 V、2 V、3 V、5 V、7 V および 10 V とした。電圧変換回路 30 は、入力端子 T_{in} の電圧を約 $1/2$ に分圧する。

【0193】

図 32 (a) に示すように、電圧 V_{in} が 0.9 V では、ノード $N1$ の電圧は、 $0.9 V \times 1/2$ である 0.45 V で飽和してしまう。これにより、ノード $N1$ の電圧は閾値電圧である 0.5 V に到達しない。このため、スパイク信号 52 は生成されない。図 32 (b) に示すように、電圧 V_{in} が 1 V では、ノード $N1$ の電圧が 0.5 V に達する。これにより、スパイク信号 52 が生成される。スパイク信号 52 が生成される周期は 30.3 ms であり周波数は 33 Hz である。

10

【0194】

図 32 (c) に示すように、電圧 V_{in} が 1.2 V では、電圧 V_{in} が 1 V のときより、キャパシタ $C1$ が速く充電される。これにより、電圧 V_{in} が 1 V のときより、ノード $N1$ の電圧が速く 0.5 V に達する。よって、スパイク信号 52 が生成される周期は 15.9 ms と短くなり、周波数は 62.8 Hz と高くなる。図 32 (d) に示すように、電圧 V_{in} が 1.5 V では、スパイク信号 52 が生成される周期は 6.71 ms とより短くなり、周波数は 149 Hz とより高くなる。図 32 (e) に示すように、電圧 V_{in} が 2 V では、スパイク信号 52 が生成される周期は 4.27 ms であり周波数は 234 Hz である。

【0195】

20

図 33 (a) に示すように、電圧 V_{in} が 3 V では、スパイク信号 52 が生成される周期は 2.50 ms であり周波数は 400 Hz である。図 33 (b) に示すように、電圧 V_{in} が 5 V では、スパイク信号 52 が生成される周期は 1.28 ms であり周波数は 782 Hz である。図 33 (c) に示すように、電圧 V_{in} が 7 V では、スパイク信号 52 が生成される周期は 0.792 ms であり周波数は 1262 Hz である。図 33 (d) に示すように、電圧 V_{in} が 10 V では、スパイク信号 52 が生成される周期は 0.454 ms であり周波数は 2203 Hz である。

【0196】

図 34 (a) および図 34 (b) は、実施例 5 における入力電圧に対するそれぞれ周波数および周期を示す図である。図 34 (a) に示すように電圧 V_{in} が高くなるとスパイク信号 52 の周波数が高くなる。図 34 (b) に示すように、電圧 V_{in} が高くなるとスパイク信号 52 が生成される周期が短くなる。電圧 V_{in} が閾値電圧 V_{inth} より小さいとスパイク信号 52 は生成されない。図 34 (a) および図 34 (b) では V_{inth} は約 1 V である。

30

【0197】

このように、実施例 5 では、入力される入力信号の電圧が閾値電圧 V_{inth} より低いとき、スパイク信号 52 は生成されず、入力信号の電圧が閾値電圧 V_{inth} より高いときスパイク信号 52 が生成される。このように、スパイク生成回路 114 は、入力端子 T_{in} の電圧を判定する判定回路として機能する。入力端子 T_{in} にスパイク信号が入力する場合、キャパシタ $C1$ の容量値を設定することにより、スパイク信号 52 が出力されるための入力スパイク信号の個数を設定できる。

40

【0198】

スパイク生成回路 114 は、入力端子 T_{in} の電圧をスパイク信号 52 の周波数に変換する回路として機能する。閾値電圧 V_{inth} は、電圧変換回路 30 の $NFET31a$ と $31b$ との抵抗値の比により任意に設定できる。電圧変換回路 30 は、入力信号の電圧を分圧する回路であれば、抵抗分圧回路以外の回路でもよい。

【0199】

電圧変換回路 30 は、入力信号の電圧を分圧した信号をノード $N1$ に出力する。反転回路 18 は、入力信号の電圧の絶対値が閾値電圧 V_{inth} (所定値) より大きいときスパイク信号 52 を出力し、入力信号の電圧が V_{inth} 以下のときスパイク信号 52 を出力

50

しない。このように、低消費電力の電圧判定回路を実現できる。

【0200】

〔実施例5の変形例1〕

図35は、実施例5の変形例1に係るスパイク生成回路の回路図である。図35に示すように、実施例5の変形例1のスパイク生成回路114aでは、実施例3の変形例3のスパイク生成回路に電圧変換回路30が設けられている。その他の構成は実施例5と同じであり説明を省略する。

【0201】

実施例5の変形例1では、反転回路18は、入力信号の電圧の絶対値が閾値電圧より小さいときスパイク信号52を出力し、入力信号の電圧が V_{in_th} 以上のときスパイク信号52を出力しない。

10

【0202】

〔実施例5の変形例2〕

図36(a)は、実施例5の変形例2に係るスパイク生成回路の回路図である。図36(a)に示すように、実施例5の変形例2のスパイク生成回路114bでは、キャパシタC1の一端が入力端子 T_{in} に接続され、キャパシタC1の他端がノードN1に接続されている。その他の構成は実施例3と同じであり説明を省略する。

【0203】

図36(b)は、実施例5の変形例2のタイミングチャートである。図36(b)に示すように、入力端子 T_{in} に入力する入力信号は時間に対し電圧が変化する。例えば、入力信号の低周波数成分は3.5Vである。ノードN1の電圧は、キャパシタC1により低周波数成分が遮断される。これにより、ノードN1の電圧は入力信号の変化量（直流成分を除いた電圧）となる。ノードN1の電圧の大きさはキャパシタC1の容量の大きさにより任意に設定できる。すなわち、キャパシタC1は電圧変換回路として機能する。時刻 t_{30} において入力信号の低周波数成分からの変化量が3Vに達すると、ノードN1の電圧は V_{th} となる。これにより、出力端子 T_{out} からスパイク信号が出力される。

20

【0204】

実施例5の変形例2によれば、反転回路18は入力信号の低周波数成分からの変化量が所定範囲内のときスパイク信号52を生成し、所定範囲外のときスパイク信号52を生成しない。

30

【0205】

実施例5およびその変形例1および2によれば、電圧変換回路30（またはキャパシタC1）は入力信号の電圧を変換した信号をノードN1に出力する。反転回路18は、入力信号の電圧が所定範囲内のときスパイク信号52を出力せず、入力信号の電圧が所定範囲外のときスパイク信号52を出力する。これにより、低消費電力の電圧判定回路を実現できる。

【0206】

〔実施例5の変形例3〕

実施例5の変形例3は、実施例1から4およびその変形例を遅延回路に用いる例である。図37は、実施例5の変形例3に係るスパイク生成回路の回路図である。図37に示すように、実施例5の変形例3のスパイク生成回路116では、キャパシタC1と入力端子 T_{in} との間に、NFEET33が接続されている。NFEET33はオフするため、ソースとドレインとの間は高抵抗として機能する。NFEET33とキャパシタC1とは入力回路10である時定数回路32を形成する。時定数回路32は、入力端子 T_{in} に入力した入力信号の立ち上がりの時定数を長くする。ノードN1の電圧の立ち上がりの時定数はNFEET33とキャパシタC1により定まる時定数となる。その他の構成は実施例3と同じであり説明を省略する。

40

【0207】

入力端子 T_{in} に入力信号を入力し、ノードN1の電圧および出力端子 T_{out} に出力されるスパイク信号52をシミュレーションした。キャパシタC1の容量値を5.75f

50

Fとした。入力信号として、時定数回路32の時定数に比べ十分に短時間でローレベルからハイレベルに変移する信号を入力した。

【0208】

図38(a)および図38(b)は、実施例5の変形例3における時間に対するノードN1の電圧および出力電圧を示す図である。図38(b)は、図38(a)の拡大図である。図38(a)に示すように、ノードN1の電圧は、時定数回路32の時定数で立ち上がる。ノードN1の電圧が閾値電圧である0.5V以上となると出力端子T_{out}にスパイク信号52が出力される。図38(b)に示すように、スパイク信号52の幅は約2nsであり、立ち上がりおよび立下りは急峻である。

【0209】

このように、スパイク生成回路116は、入力端子T_{in}にハイレベルの信号が入力してから所定時間遅延してスパイク信号52を出力する遅延回路として機能する。出力されるスパイク信号52は幅が短く急峻な波形にできる。時定数回路32は、入力信号の立ち上がりおよび／または立下りの時定数を長くする回路であればRC回路以外の回路でもよい。遅延時間は、時定数回路32の時定数を変えることで任意に設定できる。

【0210】

実施例5の変形例3によれば、時定数回路32は、入力信号の立ち上がりの時定数を長くしノードN1に出力する。出力端子T_{out}は、入力信号が入力した後、時定数回路32の時定数に関連した遅延時間後にスパイク信号52を出力する。これにより、低消費電力でかつ急峻な立ち上がりおよび立下りを有するスパイク信号52を出力できる遅延回路を実現できる。

【0211】

[実施例5の変形例4]

実施例5の変形例4は、実施例2、3およびその変形例を入力スパイク信号50の頻度が下がるとスパイク信号52を生成する頻度低下検出回路に用いる例である。図39は、実施例5の変形例4に係るスパイク生成回路の回路図である。図39に示すように、実施例5の変形例4のスパイク生成回路118では、キャパシタC1と入力端子T_{in}との間に抑制回路34が接続されている。入力回路10は、抑制回路34とキャパシタC1を含む。

【0212】

抑制回路34は、NFET35a、35bおよびPFET35cを備えている。NFET35a、35bおよびPFET35cはグランド線26と電源線28との間に直列に接続されている。NFET35bとPFET35cとの間のノードN12はキャパシタC1に接続されている。NFET35aのゲートはドレインに接続され、PFET35cのゲートはソースに接続されている。これにより、NFET35aおよびPFET35cは負荷として機能する。NFET35bのゲートに入力端子T_{in}が接続されている。これにより、抑制回路34はソース接地回路として機能する。

【0213】

キャパシタC1はPFET35cを介して電源線28からキャパシタC1に流れる電流により充電される。入力端子T_{in}にスパイク信号50が入力するとFET35bがオンし、ノードN12の電圧を下げる。スパイク信号50の頻度が高ければ、ノードN12(すなわちN1)の電圧は適度に下がるため、ノードN1の電圧は閾値電圧V_{th}に達しない。しかし、スパイク信号50の頻度が低くなると、ノードN12の電圧が高くなり、閾値電圧V_{th}に達する。

【0214】

入力端子T_{in}に一定周波数でスパイク信号50を入力し、ノードN1の電圧および出力端子T_{out}に出力されるスパイク信号52をシミュレーションした。入力信号のスパイク信号50の高さおよび幅を1Vおよび2nsとした。

【0215】

図40(a)および図40(b)は、実施例5の変形例4における時間に対するノード

10

20

30

40

50

N 1 の電圧および出力電圧を示す図である。図 4 0 (a) および図 4 0 (b) は、それぞれ入力スパイク信号の周波数が 2 0 0 H z および 1 0 0 H z のときの図である。

【 0 2 1 6 】

図 4 0 (a) に示すように、電源線 2 8 から P F E T 3 5 c を介した電流によりキャパシタ C 1 が充電されるとノード N 1 の電圧は上昇する。スパイク信号 5 0 が入力すると、N F E T 3 5 b がオンしノード N 1 2 の電圧を低くする。P F E T 3 5 c を介し電源線 2 8 からノード N 1 2 に流れる電流と、N F E T 3 5 b を介しノード N 1 2 からグランド線 2 6 に流れる電流と、によりノード N 1 の電圧は所定の電圧に飽和する。入力スパイク信号 5 0 の周波数が 2 0 0 H z のとき、ノード N 1 の電圧は 0 . 2 4 V 程度に飽和する。このため、ノード N 1 の電圧は反転回路 1 6 の閾値電圧である 0 . 5 V 以上とならない。よって、出力端子 T o u t からスパイク信号 5 2 は出力されない。

10

【 0 2 1 7 】

図 4 0 (b) に示すように、入力スパイク信号 5 0 の周波数が 1 0 0 H z のとき、N F E T 3 5 b がオンする頻度が低いため、ノード N 1 の電圧は図 4 0 (a) より高くなる。このため、ノード N 1 の電圧は反転回路 1 6 の閾値電圧である 0 . 5 V 以上となる。よって、出力端子 T o u t からスパイク信号 5 2 が出力される。

【 0 2 1 8 】

このように、スパイク生成回路 1 1 8 は、入力端子 T i n に入力するスパイク信号 5 0 の頻度が低くなると出力端子 T o u t にスパイク信号 5 2 を出力する。N F E T 3 5 a および P F E T 3 5 c の抵抗値を変更することで、スパイク信号 5 2 を出力する閾値となる入力スパイク信号 5 0 の頻度を任意に設定できる。

20

【 0 2 1 9 】

実施例 5 の変形例 4 によれば、抑制回路 3 4 は、入力信号として入力スパイク信号 5 0 が入力すると、ノード N 1 の電圧を低くする。出力端子 T o u t は、入力スパイク信号 5 0 が入力する頻度が所定の頻度より低くなると、スパイク信号 5 2 を出力する。入力スパイク信号 5 0 の頻度が下がるとスパイク信号 5 2 を生成する頻度低下検出回路を実現できる。

【 0 2 2 0 】

なお、実施例 2 のように、入力スパイク信号 5 0 が正方向のスパイクのとき、実施例 5 の変形例 2 のように、抑制回路 3 4 は入力スパイク信号 5 0 が入力すると、ノード N 1 の電圧を低くする。実施例 2 の変形例 1 のように、入力スパイク信号 5 0 が負方向のスパイクのとき、抑制回路 3 4 は入力スパイク信号 5 0 が入力すると、ノード N 1 の電圧を高くすればよい。

30

【 0 2 2 1 】

[実施例 5 の変形例 5]

図 4 1 は、実施例 5 の変形例 5 に係るスパイク生成回路の回路図である。図 4 1 に示すように、実施例 5 の変形例 5 のスパイク生成回路 1 1 8 a では、活性化回路 3 4 a は、N F E T 3 5 d、P F E T 3 5 e、3 5 f およびインバータ 3 5 g を備えている。N F E T 3 5 d、P F E T 3 5 e および P F E T 3 5 f はグランド線 2 6 と電源線 2 8 との間に直列に接続されている。N F E T 3 5 d と P F E T 3 5 e との間のノード N 1 2 はキャパシタ C 1 に接続されている。N F E T 3 5 d のゲートはソースに接続され、P F E T 3 5 f のゲートはドレインに接続されている。これにより、N F E T 3 5 d および P F E T 3 5 f は負荷として機能する。P F E T 3 5 e のゲートにインバータ 3 5 g を介し入力端子 T i n が接続されている。

40

【 0 2 2 2 】

キャパシタ C 1 は N F E T 3 5 d を介してノード N 1 2 からグランド線に流れる電流により充電される。入力端子 T i n にスパイク信号 5 0 が入力すると P F E T 3 5 e がオンし、ノード N 1 2 の電圧を上げる。スパイク信号 5 0 の頻度が高ければ、ノード N 1 2 (すなわち N 1) の電圧は適度に上がるため、ノード N 1 の電圧は閾値電圧 V t h に達し、スパイク信号 5 2 が生成される。しかし、スパイク信号 5 0 の頻度が低くなると、ノード

50

N 1 2 の電圧が低くなり、ノード N 1 の電圧は閾値電圧 V_{th} に達しなくなる。

【0223】

このように、実施例 5 の変形例 5 によれば、活性化回路 3 4 a は、入力信号として入力スパイク信号 5 0 が入力すると、ノード N 1 の電圧を高くする。出力端子 T o u t は、入力スパイク信号 5 0 が入力する頻度が所定の頻度より高くなると、スパイク信号 5 2 を出力する。

【0224】

実施例 5 の変形例 4 および 5 によれば、抑制回路 3 4 および活性化回路 3 4 a（入力回路）は入力信号として入力スパイク信号 5 0 が入力すると、ノード N 1 の電圧を高くまたは低くする。反転回路 1 8 は、スパイク信号 5 0 が入力する頻度が所定範囲になると、スパイク信号 5 2 を出力し、所定範囲外のときスパイク信号 5 2 を出力しない。このように、スパイク信号 5 0 の頻度に基づきスパイク信号 5 2 を生成する頻度検出回路を実現できる。

【0225】

〔実施例 5 の変形例 6〕

図 4 2（a）は、実施例 5 の変形例 6 に係るスパイク生成回路の回路図である。図 4 2（a）に示すように、実施例 5 の変形例 6 のスパイク生成回路 1 1 8 b では、入力回路 1 0 は、キャパシタ C 1 と N F E T 3 3 a を有する。N F E T 3 3 a のソースはグランド線 2 6 に接続され、ドレインはノード N 1 に接続されている。N F E T 3 3 a のゲートはソースに接続されている。N F E T 3 3 a はリーク電流が流れる抵抗として機能する。その他の構成は実施例 5 の変形例 2 と同じであり説明を省略する。

【0226】

図 4 2（b）は、実施例 5 の変形例 6 のタイミングチャートである。図 4 2（b）に示すように、入力端子 T i n に入力する入力信号は時間に対し電圧が変化する。入力信号の時間に対する変化量が小さいときノード N 1 の電荷は N F E T 3 3 a を介しグランド線 2 6 に流れるため、ノード N 1 の電圧はほぼ 0 である。時刻 t_{31} において、入力信号が時間に対し急激に変化すると、ノード N 1 の電荷はグランド線 2 6 に流れきれない。このため、ノード N 1 の電圧が V_{th} となり、スパイク信号 5 2 が出力される。

【0227】

実施例 5 の変形例 6 によれば、入力回路 1 0 は、入力信号の時間に対する変化量に応じノード N 1 の電圧を変化させる。反転回路 1 8 は入力信号の時間に対する変化量が所定範囲内のときスパイク信号 5 2 を生成し、所定範囲外のときスパイク信号 5 2 を生成しない。このように、スパイク信号 5 0 の時間に対する変化量に基づきスパイク信号 5 2 を生成する回路を実現できる。

【0228】

実施例 5 およびその変形例のように、スパイク生成回路は、低消費電力で、入力信号の電圧、スパイク信号の頻度、入力信号が入力してから期間、および入力信号の時間の変化率に基づきスパイク信号 5 2 を生成できる。

【実施例 6】

【0229】

実施例 6 は、実施例 1 から 4 およびその変形例を用いた情報処理回路の例である。図 4 3（a）から図 4 3（c）は、実施例 6 に係る情報処理回路のブロック図である。図 4 3（a）に示すように、ノード回路 4 5 は、条件設定回路 4 2、スパイク生成回路 4 0 およびスパイク処理回路 4 4 を備えている。

【0230】

条件設定回路 4 2 には、時間 t に依存した 1 または複数の信号 $V_1(t)$ から $V_2(t)$ 等が入力する。条件設定回路 4 2 は、スパイク生成回路 4 0 がスパイク信号を出力する条件を設定する回路であり、入力した信号 $V_1(t)$ および $V_2(t)$ 等からスパイク生成回路 4 0 に出力する信号（電圧 V_{in} ）を生成する。条件設定回路 4 2 は、例えば実施例 2 から 3 およびその変形例のような入力回路 1 0 を含む。

【0231】

スパイク生成回路40は、例えば実施例2から3およびその変形例のスパイク生成回路である。電圧 V_{in} に基づきスパイク信号52を出力する。

【0232】

スパイク処理回路44は、スパイク信号52を処理する回路であり、インバータまたは2項演算回路等のロジック回路および／またはフリップフロップを含む。スパイク処理回路44は、スパイク信号52を処理しスパイク信号またはL／H(ローレベルおよびハイレベル)信号等の信号44aを出力する。

【0233】

図43(b)に示すように、ノード回路45aから45fは互いに接続されている。ノード回路45aから45dのようにノード回路は多段に接続されていてもよい。ノード回路45bのように、ノード回路45bの出力を複数のノード回路45cおよび45fに分岐してもよい。ノード回路45cのように、複数のノード回路45bおよび45eの出力が入力してもよい。このように、ノード回路45aから45fはネットワークを構成する。

10

【0234】

図43(c)に示すように、ノード回路45が出力した信号46aがフリップフロップ46に入力される。信号46aは、スパイク信号またはローレベル／ハイレベル信号(すなわちローレベルまたはハイレベルの2値信号)である。フリップフロップ46は、信号46aに基づき、ローレベル／ハイレベル信号である信号46bを出力する。Vg生成回路47は、信号46bに基づきFET48のゲートに出力する信号47aを生成する。Vg生成回路47は、例えばロジック回路および昇圧回路等を含む。FET48は、信号47aに基づきオンまたはオフする。

20

【0235】

実施例6によれば、条件設定回路42は、入力した信号を処理し、実施例2から3およびその変形例のスパイク生成回路40に出力することで、スパイク生成回路40がスパイク信号を出力する条件を設定する。スパイク処理回路44は、スパイク生成回路40が出力したスパイク信号52を処理する。これにより、様々な情報処理を低消費電力で可能となる情報処理回路が実現できる。このようなノード回路45をネットワーク状に接続する。これにより、さらに様々な情報処理を低消費電力で可能となる情報処理回路が実現できる。

30

【0236】

条件設定回路42が設定した条件が満たされるイベントが発生した場合、スパイク生成回路40が出力するスパイク信号52は、イベントが発生したことを示すイベント生成情報とイベントが発生した時刻を示すタイミング情報を含むことになる。スパイク信号52は、イベント生成情報とタイミング情報とを含み、次段のスパイク生成回路40またはスパイク処理回路44に伝達される。このように、共通の電源を有する条件設定回路42、スパイク生成回路40およびスパイク処理回路44を相互に直列接続することで、クロック信号を用いることなく任意の情報処理を行うことができる。

【0237】

例えば、ノード回路45のネットワークを形成することで、スパイク生成回路をニューロンとして末梢神経を模倣した情報処理を実現できる。これにより、非常に小さい消費電力の判定回路または制御回路を実現できる。

40

【実施例7】

【0238】

実施例7は、実施例1から4およびその変形例のスパイク生成回路を実施例6の情報処理回路として電力変換回路に用いる例である。振動により発電する振動発電等の環境発電においては、発電回路からの電流 I_{gen} は一定ではなく、刻々と変化する。蓄電回路(例えばキャパシタ)の電圧 V_{cap} は急激には変化できない。よって、蓄電回路の入力インピーダンス $Z_{in} = V_{cap} / I_{gen}$ となり、電流 I_{gen} の変化にともない刻々と変化する。一方、発電回路の出力インピーダンス Z_{out} は一定である。このため、発電

50

回路の出力インピーダンス Z_{out} と蓄電回路の入力インピーダンス Z_{in} に不整合が発生してしまう。実施例 7 では、発電回路と蓄電回路とのインピーダンス整合を小さい消費電力で実現する。

【0239】

図 44 は、実施例 7 に係る電力変換回路のブロック図である。図 44 に示すように、電力変換回路 120 は、整流回路 62、64、判定回路 65 および降圧回路 66 を備えている。電力端子 61a および 61b には発電回路 60 が接続されている。発電回路 60 は交流の電力を発電する。電力端子 61a および 61b には整流回路 62 および 64 が接続されている。整流回路 62 および 64 は、発電回路 60 の出力電力を整流する。降圧回路 66 は整流回路 62 の出力を降圧し、蓄電回路 68 に出力する。整流回路 64 は発電回路 60 の出力電力を整流し蓄電回路 68 に出力する。蓄電回路 68 は電力を蓄電する。判定回路 65 は、整流回路 62 の出力に基づき、整流回路 62 と 64 のいずれを動作させるか判定する。整流回路 62 を用い整流する場合、判定回路 65 は、整流回路 62 および降圧回路 66 を動作させ、整流回路 64 を動作させない。整流回路 64 を用い整流する場合、判定回路 65 は、整流回路 64 を動作させ、整流回路 62 および降圧回路 66 を動作させない。

10

【0240】

図 45 は、実施例 7 における判定回路の動作を説明する図である。発電回路 60 の出力インピーダンス Z_{out} は、例えばピエゾ材料やエレクトレット材料を用いた振動発電の場合 10Ω から $100M\Omega$ であるが、ここでは $100M\Omega$ とする。発電回路 60 の発電電流を $10nA$ のときと $100nA$ のときを考える。電力変換回路 120 が電力端子 61a および 61b において電流 $10nA$ および $100nA$ を $1V$ で受けると電力変換回路 120 の入力インピーダンス Z_{in} はそれぞれ $100M\Omega$ および $10M\Omega$ となる。電力変換回路 120 が電力端子 61a および 61b において電流 $10nA$ および $100nA$ を $10V$ で受けると電力変換回路 120 の入力インピーダンス Z_{in} はそれぞれ $1000M\Omega$ および $100M\Omega$ となる。

20

【0241】

そこで、発電電流が $10nA$ のとき、判定回路 65 は整流回路 64 を動作させる。整流回路 64 は、 $1V$ で整流を行う。これにより、電力変換回路 120 の入力インピーダンス Z_{in} は $100M\Omega$ となる。整流した電力は蓄電回路 68 に蓄電される。発電電流が $100nA$ のとき、判定回路 65 は整流回路 62 および降圧回路 66 を動作させる。整流回路 62 は、 $10V$ で整流を行う。これにより、電力変換回路 120 の入力インピーダンス Z_{in} は $100M\Omega$ となる。降圧回路 66 は、整流された $10V$ の電力を $1V$ に降圧する。降圧された電力は蓄電回路 68 に蓄電される。

30

【0242】

このように、発電回路 60 の出力インピーダンス Z_{out} と電力変換回路 120 の入力インピーダンス Z_{in} を整合させることができる。

【0243】

以下、実施例 7 の具体例を説明する。整流回路 62 としてダイオードブリッジ回路を用いる。整流回路 62 は高電圧（例えば $10V$ ）を整流するため、ダイオードのターンオン電圧による電力消費は少ない。整流回路 64 は低電圧を整流するため、ブリッジ回路を用いるとダイオードのターンオン電圧により消費電力が大きくなる。そこで、整流回路 64 として同期整流回路を用いる。

40

【0244】

以下の回路図内の記号について説明する。図 46 (a) から図 46 (c) は、実施例 7 におけるスパイク生成回路の記号を示す図である。図 46 (a) に示すように、スパイク生成回路 74a の下の端子は入力端子 75a であり、上の端子は出力端子 76a である。スパイク生成回路 74a は実施例 5 の電圧判定回路である。円内の $8V$ は、閾値電圧 V_{inth} が $8V$ であることを示している。

【0245】

50

図４６（ｂ）に示すように、スパイク生成回路７４ｂの下の端子は入力端子７５ｂであり、上の端子は出力端子７６ｂである。スパイク生成回路７４ｂは実施例５の変形例１の遅延回路である。円内の１００ｎｓは、遅延時間が１００ｎｓであることを示している。

【０２４６】

図４６（ｃ）に示すように、スパイク生成回路７４ｃの下の端子は入力端子７５ｃであり、上の端子は出力端子７６ｃである。スパイク生成回路７４ｃは実施例５の変形例２の頻度低下検出回路である。円内のＬＫは、頻度低下検出回路であることを示している。

【０２４７】

図４７（ａ）から図４７（ｃ）は、実施例７におけるフリップフロップ回路の動作を示す図である。図４７（ａ）に示すように、フリップフロップ回路（ＦＦ）７０は、入力端子７１ａ、７１ｂ、出力端子７２ａおよび７２ｂを備えている。

【０２４８】

図４７（ｂ）に示すように、入力端子７１ａに信号７３が入力すると、ＦＦ回路７０は出力端子７２ａにローレベルを、出力端子７２ｂにハイレベルを出力する。信号７３は、正方向のスパイク信号またはハイレベルの信号である。ＦＦ回路７０は、次に入力端子７１ｂに信号７３が入力するまで、出力端子７２ａをローレベルに、出力端子７２ｂをハイレベルに維持する。

【０２４９】

図４７（ｃ）に示すように、入力端子７１ｂに信号７３が入力すると、ＦＦ回路７０は出力端子７２ａにハイレベルを、出力端子７２ｂにローレベルを出力する。ＦＦ回路７０は、次に入力端子７１ａに信号７３が入力するまで、出力端子７２ａをハイレベルに、出力端子７２ｂをローレベルに維持する。

【０２５０】

〔判定回路〕

図４８は、実施例７における判定回路の回路図である。図４９は実施例７における時間に対する判定回路の各ノードの電圧を示す図である。図４８および図４９に示すように、ノードＢ１は整流回路６２の出力である。ノードＢ４は降圧動作スパイクを出力する。ノードＢ２８は降圧回路６６の動作を停止させかつ整流回路６４の動作を開始させる切替スパイク信号を出力する。ノードＢ２９は、整流回路６２および降圧回路６６を動作させるときハイレベルでありかつ整流回路６４を動作させるときローレベルとなる切替信号を出力する。

【０２５１】

時刻ｔ０１において、整流回路６２および降圧回路６６が動作しており、整流回路６４が停止している。ノードＢ４、Ｂ２６、Ｂ２７およびＢ２８の電圧はローレベルであり、Ｂ２９の電圧はハイレベルである。整流回路６２の出力ノードＢ１の電圧が８Ｖ以上となると、スパイク生成回路Ｘ４はノードＢ４に降圧動作スパイク信号としてスパイク信号８０を出力する。発電回路６０が出力する電流が小さくなると、ノードＢ１の電圧が８Ｖ以上となる回数が減ってくる。ノードＢ４のスパイク信号８０の頻度が低下する。ノードＢ４のスパイク信号８０の頻度が所定以下に低下すると、スパイク生成回路Ｘ３８は、時刻ｔ０２においてノードＢ２６にスパイク信号８１を出力する。スパイク信号８１が入力したＦＦ回路Ｘ４０はノードＢ２７にハイレベルを出力する。これにより、スパイク生成回路Ｘ４１の入力はローレベルからハイレベルとなる。スパイク生成回路Ｘ４１は、ノードＢ２７がハイレベルとなってから１００ｎｓ後の時刻ｔ０３にノードＢ２８にスパイク信号８２を出力する。スパイク信号８２が入力したＦＦ回路Ｘ４０はノードＢ２７をハイレベルからローレベルにする。スパイク信号８２が入力したＦＦ回路Ｘ３７はノードＢ２９をローレベルとする。

【０２５２】

以上のように発電回路６０の発電電流が小さくなると、ノードＢ１が８Ｖ以上となる頻度が減り、ノードＢ２８に切替スパイク信号が出力される。また、ノードＢ２９の切替信号がローレベルとなる。このように、低消費電力のスパイク生成回路を用い、切替スパイ

10

20

30

40

50

ク信号および切替信号を生成できる。

【0253】

ノードB1の電圧が所定電圧以上か以下かを判定する判定回路は、コンパレータ等を用い実現できる。しかしながら、判定回路にコンパレータを用いると消費電力が大きくなる。実施例7では、判定回路を実施例2から3およびその変形例を用い実現するため、消費電力を低減できる。

【0254】

[整流回路62]

図50は、実施例7における整流回路62を示す回路図である。図50に示すように、NFETm1からm4はゲートがドレインに接続されておりダイオードとして機能する。整流回路62はダイオードブリッジ回路である。ダイオードブリッジ回路の入力端子は電力端子61aおよび61bに接続される。電力端子61aおよび61bには発電回路60に相当する、交流電流I1の電流源と10MΩが、接続される。ダイオードブリッジ回路の出力は図48のノードB1（後述する図51（a）のノードAに相当する）に接続されている。

【0255】

[降圧回路]

図51（a）から図51（c）は、実施例7における降圧回路の模式図である。図51（a）に示すように、整流回路62の出力はノードAである。ノードAとグランドとの間にキャパシタC1およびPFETM4が直列に接続されている。キャパシタC1は一次キャパシタである。PFETM4はスイッチである。ノードAとグランドとの間にインダクタL1およびキャパシタC4が直列に接続されている。キャパシタC4は2次キャパシタであり、蓄電回路68に相当する。インダクタL1とキャパシタC4との間にスイッチとしてNFETM3が接続されている。キャパシタC1とインダクタL1との間のノードとグランドとの間にスイッチとしてNFETM2が接続されている。

【0256】

キャパシタC1およびC4の容量値をそれぞれ100pFおよび10nFとし、インダクタL1のインダクタンスを0.3nHとする。NFETM4のオン抵抗（例えば10kΩ）の電圧降下が無視できるようにこれらの値を設定した。これらの値は適宜設定できる。

【0257】

降圧回路66の動作時においてNFETM3はオンである。ノードAの電圧が低下すると、PFETM4がオンしNFETM2がオフする。これにより、図51（b）のように、キャパシタC1に蓄電されていた電荷が電流IaとしてインダクタL1を通過しキャパシタC4に充電される。このとき、インダクタL1には磁束エネルギーが蓄積される。

【0258】

キャパシタC1内の電荷が少なくなると、PFETM4がオフしNFETM2がオンする。図51（c）のように、インダクタL1の磁束エネルギーが電流Ibを流し、キャパシタC4に蓄電される。これにより、インダクタL1の磁束エネルギーがキャパシタC4に回収される。

【0259】

例えば、キャパシタC1およびC4の充電時の電圧をそれぞれ10Vおよび1Vとすると、キャパシタC4にはキャパシタC1の10倍の電荷が蓄積されることになる。図51（b）では、キャパシタC1に蓄積されていた電荷がキャパシタC4に充電される。このとき、インダクタL1の磁束エネルギーとしてエネルギーを蓄積する。図51（c）では、磁束エネルギーとして蓄積されていたエネルギーを電流Ibに変えキャパシタC4を充電する。これにより、キャパシタC1に蓄積されていた電荷の約10倍の電荷をキャパシタC4に蓄積できる。

【0260】

図52は、実施例7における降圧回路の回路図である。図53は、実施例7における時間に対する降圧回路の各ノードの電圧を示す図である。図52および図53に示すように

、時刻 t_{11} から t_{12} では、ノード A の電圧は 8 V に達していない。この間、ノード O はローレベルである。ノード O がローレベルのとき N F E T M 3 はオフし、ノード O がハイレベルのとき N F E T M 3 はオンする。よって、時刻 t_{11} と t_{12} の間では、N F E T M 3 はオフする。インダクタ L 1 を右方向に通過する電流 I_{L1} は 0 である。整流回路 6 2 の出力はキャパシタ C 1 を充電し、ノード A の電圧が高くなっていく。

【0261】

N F E T M 3 の動作について説明する。N F E T M 3 および M 7 の閾値電圧を 0.4 V とする。N F E T M 7 はノード O から R の方向が順方向のダイオードとして機能する。ノード O がローレベルのとき、N F E T M 3 のゲートの電圧は、キャパシタ C 4 の一端のノード R の電圧よりダイオードのターンオン電圧に相当する約 -0.3 V 低くなる。よって、N F E T M 3 はオフする。

10

【0262】

時刻 t_{12} において、ノード A の電圧が 8 V を越えると、判定回路 6 5 は降圧動作スパイク信号 8 0 をノード B に出力する。F F 回路 X 2 4 はノード O にハイレベルを出力する。N F E T M 3 のゲートは、ノード R の電圧より約 +0.7 V 高くなり、N F E T M 3 はオンする。これにより、インダクタ L 1 に電流 I_{L1} が流れ始める。

【0263】

さらに、時刻 t_{12} において、F F 回路 X 2 1 のノード B に降圧動作スパイク信号 8 0 が入力する。F F 回路 X 2 1 はノード C にハイレベルを出力し、キャパシタ C 2 の一端にローレベルを出力する。スパイク生成回路 X 2 8 はノード C がハイレベルとなった時刻 t_{12} から $1 \mu s$ 後の時刻 t_{13} にノード E にスパイク信号 8 3 を出力する。これにより、時刻 t_{13} において F F 回路 X 2 1 はノード C にローレベルを出力し、キャパシタ C 2 の一端にハイレベルを出力する。これにより、ノード C は時刻 t_{12} と t_{13} の間の $1 \mu s$ の期間においてハイレベルとなり、他の期間においてローレベルとなる。

20

【0264】

ノード D はダイオードとして機能する N F E T M 6 を介しグラウンドに接続されている。これにより、ノード D は時刻 t_{12} と t_{13} の間において負の電圧となり、他の期間（時刻 t_{13} 以降を含む）において 0 V となる。これにより、ゲートがノード D に接続された P F E T M 4 は時刻 t_{12} と t_{13} の間においてオンする。これにより、P F E T M 4 および N F E T M 3 がともにオンし、図 5 1 (b) の接続関係となる。キャパシタ C 1 に充電されていた電荷が電流 I_{C1} としてノード A に流れる。電流 I_{C1} はインダクタ L 1 を通過する電流 I_{L1} となり、キャパシタ C 4 を充電する。

30

【0265】

N F E T M 1 のゲートは F F 回路 X 2 2 の出力に接続されている。N F E T M 1 は降圧回路 6 6 を動作させるスイッチであるが、説明を省略する。N F E T M 10 および M 11 は、ノード A が負に大きな電圧となって回路を破壊するのを防ぐための、電圧リミッタとして機能する。

【0266】

時刻 t_{13} において、スパイク信号 8 3 が F F 回路 X 3 4 に入力すると、F F 回路 X 3 4 はノード F をハイレベルとする。スパイク生成回路 X 3 2 はノード F がハイレベルとなった時刻 t_{13} から $1 \mu s$ 遅延した時刻 t_{14} にノード G にスパイク信号 8 4 を出力する。時刻 t_{13} と t_{14} の間において、ノード F はハイレベルでありノード H はローレベルのため、X O R 回路 X 2 3 はノード G a t e にハイレベルを出力する。時刻 t_{14} においてスパイク信号 8 4 が F F 回路 X 2 6 に入力すると、F F 回路 X 2 6 はノード H にハイレベルを出力する。これにより、時刻 t_{14} と t_{15} との間において、X O R 回路 X 2 3 はノード G a t e にローレベルを出力する。

40

【0267】

インバータ X 3 5 はノード G a t e の信号を反転しキャパシタ C 5 の一端に出力する。キャパシタ C 5 の他端に接続されたノード I はダイオードとして機能する N F E T M 8 を介しグラウンドに接続されている。このため、ノード I の電圧は、ノード G a t e がローレ

50

ベルのとき 0 V、ノード Gate がハイレベルのとき負電圧となる。すなわち時刻 t_{13} と t_{14} との間においてノード I は負電圧となり、時刻 t_{14} と t_{15} との間においてノード I は 0 V となる。

【0268】

ゲートがノード Gate に接続された NFETM2 およびゲートがノード I に接続された PFETM5 は、時刻 t_{13} と t_{14} との間においてオンし、時刻 t_{14} と t_{15} との間においてオフする。

【0269】

時刻 t_{13} と t_{14} の間において、PFETM4 はオフし、PFETM5 および NFETM3 がオンする。よって、図 51 (b) の接続関係となる。時刻 t_{13} と t_{14} の間において、インダクタ L1 を流れる電流 I_{L1} に相当する電流 I_{M5} が PFETM5 を流れ、キャパシタ C4 が充電される。

【0270】

NOR 回路 X29 はノード C とノード Gate の NOR を PFETM9 のゲートに出力する。PFETM9 のドレインは 1 V の定電圧源 V22 に接続されている。ノード C とノード Gate がともにローレベルの期間において PFETM9 はオフし、他の期間において PFETM9 はオンする。これにより、時刻 t_{13} と t_{14} との間において PFETM9 はオンしノード J はハイレベル (1 V) となる。キャパシタ C6 は一端がノード A に接続され、他端がノード J に接続されている。時刻 t_{13} と t_{14} の間においてキャパシタ C6 はノード A と J との電位差で充電される。時刻 t_{14} と t_{15} との間においてキャパシタ C6 に充電されていた電荷が放電されるとノード J は負電圧となる。

【0271】

インバータ X36 はノード J の電圧を反転しノード K に出力する。スパイク生成回路 X30 はノード K の電圧が 0.5 V 以上になるとスパイク信号 85 をノード L に出力する。OR 回路 X31 はノード L とノード N の OR を FF 回路 X26 に出力する。時刻 t_{15} において、ノード J の電圧が約 -0.5 V 以下となると、ノード K の電圧は +0.5 V 以上となる。スパイク生成回路 X30 がスパイク信号 85 を出力すると OR 回路 X31 は FF 回路 X26 にスパイク信号 85 を出力する。これにより、FF 回路 X26 はノード H をローレベルとする。ノード Gate はハイレベルとなる。

【0272】

このように、ノード Gate は、1 μ s の期間ハイレベルとなり、PFETM9 がオフしてからノード J が約 -0.5 V 以下となるまでの期間ローレベルとなる。インダクタ L1 の電流 I_{L1} が流れている間は、ノード Gate はハイレベルとローレベルとを繰り返す。

【0273】

インダクタ L1 に蓄積されている磁束エネルギーが小さくなるとインダクタ L1 を流れる電流 I_{L1} は徐々に小さくなる。時刻 t_{16} において、電流 I_{L1} がほぼ 0 となる。ノード A の電圧は 1 V 程度に低下するため、キャパシタ C6 はほとんど充電されていない。このため、時刻 t_{16} において PFETM9 がオフしてもノード J は長時間約 -0.5 V 以下とならない。このため、ノード K は +0.5 V 以上とならず、スパイク生成回路 X30 はスパイク信号 85 を出力しない。時刻 t_{16} にノード H の電圧がハイレベルとなってから 100 ns 経過した時刻 t_{17} において、スパイク生成回路 X27 はスパイク信号 86 をノード N に出力する。これにより、FF 回路 X24 がノード O にローレベルを出力する。NFETM3 がオフし、降圧回路 66 の降圧動作が終了する。

【0274】

図 54 は、実施例 7 における時間に対するノード A および R の電圧を示す図である。図 53 は例えば図 54 内の範囲 RE 内の動作を示している。図 54 に示すように、整流回路 62 が動作し始めると、キャパシタ C1 に電荷が蓄積されノード A の電圧が上昇する。ノード A の電圧が 8 V 以上となると、図 53 の時刻 t_{11} から t_{17} の間の降圧動作が開始される。ノード A の電圧は低下し、ノード R の電圧が上昇する。ノード A の電圧が 1 V 程

10

20

30

40

50

度となると、降圧動作が終了する。キャパシタ C 1 に電荷が蓄積されノード A の電圧が上昇する。このように、降圧動作を行うたびにノード R の電圧が上昇し、キャパシタ C 4 が充電される。

【0275】

降圧回路の NFETM3、PFETM4 および M5 のオンおよびオフを制御する制御回路にコンパレータ等を用いると消費電力が大きくなる。実施例 7 のように、NFETM3、PFETM4 および M5 のオンおよびオフの制御にスパイク生成回路を用いることにより、低消費電力で降圧動作が可能となる。

【0276】

[同期整流回路]

図 55 (a) から図 55 (c) は、実施例 7 における同期整流回路の模式図である。図 55 (b) および図 55 (c) では電氣的な接続を実線で示し、電氣的な遮断を破線で示す。

【0277】

図 55 (a) に示すように、同期整流回路 64 では、電力端子 61a は、パスゲート X9 を介しキャパシタ C4 の正側端子 68a に接続され、パスゲート X10 を介しキャパシタ C4 の負側端子 68b (例えばグランド) に接続されている。電力端子 61b は、パスゲート X12 を介しキャパシタ C4 の正側端子 68a に接続され、パスゲート X11 を介しキャパシタ C4 の負側端子 68b に接続されている。

【0278】

パスゲート X9 および X11 は、電圧 V3 および V4 がそれぞれローレベルおよびハイレベルのときオンし、電圧 V3 および V4 がそれぞれハイレベルおよびローレベルのときオフする。パスゲート X10 および X12 は、電圧 V3 および V4 がそれぞれハイレベルおよびローレベルのときオンし、電圧 V3 および V4 がそれぞれローレベルおよびハイレベルのときオフする。

【0279】

図 55 (b) に示すように、電力端子 61a が 61b に対し正の電圧のとき、電圧 V3 および V4 をそれぞれローレベルおよびハイレベルとする。これにより、電力端子 61a はキャパシタ C4 の正側端子 68a に接続され負側端子 68b から遮断される。電力端子 61b はキャパシタ C4 の負側端子 68b に接続され正側端子 68a から遮断される。

【0280】

図 55 (c) に示すように、電力端子 61a が 61b に対し負の電圧のとき、電圧 V3 および V4 をそれぞれハイレベルおよびローレベルとする。これにより、電力端子 61a はキャパシタ C4 の負側端子 68b に接続され正側端子 68a から遮断される。電力端子 61b はキャパシタ C4 の正側端子 68a に接続され負側端子 68b から遮断される。以上により、交流電力を整流しキャパシタ C4 に充電できる。

【0281】

図 56 は、実施例 7 における同期整流回路の回路図である。図 57 は、実施例 7 における時間に対する同期整流回路の各ノードの電圧を示す図である。図 56 および図 57 に示すように、時刻 t21 以降に発電回路 60 から交流電流 I1 が電力端子 61a および 61b に入力する。電力端子 61a および 61b 間の終端抵抗は 100 MΩ である。

【0282】

スパイク生成回路 X5 は自発的に 1ms ごとにスパイク信号 87 を電圧 V0 として出力する。時刻 t22 においてスパイク信号 87 が出力されると、FF 回路 X2 は電圧 V5 および V6 をそれぞれハイレベルおよびローレベルとする。これにより、パスゲート X13 および X15 がオフし、パスゲート X7 および X8 がオンする。時刻 t22 では電力端子 61a および 61b はそれぞれ正電圧および負電圧のため、パスゲート X13 および X15 がオフすると、発電回路 60 から入力する電流により電圧 V1 が上昇し、電圧 V2 が下降する。

【0283】

10

20

30

40

50

電圧 V_1 が 0.5 V 以上となると、時刻 t_{23} においてスパイク生成回路 X_3 は電圧 V_{10} にスパイク信号 88 を出力する。スパイク生成回路 X_4 はスパイク信号を出力しない。OR 回路 X_6 は、FF 回路 X_2 にスパイク信号 88 を出力する。これにより、FF 回路 X_2 は、電圧 V_5 および V_6 をそれぞれローレベルおよびハイレベルとする。パスゲート X_{13} および X_{15} がオンし、パスゲート X_7 および X_8 がオフする。時刻 t_{22} と t_{23} との間は例えば 10 ns である。

【0284】

時刻 t_{23} において、スパイク生成回路 X_3 が出力したスパイク信号 88 が FF 回路 X_1 に入力すると、FF 回路 X_1 は電圧 V_3 および V_4 をそれぞれハイレベルおよびローレベルとする。パスゲート X_9 および X_{11} がオンし、パスゲート X_{10} および X_{12} がオフする。これにより、時刻 t_{23} から時刻 t_{25} までの期間において、図 55 (b) のように、電力端子 $61a$ および $61b$ はキャパシタ C_4 のそれぞれ正側端子 $68a$ および負側端子 $68b$ に接続される。時刻 t_{23} と時刻 t_{25} の間において、時刻 t_{23} と t_{24} の間のようにパスゲート X_{13} および X_{15} がオンすると、キャパシタ C_4 の電流 I_{C4} が流れ、キャパシタ C_4 が充電される。

【0285】

その後、時刻 t_{25} までは、スパイク生成回路 X_3 がスパイク信号 88 を出力し、スパイク生成回路 X_4 はスパイク信号を出力しないため、FF 回路 X_1 は電圧 V_3 および V_4 をそれぞれローレベルおよびハイレベルに維持する。

【0286】

時刻 t_{25} において、電力端子 $61a$ および $61b$ がそれぞれ負電圧および正電圧となる。パスゲート X_{13} および X_{15} がオフすると、発電回路 60 から入力する電流により電圧 V_2 が上昇し、電圧 V_1 が下降する。電圧 V_2 が 0.5 V 以上となると、時刻 t_{26} においてスパイク生成回路 X_4 は電圧 V_{11} にスパイク信号 89 を出力する。スパイク生成回路 X_3 はスパイク信号を出力しない。

【0287】

スパイク生成回路 X_4 が出力したスパイク信号 89 が FF 回路 X_1 に入力すると、FF 回路 X_1 は電圧 V_3 および V_4 をそれぞれハイレベルおよびローレベルとする。パスゲート X_9 および X_{11} がオフし、パスゲート X_{10} および X_{12} がオンする。これにより、時刻 t_{26} から時刻 t_{28} までの期間において、図 55 (c) のように、電力端子 $61a$ および $61b$ はキャパシタ C_4 のそれぞれ負側端子 $68b$ および正側端子 $68a$ に接続される。時刻 t_{26} と時刻 t_{28} の間において、時刻 t_{26} と t_{27} との間のようにパスゲート X_{13} および X_{15} がオンすると、キャパシタ C_4 の電流 I_{C4} が流れ、キャパシタ C_4 が充電される。その後、電力端子 $61a$ および $61b$ がそれぞれ正電圧および負電圧となると、時刻 t_{22} から繰り返す。

【0288】

図 58 は、実施例 7 における時間に対する同期整流回路によるキャパシタの充電電圧を示す図である。発電回路 60 からの電流を最大振幅が 10 nA の交流電流としてキャパシタ C_4 の電圧をシミュレーションした。図 58 に示すように、最大振幅が 10 nA という非常に小さい電流でもキャパシタ C_4 が充電され、キャパシタ C_4 の電圧が上昇している。

【0289】

同期整流回路のパスゲート X_9 から X_{12} のオンおよびオフを制御する制御回路にコンパレータ等を用いると消費電力が大きくなる。実施例 7 のように、パスゲート X_9 から X_{12} のオンおよびオフの制御にスパイク生成回路を用いることにより、低消費電力で同期整流が可能となる。

【0290】

実施例 7 の電力変換回路についてシミュレーションを行った。シミュレーションした回路は、説明した判定回路 65 、整流回路 62 、 64 、降圧回路 66 および蓄電回路 68 を含む回路であり、 18 個のスパイク生成回路、 17 個の FF 回路を含み、FET を約 340 個含む。

10

20

30

40

50

【0291】

図59は、実施例7における時間に対する発電電流およびキャパシタの電圧を示す図である。図59に示すように、発電回路60は、期間T1およびT3において最大振幅が500nAの交流電流I1を発電し、期間T2において最大振幅が40nAの交流電流I1を発電する。期間T1では判定回路65は整流回路62および降圧回路66を動作させる。これにより、蓄電回路68のキャパシタC4の電圧が高くなり、蓄電回路68に蓄電されている。

【0292】

期間T2となると、発電回路が発電する電流I1が小さくなるため、整流回路62の入力インピーダンスは発電回路60の出力インピーダンスより高くなる。このため、判定回路65は整流回路62から同期整流回路64に自発的に切り替える。これにより、同期整流回路64の入力インピーダンスと発電回路60の出力インピーダンスがほぼ整合する。よって、期間T2の矢印58のように、蓄電回路68に蓄電される。

10

【0293】

期間T3となると、発電回路が発電する電流I1が大きくなるため、同期整流回路64の入力インピーダンスは発電回路60の出力インピーダンスより低くなる。このため、判定回路65は同期整流回路64から整流回路62に自発的に切り替える。これにより、整流回路62の入力インピーダンスと発電回路60の出力インピーダンスがほぼ整合する。よって、期間T3では、蓄電回路68に蓄電される。

20

【0294】

電力変換回路120の制御にスパイク生成回路およびFF回路を用いることで、電力変換回路の制御のための電力を1nW以下にできる。この制御電力は、同様の電力変換回路を制御IC(Integrated Circuit)等を用い実現する場合より3桁小さい電力である。よって、発電回路60が発電する電力が数nWと微小であっても、蓄電可能な電力変換回路を実現できる。

【0295】

実施例7によれば、図44のように、整流回路62および64は、入力した電力を整流する。判定回路65は、図48のように、実施例1から3およびその変形例のスパイク生成回路を含み、整流回路62および64のいずれか一方に電力を整流させる。実施例1から3およびその変形例のスパイク生成回路を用いることにより、低消費電力の判定回路65を実現できる。このため、nW程度の微小電力を整流できる。

30

【0296】

降圧回路66では、NFETM3からM5(スイッチ素子)のオンおよびオフを制御する制御回路は、実施例2から3およびその変形例のスパイク生成回路を含む。同期整流回路64では、パスゲートX9からX12(スイッチ素子)のオンおよびオフを制御する制御回路は、実施例2から4およびその変形例のスパイク生成回路を含む。これにより、低消費電力の制御回路を実現できる。

【0297】

実施例1から3およびその変形例のスパイク生成回路を用いる電力変換回路として、降圧回路66および同期整流回路64を例に説明したが、電力変換回路は、他の回路構成の降圧回路、昇圧回路、直流-交流電力変換回路または交流-直流電力変換回路でもよい。

40

【実施例8】

【0298】

実施例8およびその変形例1は、実施例1~4およびその変形例に係るスパイク生成回路を閾値判別回路(電圧判定回路)に用いる例である。実施例1~4、8およびその変形例において、単発のスパイク信号とは、スパイク信号のパルス幅に対しスパイク信号の間隔が十分に広い信号であり、例えばスパイク信号の間隔に対しパルス幅は1/10以下であり、1/100以下である。

【0299】

図60(a)は、実施例8に係るスパイク生成回路の回路図である。図60(a)に示

50

すように、スパイク生成回路151は、入力回路10および出力回路150を備えている。入力回路10は電圧変換回路30aおよびキャパシタC1を有する。電圧変換回路30aは素子37a、37bおよび抵抗37cを有する。素子37aおよび37bは入力端子Tinとグランド線26との間に直列に接続されている。素子37aと37bとの間のノードN11と入力回路10の出力ノードNoとの間に抵抗37cが接続されている。キャパシタC1は出力ノードNoとグランド線26との間に接続されている。

【0300】

出力回路150は、例えば実施例1およびその変形例のスパイク生成回路130から136である。入力回路10の出力ノードNoは出力回路150の中間ノードNiに接続されている。

【0301】

入力端子Tinに入力した入力信号の電圧は素子37aおよび37bにより分割され、分割された電圧がノードN11に出力され出力ノードNoに出力される。このように、実施例5およびその変形例1と同様に電圧変換回路30aが入力信号の電圧を変換する。このため、出力回路150は、入力信号の電圧が所定電圧以上のとき単発のスパイク信号を出力し、入力信号の電圧が所定電圧未満のときスパイク信号を出力しない。または、出力回路150は、入力信号の電圧が所定電圧以下のとき単発のスパイク信号を出力し、入力信号の電圧が所定電圧より大きいときスパイク信号を出力しない。

【0302】

素子37aおよび37bは入力信号の電圧を分割する素子であればよく、例えば、抵抗、ダイオードまたはトランジスタを用いることができる。また、素子37aは定電流素子として機能してもよい。

【0303】

素子37aおよび37bの寄生容量が大きいと、波形のきれいなスパイク信号が生成されないことがある。そこで、抵抗37cを設けることで、出力回路150から素子37aおよび37bの寄生容量を見えにくくできる。よって、波形のきれいなスパイク信号を生成できる。素子37aおよび37bの出力回路150への影響を小さくするため、キャパシタC1の容量値と抵抗37cの抵抗値との積は出力回路150が出力するスパイク信号の幅より大きいことが好ましい。

【0304】

〔実施例8の変形例1〕

図60(b)は、実施例8の変形例1に係るスパイク生成回路の回路図である。図60(b)に示すように、スパイク生成回路153では、電圧変換回路30cはダイオード37e、37gおよびFET37fを有する。ダイオード37gは入力端子TinとノードN11との間に順方向に2個接続され、ダイオード37eはノードN11とグランド線26との間に順方向に接続されている。ダイオード37eおよび37gはFETのゲートをソースに接続したトランジスタダイオードでもよい。入力端子Tinに入力された入力信号はダイオード37gと37eとで抵抗分割される。

【0305】

FET37fのソースおよびドレインのいずれか一方はノードN11に接続され、ソースおよびドレインの他方はノードNoに接続されている。ゲートは電源線28に接続されている。FET37fは抵抗として機能する。その他の構成は実施例8と同じであり説明を省略する。

【0306】

各ダイオード37eおよび37gの両端に加わる電圧がダイオードの順方向電圧（電圧降下）より十分小さければ、各ダイオード37eおよび37gを流れる電流は非常に小さいため、電圧変換回路30cにおいて消費される電力をnW以下とすることができる。例えば入力信号の最大電圧が1Vのとき、ダイオード37eおよび37gの順方向電圧を0.8V程度とすると、ダイオード37eおよび37gを流れる電流は非常に小さくなる。

【0307】

10

20

30

40

50

各ダイオード 37 e および 37 g が逆方向接続されていてもよい。しかし、ダイオードの順方向電流は素子によるばらつきが小さく、逆方向電流は素子によるばらつきが大きい。このため、ダイオード 37 e および 37 g を順方向接続することが好ましい。実施例 8 の素子 37 a および 37 b として抵抗素子を用いてもよい。しかし、高抵抗な抵抗素子は作製しにくい。よって、実施例 8 の変形例 1 のように、順方向接続されたダイオード 37 e および 37 g を用いることが好ましい。

【0308】

実施例 8 の抵抗 37 c を抵抗素子で形成すると、高抵抗の抵抗 37 c を作製しにくい。FET 37 f のオン抵抗を抵抗 37 c として用いることで、適切な抵抗値の抵抗 37 c を実現できる。例えば FET 37 f を PFET とし、電源線 28 の電圧が 1 V とのとき、FET 37 f の閾値電圧を 0.8 程度とすると、FET 37 f のソースとドレインとの間の抵抗は 1 MΩ 以上となる。

【0309】

実施例 8 の変形例 1 のスパイク生成回路におけるスパイク信号をシミュレーションした。図 61 (a) および図 61 (b) は、シミュレーションに用いたそれぞれ実施例 8 の変形例 1 A および 1 に係るスパイク生成回路の回路図である。

【0310】

図 61 (a) に示すように、実施例 8 の変形例 1 A の電圧変換回路 30 d は FET 37 f を有しておらず、ノード N11 と No とに間は直結されている。出力回路 150 の回路は、PFET 14 と PFET 13 b の接続が逆になっている以外は実施例 3 の図 8 のスパイク生成回路と同じである。

【0311】

図 61 (b) に示すように、実施例 8 の変形例 1 では、電圧変換回路 30 c は FET 37 f を有している。出力回路 150 の回路構成は実施例 8 の変形例 1 A の図 61 (a) と同じである。シミュレーションではキャパシタ C1 および C2 の容量値をそれぞれ 2 fF および 4 fF とした。各 FET の条件、電源線 28 およびグランド線 26 の電圧は実施例 3 のシミュレーションと同じである。

【0312】

図 62 (a) から図 62 (d) は、実施例 8 の変形例 1 A のシミュレーション結果を示す時間に対する電圧を示す図である。図 62 (a) は、時間に対する出力端子 Tout の電圧、図 62 (b) は、時間に対する入力端子 Tin およびノード N1 の電圧を示す図である。図 62 (c) および図 62 (d) は、スパイク信号を出力する時間付近における図 62 (a) および図 62 (b) の拡大図である。

【0313】

図 62 (b) に示すように、時間に対し入力端子 Tin の電圧を徐々に増加させる。時間に対しノード N1 の電圧が徐々に増加する。ノード N1 の電圧が閾値電圧である 0.5 V となると、図 62 (a) のようにスパイク信号 52 が出力される。

【0314】

図 62 (c) のように、スパイク信号 52 の立ち上がりが緩やかであり、スパイク信号 52 の波形が崩れている。また、スパイク信号 52 の高さは 1 V に達していない。図 62 (d) のように、ノード N1 の電圧は 0.5 V 付近であり図 9 (b) のような正常なスパイク信号 52 を生成するときの電圧と異なる。実施例 8 の変形例 1 A では、ダイオード 37 e および 37 g の寄生容量が出力回路 150 に影響し、正常なスパイク信号 52 が生成されないと考えられる。

【0315】

図 63 (a) から図 63 (d) は、実施例 8 の変形例 1 のシミュレーション結果を示す時間に対する電圧を示す図である。図 63 (a) は、時間に対する出力端子 Tout の電圧、図 63 (b) は、時間に対する入力端子 Tin およびノード N1 の電圧を示す図である。図 63 (c) および図 63 (d) は、スパイク信号を出力する時間付近における図 63 (a) および図 63 (b) の拡大図である。

【0316】

図63(a)および図63(b)に示すように、時間に対する入力端子Tin、ノードN1および出力端子Toutの電圧の振る舞いは実施例8の変形例1Aとほぼ同じである。

【0317】

図63(c)のように、実施例8の変形例1では、スパイク信号52の立ち上がりは急峻であり、スパイク信号52の波形は図9(a)とほぼ同じである。スパイク信号52の高さは1Vに達している。図63(d)のように、ノードN1の電圧は0.8Vを越えた後0.2V以下に低下しており、図9(b)のノードN1の電圧の振る舞いと同一である。このように、実施例8の変形例1では、抵抗37cとしてFET37fを用いることで、ダイオード37eおよび37gの寄生容量が出力回路150に影響することを抑制し、正常なスパイク信号52が生成される。

10

【0318】

実施例8によれば、キャパシタC1の一端がノードN1(中間ノード)に接続され、他端がグラウンド線26(第1基準電位端子)に接続されている、電圧変換回路30aは、入力端子Tinとグラウンド線26(第2基準電位端子)との間に直列に接続された素子37a(第1素子)と素子37b(第2素子)と、一端が素子37aと37bとの間のノードN11に接続され、他端がノードNo(出力ノード)に接続された抵抗37cと、を備える。抵抗37cにより出力回路150の素子37aおよび37bの寄生容量の影響を抑制できる。よって、適切な波形のスパイク信号52を生成できる。ノードN11とNoとの間に接続される抵抗37cは実施例8の変形例1の図60(b)のようなFET37fでもよい。このように、抵抗37cはリアクタンス成分がほとんどなく、両端の電圧差に対しほぼ線形的に増加する電流を流す素子(これを抵抗素子と呼ぶ)であればよい。

20

【0319】

抵抗37cの抵抗値とキャパシタC1の容量値の積はスパイク信号52の幅より大きいことが好ましい。抵抗37cの抵抗値とキャパシタC1の容量値の積はスパイク信号52の幅の10倍以上がより好ましく、50倍以上がさらに好ましい。

【0320】

実施例8およびその変形例1では、出力回路150は、入力信号の電圧が所定電圧以下のときにスパイク信号52を出力しない閾値判別回路の例である。実施例8およびその変形例1の電圧変換回路30aおよび30cを実施例5の変形例1の図35の電圧変換回路30と置き換えることにより、入力信号の電圧が所定電圧以上のときにスパイク信号52を出力しない閾値判別回路を実現できる。

30

【0321】

実施例5およびその変形例1並びに実施例8およびその変形例1では、出力回路として、実施例1~4およびその変形例に係るスパイク生成回路を用いたが、出力回路150は、ノードNi(中間ノード)が所定電位になることに対応して出力端子Toutに単発の出力スパイク信号52を出力しかつノードNiの電圧をリセットし、入力信号の電圧が所定範囲内のときスパイク信号52を出力しない出力回路であればよい。

【0322】

[実施例8の変形例2]

40

実施例8の変形例2から5は、実施例1~4およびその変形例に係るスパイク生成回路を遅延回路に用いる例である。図64(a)は、実施例8の変形例2に係るスパイク生成回路の回路図である。図64(a)に示すように、スパイク生成回路154は、時定数回路32として、定電流素子または定電流回路33bおよびキャパシタC1を有する。時定数回路32により、スパイク生成回路154は実施例5の変形例3と同様に遅延回路として機能する。定電流素子または定電流回路33bは、両端の電圧差に対応する定電流を生成する素子または回路である。

【0323】

定電流素子または定電流回路33bの好ましい回路構成は、時定数回路32の時定数に依存する。以下、定電流素子または定電流回路33bの好ましい回路を実施例8の変形例

50

3 から 6 として説明する。

【0324】

〔実施例 8 の変形例 3〕

実施例 8 の変形例 3 は、時定数回路 3 2 の時定数を長くする例であり、時定数を例えば 1 m 秒以上とする例である。図 6 4 (b) は、実施例 8 の変形例 3 に係るスパイク生成回路の回路図である。図 6 4 (b) に示すように、時定数回路 3 2 の定電流素子または定電流回路として逆方向に接続されたダイオード 3 3 c を用いる。ダイオード 3 3 c の逆方向電流は小さいため、時定数を長くできる。ダイオード 3 3 c の逆方向電流はダイオード 3 3 c の両端の電圧が変化しても順方向電流ほど電流は変化しない。よって、キャパシタ C 1 が充電されてノード N o の電圧が上昇しても、ダイオード 3 3 c の電流値が減少して充電が途中で止まることはなく、ダイオード 3 3 c の電流値とキャパシタ C 1 のキャパシタンスの大きさとで時定数を設計することができる。出力回路 1 5 0 内の F E T の閾値電圧がばらつくことに起因して、ノード N i の次段のインバータの閾値電圧がばらついても、時定数回路 3 2 の時定数の変化を小さくできる。ダイオード 3 3 c は F E T のゲートをソースに接続したトランジスタダイオードでもよい。

10

【0325】

〔実施例 8 の変形例 4〕

実施例 8 の変形例 4 は、時定数回路 3 2 の時定数を短くする例であり、時定数を例えば 1 μ 秒以下とする例である。図 6 4 (c) は、実施例 8 の変形例 4 に係るスパイク生成回路の回路図である。図 6 4 (c) に示すように、スパイク生成回路 1 5 8 では、時定数回路 3 2 の、定電流素子または定電流回路として P F E T 3 3 d を用いる。P F E T 3 3 d のゲートはグランド線 2 6 に接続され、P F E T 3 3 d はオン状態である。F E T のオン電流を定電流素子の定電流として用いることにより、時定数回路 3 2 の時定数を短くできる。また、F E T のオン電流は F E T の両端の電圧が変化しても大きくは変化しない。よって、キャパシタ C 1 が充電されてノード N o の電圧が上昇しても、P F E T 3 3 d の電流値が減少して充電が途中で止まることはなく、P F E T 3 3 d の電流値とキャパシタ C 1 のキャパシタンスの大きさとで時定数を設計することができる。P F E T 3 3 d は N F E T でもよい。

20

【0326】

P F E T 3 3 d を流れる電流がノード N i をリセットする電流（例えばノード N i の次段のインバータの N F F E T を流れる電流）より大きい場合、ノード N i をリセットできなくなる。よって、P F E T 3 3 d を流れる電流は出力回路 1 5 0 のノード N i をリセットするときの電流）より十分小さいことが好ましい。

30

【0327】

〔実施例 8 の変形例 5〕

実施例 8 の変形例 5 は、時定数回路 3 2 の時定数を中程度とする例であり、時定数を例えば 1 0 n 秒～1 0 m 秒とする例である。図 6 5 は、実施例 8 の変形例 5 に係るスパイク生成回路の回路図である。図 6 5 に示すように、時定数回路 3 2 の定電流回路 3 3 e は、カレントミラー回路 3 6、ダイオード 3 6 c および 3 6 d を備えている。カレントミラー回路 3 6 は P F E T 3 6 a および 3 6 b を備えている。F E T 3 6 a のゲートと F E T 3 6 b のゲートは接続されている。F E T 3 6 a のゲートとドレインは接続されている。F E T 3 6 b のソースは入力端子 T i n に、ドレインはノード N o に接続されている。ダイオード 3 6 c は、入力端子 T i n と F E T 3 6 a のソースとの間に順方向に接続されている。すなわち、アノードおよびカソードはそれぞれ入力端子 T i n および F E T 3 6 a のソースに接続されている。ダイオード 3 6 d は、F E T 3 6 a のドレインとグランド線 2 6 との間に逆方向に接続されている。すなわち、アノードおよびカソードはそれぞれグランド線 2 6 および F E T 3 6 a のドレインに接続されている。

40

【0328】

時定数回路 3 2 では、入力端子 T i n と P F E T 3 6 a との間にダイオード 3 6 c が順方向に接続されている。このため、P F E T 3 6 a のソースの電圧は、P F E T 3 6 b の

50

ソースの電圧よりダイオード 36c の電圧降下 V_a 低くなる。これにより、P F E T 36b にはダイオード 36d の逆方向電流に対し V_a に相当する分大きな電流が流れる。例えば、P F E T 36b にはダイオード 36d の電流の 1 桁～6 桁程度大きな電流が流れる。

【0329】

これにより、定電流回路 33e は実施例 8 の変形例 3 の図 64 (b) のダイオード 33c より 1 桁～6 桁大きい電流を流すことができる。よって、時定数回路 32 は、実施例 8 の変形例 3 より 1 桁～6 桁小さな時定数を有することができる。

【0330】

実施例 8 の変形例 3 のダイオード 33c の逆方向電流と、実施例 8 の変形例 4 の F E T のオン電流の間の電流値を供給する定電流素子または定電流回路 33b として、順方向接続されたダイオードが考えられる。しかし、実施例 8 の変形例 2 の定電流素子または定電流回路 33b に順方向接続されたダイオードを用いると、ダイオードの順方向電流は両端の電圧に対し指数関数的に大きくなる。したがって、キャパシタ C1 が充電されてノード N o の電圧が上昇すると、定電流素子または定電流回路 33b の電流値は指数関数的に減少し、ノード N o の電圧は飽和しようとする。ノード N o の飽和電圧が出力回路 150 の閾値電圧と近い場合、時定数は発散的に長くなり、トランジスタの閾値電圧のばらつきの影響を受けやすくなる。これにより、時定数回路 32 の時定数が例えば 3 桁ばらついてしまう。

【0331】

実施例 8 の変形例 5 では、定電流回路 33e を流れる電流はダイオード 36d の逆方向電流とダイオード 36c の順方向電圧降下 V_a によって定まる。ダイオード 36c および 36d の閾値電圧ばらつきを低く抑えることで、時定数のばらつきの小さな遅延回路を実現できる。

【0332】

実施例 8 の変形例 5 のスパイク生成回路におけるスパイク信号をシミュレーションした。図 66 (a) および図 66 (b) は、シミュレーションに用いたそれぞれ実施例 8 の変形例 5A および 5 に係るスパイク生成回路の回路図である。

【0333】

図 66 (a) に示すように、実施例 8 の変形例 5A の時定数回路 32 の定電流回路 33f はダイオード 36c を有していない。ダイオード 36d として、ソースとゲートが接続された N F E T 36f を用いる。出力回路 150 の回路は実施例 8 の変形例 1 の図 61 (b) と同じである。その他の回路構成は図 65 と同じである。

【0334】

図 66 (b) に示すように、実施例 8 の変形例 5 では、時定数回路 32 の定電流回路 33g はダイオード 36c として、ドレインとゲートが接続された P F E T 36g を用いる。出力回路 150 の回路構成は図 61 (b) と同じである。その他の回路構成は図 65 と同じである。シミュレーションではキャパシタ C1 および C2 の容量値をそれぞれ 2 f F および 4 f F とした。各 F E T の条件、電源線 28 およびグランド線 26 の電圧は実施例 5 の変形例 3 のシミュレーションと同じである。

【0335】

図 67 (a) および図 67 (b) は、実施例 8 の変形例 5A のシミュレーション結果を示す時間に対する電圧を示す図である。図 67 (a) は、時間に対する出力端子 T o u t の電圧、図 67 (b) は、時間に対するノード N 1 の電圧を示す図である。

【0336】

図 67 (a) および図 67 (b) に示すように、実施例 8 の変形例 5A では、遅延時間は 1 m 秒程度である。これは、カレントミラー回路 36 がダイオード (N F E T 36f) の逆方向電流の大きさと同じ大きさの電流を定電流回路 33f が供給する電流とするためである。ダイオード (N F E T 36f) の逆方向電流が小さいため、定電流回路 33f が供給する電流が小さくなり、時定数回路 32 の時定数が長くなってしまふ。F E T 36a に比べて F E T 36b のトランジスタチャネル幅を広げれば電流値を増やし時定数を短く

10

20

30

40

50

できる。しかし、同時にノードN_oの寄生容量も増加する。このためFET36aに比べてFET36bのトランジスタチャネル幅を広げることは好ましくない。

【0337】

図67(c)および図67(d)は、実施例8の変形例5のシミュレーション結果を示す時間に対する電圧を示す図である。図67(c)は、時間に対する出力端子T_{out}の電圧、図67(d)は、時間に対するノードN₁の電圧を示す図である。

【0338】

図67(c)および図67(d)に示すように、実施例8の変形例5では、遅延時間は20μ秒程度である。これは、PFET36gがPFET36aのソースの電圧をPFET36bのソースの電圧より電圧降下V_a低くするため、定電流回路33gが供給する電流がダイオード(NFET36f)の逆方向電流より大きくなるためである。これにより、遅延時間を中程度とすることができる。

【0339】

実施例8の変形例2によれば、時定数回路32は、一端がノードN_o(出力ノード)に接続され、他端がグラウンド線26(第1基準電位端子)に接続されたキャパシタC1と、一端が入力端子T_{in}に接続され、他端がノードN_oに接続された定電流素子または定電流回路33bと、を有する。これにより、実施例8の変形例3から5のように、定電流素子または定電流回路33bが供給する電流を設計することにより、時定数回路32の時定数を設定でき、遅延回路の遅延時間を設定できる。

【0340】

実施例8の変形例5のように、定電流回路33eは、PFET36aおよび36bを備えるカレントミラー回路36である。PFET36b(第1トランジスタ)では、ソース(電流入力端子および電流出力端子のいずれか一方の端子)が入力端子T_{in}に接続され、ドレイン(電流入力端子および電流出力端子の他方の端子)がノードN_oに接続されている。PFET36a(第2トランジスタ)では、ソースが順方向接続されたダイオード36c(第1ダイオード)を介し入力端子T_{in}に接続され、ドレインが逆方向接続されたダイオード36d(第2ダイオード)を介しグラウンド線26(第2基準電位端子)に接続されている。PFET36aと36bのゲートは(制御端子)は互いに接続されている。これにより、中程度の遅延時間のばらつきの小さい遅延回路を実現できる。

【0341】

実施例8の変形例3のように、定電流素子または定電流回路は逆方向接続されたダイオード33cでもよく、オン状態となるように制御端子(ゲート)に電圧が印加されたトランジスタでもよい。

【0342】

実施例5の変形例3並びに実施例8の変形例2から5では、出力回路として、実施例1~4およびその変形例に係るスパイク生成回路を用いたが、出力回路150は、ノードN_iの電圧が閾値電圧になることに対応して出力端子T_{out}に単発の出力スパイク信号52を出力しかつノードN_iの電圧をリセットし、入力信号が入力した後、時定数回路32の時定数に関連した遅延時間後にスパイク信号52を出力する出力回路であればよい。

【0343】

〔実施例8の変形例6〕

実施例8の変形例6から8は、実施例1~4およびその変形例に係るスパイク生成回路を頻度判別回路(頻度検出回路)に用いる例である。図68(a)は、実施例8の変形例6に係るスパイク生成回路の回路図である。図68(a)に示すように、スパイク生成回路161では、入力回路34bとして、電源線28とグラウンド線26との間にPFET38bと定電流素子38cが直列に接続されている。PFET38bと定電流素子38cとの間のノードN₁₂はノードN_oに接続されている。入力端子T_{in}はインバータ38aを介しPFET38bのゲートに接続されている。定電流素子38cとしては、トランジスタ、ダイオードまたは抵抗等を用いることができる。

【0344】

入力回路 34b は、入力端子 T_{in} に入力スパイク信号が入力するとノード N_i の電圧を入力スパイク信号の高さに対応する量高くする。入力端子 T_{in} に入力スパイク信号が入力しないときノード N_i の電圧は入力スパイク信号の幅より長い時定数で徐々に低くなる。例えば、ノード N_i の電荷がノード N_i の次段のインバータの $NFET$ を介しグラウンド線 26 にリークすることにより、ノード N_i の電圧は徐々に低くなる。これにより、スパイク生成回路 161 は実施例 5 の変形例 5 と同様に、入力スパイク信号の頻度が高くなるとスパイク信号を出力する頻度判定回路として機能する。

【0345】

[実施例 8 の変形例 7]

図 68 (b) は、実施例 8 の変形例 7 に係るスパイク生成回路の回路図である。図 68 (b) に示すように、スパイク生成回路 162 では、入力回路 34c として、電源線 28 とグラウンド線 26 との間に $NFET$ 38e と定電流素子 38c が直列に接続されている。定電流素子 38c と $NFET$ 38e との間のノード N_{12} はノード N_o に接続されている。入力端子 T_{in} は $NFET$ 38e のゲートに接続されている。定電流素子 38c としては、トランジスタ、ダイオードまたは抵抗等を用いることができる。

【0346】

入力回路 34c は、入力端子 T_{in} に入力スパイク信号が入力するとノード N_i の電圧を入力スパイク信号の高さに対応する量低くする。入力端子 T_{in} に入力スパイク信号が入力しないときノード N_i の電圧は入力スパイク信号の幅より長い時定数で徐々に高くなる。これにより、スパイク生成回路 162 は実施例 5 の変形例 4 と同様に、入力スパイク信号の頻度が低くなるとスパイク信号を出力する頻度判定回路として機能する。

【0347】

[実施例 8 の変形例 8]

図 68 (c) は、実施例 8 の変形例 8 に係るスパイク生成回路の回路図である。図 68 (c) に示すように、スパイク生成回路 163 では、入力回路 34d として、電源線 28 とグラウンド線 26 との間に $PFET$ 38b と $NFET$ 38e とが直列に接続されている。 $PFET$ 38b と $NFET$ 38e との間のノード N_{12} はノード N_o に接続されている。入力端子 T_{in1} はインバータ 38a を介し $PFET$ 38b のゲートに接続し、入力端子 T_{in2} は $NFET$ 38e のゲートに接続されている。

【0348】

入力回路 34d は、入力端子 T_{in1} に入力スパイク信号が入力するとノード N_i の電圧を入力スパイク信号の高さに対応する量高くし、入力端子 T_{in2} に入力スパイク信号が入力するとノード N_i の電圧を入力スパイク信号に対応する量低くする。

【0349】

これにより、スパイク生成回路 163 は、入力端子 T_{in1} に入力するスパイク信号の頻度が高いとノード N_i の電圧が上昇し、出力回路 150 はスパイク信号を生成しやすくなり、入力端子 T_{in2} に入力するスパイク信号の頻度が低いとノード N_i の電圧が上昇し、出力回路 150 はスパイク信号を生成しやすくなる。このように、入力端子 T_{in1} と T_{in2} に入力されるスパイク信号のバランスにより出力回路 150 がスパイク信号を出力する頻度判定回路として機能する。

【0350】

実施例 8 の変形例 6 から 8 によれば、入力回路 34b から 34d のいずれかを有し、出力回路 150 は、ノード N_i の電圧が閾値電圧となることに対応し出力端子 T_{out} に単発の出力スパイク信号を出力しかつノード N_i の電圧をリセットし、入力スパイク信号が入力する頻度が所定範囲になると、出力スパイク信号を出力する。これにより、頻度判別回路を実現できる。

【0351】

出力回路 150 が実施例 1 の変形例 2 および 3 の入力スパイク信号が正方向の信号であるスパイク生成回路であるときは、入力端子 T_{in} に入力スパイク信号が入力しないときノード N_i の電圧は入力スパイク信号の幅より長い時定数で徐々に低くなる。

【0352】

出力回路150が実施例1の変形例4および5の入力スパイク信号が負方向の信号であるスパイク生成回路であるときは、入力端子Tinに入力スパイク信号が入力しないときノードNiの電圧は入力スパイク信号の幅より長い時定数で徐々に高くなる。このときは、入力端子TinまたはTin1とPFET38bのゲートとの間にインバータ38aを接続せず、入力端子TinまたはTin2とNFET38eのゲートとの間にインバータを接続する。

【0353】

実施例8の変形例6から8では、出力回路として、実施例1～4およびその変形例に係るスパイク生成回路を用いたが、出力回路150は、ノードNiの電圧が閾値電圧になることに対応して出力端子Toutに単発の出力スパイク信号52を出力しかつノードNiの電圧をリセットし、入力スパイク信号が入力する頻度が所定範囲になると、出力スパイク信号を出力する出力回路であればよい。

【0354】

[実施例8の変形例9]

実施例8の変形例9から11は、実施例1～4およびその変形例に係るスパイク生成回路をタイミング回路に用いる例である。図69(a)は、実施例8の変形例9に係るスパイク生成回路の回路図である。図69(a)に示すように、スパイク生成回路164では、入力回路10として、電源線28とノードNoとの間に複数のPFET39aが並列に接続されている。入力端子Tina～Tincは各々インバータ39bを介しPFET39aのゲートに接続される。ノードNoとグランド線26との間にキャパシタC1が接続されている。ノードNoは出力回路150のノードNiに接続されている。

【0355】

図70(a)および図70(b)は、実施例8の変形例9における時間に対する各電圧を示す図である。図70(a)に示すように、時刻t41、t42およびt43に、入力端子Tinc、TinaおよびTinbにそれぞれスパイク信号50が入力する。時刻t41からt43の間隔がノードNiの電圧が下がる時間より小さければ、時刻t43にノードNiの電圧が閾値電圧Vthを超える。これにより、出力回路150は出力端子Toutにスパイク信号52を出力する。

【0356】

図70(b)に示すように、入力端子Tinbにスパイク信号50が入力する時刻t43は時刻t42から離れている。時刻t41とt42とに隣接してスパイク信号50が入力する。ノードNiの電圧は閾値電圧Vthを超えない。時刻t42からt43の間にノードNiの電圧が徐々に下がり、時刻t44においてノードNiの電圧はほぼ0Vとなる。その後、時刻t43にスパイク信号50が入力してもノードNiの電圧は閾値電圧Vthを超えない。その後、ノードNiの電圧は徐々に下がり、時刻t45において0Vとなる。これにより、出力回路150は出力端子Toutにスパイク信号52を出力しない。

【0357】

出力回路150として、実施例1の変形例2および3のスパイク生成回路を用い、入力回路10は、複数の入力端子TinaからTincの少なくとも1つに入力スパイク信号50が入力すると、ノードNiの電圧を高くする。複数の入力端子TinaからTincに入力スパイク信号が入力しないときノードNiの電圧は入力スパイク信号の幅より長い期間をかけて徐々に低くなる。出力回路150は、ノードNiの電圧が閾値電圧Vthとなることに対応し出力端子に単発の出力スパイク信号52を出力する。これにより、スパイク生成回路164は、複数の入力端子TinaからTincに入力する正方向の複数のスパイク信号50がある期間以内に入力したときに、スパイク信号52を出力するタイミング回路として機能する。

【0358】

[実施例8の変形例10]

図69(b)は、実施例8の変形例10に係るスパイク生成回路の回路図である。図6

10

20

30

40

50

9 (b) に示すように、スパイク生成回路 165 では、入力回路 10 として、グランド線 26 とノード No との間に複数の NFET 39c が並列に接続されている。入力端子 Tina ~ Tinc は各々 NFET 39c のゲートに接続される。その他の構成は実施例 8 の変形例 9 と同じであり説明を省略する。

【0359】

出力回路 150 として、実施例 1 の変形例 4 および 5 のスパイク生成回路を用い、入力回路 10 は、複数の入力端子 Tina から Tinc の少なくとも 1 つに負方向の入力スパイク信号 50 が入力すると、ノード Ni の電圧を低くする。複数の入力端子 Tina から Tinc に入力スパイク信号が入力しないときノード Ni の電圧は入力スパイク信号の幅より長い期間をかけて徐々に高くなる。出力回路 150 は、ノード Ni の電圧が閾値電圧 Vth となることに
10 対応し出力端子に単発の出力スパイク信号 52 を出力しかつノード Ni の電圧をリセットする。これにより、スパイク生成回路 165 は、複数の入力端子 Tina から Tinc に入力する負方向の複数のスパイク信号 50 がある期間以内に入力したときに、スパイク信号 52 を出力するタイミング回路として機能する。

【0360】

〔実施例 8 の変形例 11〕

図 69 (c) は、実施例 8 の変形例 11 に係るスパイク生成回路の回路図である。図 69 (c) に示すように、スパイク生成回路 166 では、入力回路 10 として、電源線 28 とノード No との間に複数の PFET 39a が並列に接続されている。入力端子 Tina ~ Tinc は各々インバータ 39b を介し PFET 39a のゲートに接続される。グランド線 26 とノード No との間に複数の NFET 39c が並列に接続されている。入力端子 Tind ~ Tine は NFET 39c のゲートに接続される。その他の構成は実施例 8 の変形例 9 と同じであり説明を省略する。

10

20

【0361】

出力回路 150 として、実施例 1 の変形例 2 および 3 のスパイク生成回路を用い、入力回路 10 は、複数の入力端子 Tina から Tinc の少なくとも 1 つに入力スパイク信号 50 が入力すると、ノード Ni の電圧を高くし、複数の入力端子 Tind から Tine の少なくとも 1 つに入力スパイク信号 50 が入力すると、ノード Ni の電圧を低くする。複数の入力端子 Tina から Tine に入力スパイク信号が入力しないときノード Ni の電圧は入力スパイク信号の幅より長い期間をかけて徐々に低くなる。出力回路 150 は、ノード Ni の電圧が閾値電圧 Vth となることに
30 対応し出力端子 Tout に単発の出力スパイク信号 52 を出力する。これにより、スパイク生成回路 166 は、複数の入力端子 Tina から Tinc に入力する正方向の複数のスパイク信号 50 がある期間以内に入力し、同じ期間内に複数の入力端子 Tind および Tine に入力する正方向の複数のスパイク信号 50 がある個数以下のときに、スパイク信号 52 を出力するタイミング回路として機能する。

30

【0362】

出力回路 150 として、実施例 1 の変形例 4 および 5 のスパイク生成回路を用いる場合、入力端子 Tina ~ Tinc と PFET 39a のゲートとの間にインバータ 39b を接続せず、入力端子 Tind および Tine と NFET 39c のゲートとの間にインバータ 39d を接続する。複数の入力端子 Tina から Tine に入力スパイク信号が入力しないときノード Ni の電圧は入力スパイク信号の幅より長い期間をかけて徐々に高くなる。これにより、スパイク生成回路 166 は、複数の入力端子 Tind および Tine に入力する負方向の複数のスパイク信号 50 がある期間以内に
40 入力し、同じ期間内に複数の入力端子 Tina から Tinc に入力する負方向の複数のスパイク信号 50 がある個数以下のときに、スパイク信号 52 を出力するタイミング回路として機能する。

40

【0363】

実施例 5 の変形例 6 において、入力回路 10 の出力回路は、実施例 1 から 4 およびその変形例以外の回路でもよい。出力回路は、ノード Ni の電圧が閾値電圧となることに
50 対応し出力端子 Tout に単発の出力スパイク信号を出力しかつノード Ni の電圧をリセットし

50

、入力信号の時間に対する変化量が所定範囲になると、出力スパイク信号を出力すればよい。

【実施例 9】

【0364】

実施例 9 は、電流の流れる方向を検出する検出器の例である。図 7 1 は、実施例 9 に係る検出器のブロック図である。図 7 1 に示すように、検出器 170 では、端 T11 と T12 との間に電流 I11 が流れる経路 L11 が設けられている。端 T11 から T12 の方向に流れる電流 I11 を正とする。経路 L11 に N チャンネルの FETM1 が設けられている。

【0365】

マルチバイブレータ回路 X53 は FETM1 のゲートに信号 Vg1 を出力する。コンパレータ X50 は、経路 L11 の端 T11 側のノード N11 の電圧 V11 と参照電圧 Vref とを比較し、出力電圧 Vout を出力する。コンパレータ X50 は、V11 が Vref 以上のとき出力電圧 Vout をハイレベルとし、V11 が Vref より小さいとき出力電圧 Vout をローレベルとする。このように、コンパレータ X50 は、電圧 V11 と電圧 Vref との比較結果から電流 I11 の流れる方向を検出する。

【0366】

図 7 2 (a) および図 7 2 (b) は、実施例 9 に係る検出器の時間に対する各電圧を示す図である。図 7 2 (a) は電流 I11 が正の電流（端 T11 から T12 に流れる電流）の場合を示し、図 7 2 (b) は電流 I11 が負の電流（端 T12 から T11 に流れる電流）の場合を示す。

【0367】

図 7 2 (a) に示すように、マルチバイブレータ回路 X53 は、信号 Vg1 として、ハイレベルのベース電圧に対し、周期 T5 でローレベルのパルスを出力する。パルスの幅は期間 T4 である。時刻 t50 では、Vg1 はハイレベルであり、FETM1 は経路 L11 を導通させる。電流 I11 は正である。ノード N11 の電圧はほぼ 0 V であり、コンパレータ X50 の出力電圧 Vout はローレベルである。

【0368】

時刻 t51 において、信号 Vg1 がローレベルになると、FETM1 は経路 L11 を遮断する。経路 L11 を流れる電流 I11 はほぼ 0 となる。ノード N11 の電圧 V11 は徐々に上昇する。時刻 t52 において電圧 V11 が参照電圧 Vref に達すると、コンパレータ X50 はハイレベルを出力する。

【0369】

時刻 t53 において、信号 Vg1 がハイレベルとなると、FETM1 は経路 L11 を導通させる。経路 L11 には電流が流れる。これより、ノード N11 の電圧はほぼ 0 V となり、出力電圧 Vout はローレベルとなる。

【0370】

図 7 2 (b) に示すように、電流 I11 が負の場合、時刻 t51 において FETM1 が経路 L11 を遮断すると、ノード N11 の電圧 V11 は負となり、絶対値は徐々に大きくなる。時刻 t53 までの期間 T4 において、電圧 V11 は参照電圧 Vref に達しないため、コンパレータ X50 の出力電圧 Vout はローレベルを維持する。

【0371】

電流の流れる方向の検出は以下のように行うことが考えられる。経路 L11 に抵抗を設け抵抗の両端の電圧を比較し、両端の電圧の大小関係に基づき電流の流れる方向を検出する。しかし、経路 L11 に抵抗を設けると抵抗による損失が生じる。

【0372】

実施例 9 によれば、経路 L11（第 1 経路）には、端 T11（第 1 端）と端 T12（第 2 端）との間を電流 I11（第 1 電流）が流れる。FETM1（第 1 スイッチ）は、経路 L11 を導通および遮断する。FETM5 が経路 L11 を遮断する遮断期間 T4 において、コンパレータ X50 は（検出回路）は、FETM1 より端 T11（第 1 スイッチより第 1 端および第 2 端のいずれか一方の端）側における経路 L11 の電圧 V11（第 1 電圧）

10

20

30

40

50

に基づき、電流 I_{11} の流れる方向を検出する。

【0373】

実施例9では、期間 T_4 以外では損失がほとんど生じない。このため、周期 T_5 に比べ期間 T_4 を短くすれば、損失を抑制できる。期間 T_4 は周期 T_5 の $1/10$ 以下が好ましく、 $1/100$ 以下がより好ましい。

【0374】

電流 I_{11} を遮断したときに、ノード N_{11} の電圧 V_{11} が参照電圧 V_{ref} に達するまでの時間は、経路 L_{11} の端 T_{11} 側の寄生容量を C_0 、電流 I_{11} の絶対値を $|I_{11}|$ とすると、 $C_0 \times V_{ref} / |I_{11}|$ である。期間 T_4 を周期 T_5 (長さ T_0) より小さくするためには、 $C_0 \times V_{ref} / |I_{in}| < T_5$ (すなわち $C_0 \times V_{ref} / |I_{in}| < T_0$) である。期間 T_4 を周期 T_5 より充分小さくするためには、 $C_0 \times V_{ref} / |I_{11}| \leq T_0 / 10$ が好ましく、 $C_0 \times V_{ref} / |I_{11}| \leq T_0 / 100$ がより好ましい。

10

【0375】

例えば、実施例7において説明した振動発電の電流の方向を検出するために検出器を用いる場合、典型的には、 $C_0 = 10 \text{ pF}$ 、 $V_{ref} = 0.1 \text{ V}$ 、 $|I_{11}| = 10 \text{ nA}$ である。この場合、 $C_0 \times V_{ref} / |I_{11}| = 0.1 \text{ ms}$ である。よって、周期 T_5 は 1 ms 以上が好ましく、 10 ms 以上がより好ましい。

【0376】

〔実施例9の変形例1〕

20

図73は、実施例9の変形例1に係る検出器のブロック図である。図73に示すように、検出器171では、端 T_{21} と T_{22} との間に電流 I_{12} が流れる経路 L_{12} が設けられている。端 T_{21} から T_{22} の方向に流れる電流 I_{12} を正とする。経路 L_{12} に N チャンネルの $FETM_2$ が設けられている。端 T_{11} と端 T_{12} との間に交流電力が印加される。電流 I_{11} と電流 I_{12} とは相補的になる。すなわち、ある時刻において、電流 I_{11} と電流 I_{12} の流れる方向は反対方向であり、電流 I_{11} の絶対値と電流 I_{12} の絶対値はほぼ同じである。

【0377】

マルチバイブレータ回路 X_{53} は $FETM_2$ のゲートに信号 V_{g2} を出力する。コンパレータ X_{50} は、経路 L_{11} の端 T_{11} 側のノード N_{11} の電圧 V_{11} と経路 L_{12} の端 T_{12} 側のノード N_{12} の電圧 V_{12} とを比較し、出力電圧 V_{out} を出力する。コンパレータ X_{50} は、 V_{11} が V_{12} 以上のとき出力電圧 V_{out} をハイレベルとし、 V_{11} が V_{12} より小さいとき出力電圧 V_{out} をローレベルとする。このように、検出器171は、電流 I_{11} の流れる方向を検出する。その他の構成は実施例9と同じであり説明を省略する。

30

【0378】

図74は、実施例9の変形例1に係る検出器の時間に対する各電圧を示す図である。図74に示すように、時刻 t_{50} において、電流 I_{11} は正であり電流 I_{12} は負である。ノード N_{11} の電圧 V_{11} とノード N_{12} の電圧 V_{12} の差は0または非常に小さいため、コンパレータ X_{50} の出力電圧 V_{out} は不安定である。

40

【0379】

時刻 t_{55} において、信号 V_{g1} および V_{g2} がローレベルになると、 $FETM_1$ および M_2 は経路 L_{11} および L_{12} をそれぞれ遮断する。経路 L_{11} を流れる電流 I_{11} はほぼ0となる。ノード N_{11} の電圧 V_{11} は徐々に上昇し、ノード N_{12} の電圧 V_{12} は徐々に下降する。 V_{11} と V_{12} の差がコンパレータ X_{50} の $V_{11} > V_{12}$ を判定できる電圧差となると、コンパレータ X_{50} の出力電圧 V_{out} はハイレベルとなる。

【0380】

時刻 t_{56} において、信号 V_{g1} および V_{g2} がハイレベルとなると、 $FETM_1$ および M_2 は経路 L_{11} および L_{12} をそれぞれ導通させる。経路 L_{11} および L_{12} には電流が流れる。これより、ノード N_{11} およびの電圧はほぼ0Vとなり、出力電圧 V_{out}

50

は不安定となる。

【0381】

時刻 t_{56} と時刻 t_{57} との間において、電流 I_{11} が負となり、電流 I_{12} が正となる。時刻 t_{57} において、信号 V_{g1} および V_{g2} がローレベルになると、ノード N_{11} の電圧 V_{11} は徐々に下降し、ノード N_{12} の電圧 V_{12} は徐々に上昇する。 V_{11} と V_{12} の差がコンパレータ X_{50} の $V_{11} < V_{12}$ を判定できる電圧差となると、コンパレータ X_{50} の出力電圧 V_{out} はローレベルとなる。

【0382】

時刻 t_{58} において、信号 V_{g1} および V_{g2} がハイレベルとなると、FETM1およびM2は経路 L_{11} および L_{12} をそれぞれ導通させる。これより、ノード N_{11} およびの電圧はほぼ0Vとなり、出力電圧 V_{out} は不安定となる。

【0383】

実施例9の変形例1によれば、経路 L_{12} （第2経路）には、端 T_{11} と相補的な端 T_{21} （第3端）と端 T_{12} と相補的な端 T_{22} （第4端）との間を電流 I_{11} と相補的な電流 I_{12} （第2電流）が流れる。遮断期間 T_4 （図72参照）において、FETM1およびFETM2（第2スイッチ）は、経路 L_{11} および L_{12} をそれぞれ遮断する。コンパレータ X_{50} （検出回路）は、FETM1より端 T_{11} 側のノード N_{11} の電圧 V_{11} （第1電圧）とFETM2より端 T_{21} （端 T_{11} と相補的な端）側のノード N_{12} の電圧 V_{12} （第2電圧）とに基づき、電流 I_{11} の流れる方向を検出する。これにより、参照電圧 V_{ref} を用いず、電流 I_{11} の方向を検出できる。

【0384】

〔実施例9の変形例2〕

実施例9の変形例2は、実施例9の変形例1を電力変換回路に用いる例であり、実施例7の図56の同期整流回路64である。図56および図57に示すように、電圧 V_5 がハイレベルとなる期間において、パスゲート X_{15} は電力端子61aからパスゲート X_9 および X_{10} へ至る経路を遮断し、パスゲート X_{13} は電力端子61bからパスゲート X_{11} および X_{12} へ至る経路を遮断する。時刻 t_{22} と t_{23} との間のように、電流 I_1 の方向が正のとき、電圧 V_1 は上昇し電圧 V_2 は下降する。時刻 t_{25} と t_{26} の間のように、電流 I_1 の方向が負のとき、電圧 V_1 は下降し電圧 V_2 は上昇する。

【0385】

時刻 t_{24} において、電圧 V_1 が0.5V以上となるとスパイク生成回路 X_3 はスパイク信号88を出力する。FF回路 X_1 は、電圧 V_3 をローレベルとし電圧 V_4 をハイレベルとする。これにより、パスゲート X_9 および X_{11} が導通し、パスゲート X_{10} および X_{12} が遮断する。

【0386】

時刻 t_{27} において、電圧 V_2 が0.5V以上となるとスパイク生成回路 X_4 はスパイク信号89を出力する。FF回路 X_1 は、電圧 V_3 をハイレベルとし電圧 V_4 をローレベルとする。これにより、パスゲート X_9 および X_{11} が遮断し、パスゲート X_{10} および X_{12} が導通する。

【0387】

実施例9の変形例2では、パスゲート X_{15} 、 X_{13} 、スパイク生成回路 X_3 、 X_4 およびFF回路 X_1 が実施例9の変形例1の検出器として機能する。パスゲート X_{15} が第1スイッチとして機能し、パスゲート X_{13} が第2スイッチとして機能する。スパイク生成回路 X_3 、 X_4 およびFF回路 X_1 が電流の方向を検出する検出回路として機能する。

【0388】

〔実施例9の変形例3〕

実施例9の変形例3は、実施例9の変形例1を電力変換回路に用いる別の例である。図75は、実施例9の変形例3に係る同期整流回路の回路図である。図76は、実施例9の変形例3に係る同期整流回路における時間に対する同期整流回路の各ノードの電圧を示す図である。

【0389】

図75および図76に示すように、同期整流回路172では、マルチバイブレータ回路X53は出力電圧V6を出力する。インバータX52は電圧V6を反転し電圧V5とする。電圧V5がハイレベルとなる期間（例えば時刻t22とt23との間および時刻t25とt26との間）において電圧V10およびV11はそれぞれほぼ電圧V1およびV2となる。電圧V5がローレベルとなる期間（例えば時刻t23とt24との間および時刻t26とt27との間）では、パスゲートX7およびX8がオフするため、電圧V10およびV11はほぼ0Vである。

【0390】

時刻t22とt23の間では電圧V10およびV11がそれぞれ正および負である。これにより、コンパレータX50は電圧V4としてハイレベルを出力する。電圧V3はローレベルとなる。時刻t23とt24の間ではコンパレータX50は電圧V4をハイレベルに維持する。これにより、パスゲートX9がおよびX11が導通し、パスゲートX10がおよびX12が遮断する。

10

【0391】

時刻t25とt26の間では電圧V10およびV11がそれぞれ負および正である。これにより、コンパレータX50は電圧V4としてローレベルを出力する。電圧V3はハイレベルとなる。時刻t26とt27の間ではコンパレータX50は電圧V4をローレベルに維持する。これにより、パスゲートX9がおよびX11が遮断し、パスゲートX10がおよびX12が導通する。

20

【0392】

実施例9の変形例3では、電力端子61aが端T11に相当し、パスゲートX9とX10に分岐するノードが端T12に相当する。端T11とT12との間が経路L11に相当する。経路L11を端T11からT12に流れる電流が電流I11に相当する。電力端子61bが端T21に相当し、パスゲートX11とX12に分岐するノードが端T22に相当する。端T21とT22との間が経路L12に相当する。経路L12を端T21からT22に流れる電流が電流I12に相当する。パスゲートX15およびX13がそれぞれ第1スイッチおよび第2スイッチに相当する。このように、パスゲートX15、X13およびコンパレータX50が実施例9の変形例1の検出器として機能する。パスゲートX15、X13およびコンパレータX50はそれぞれ第1スイッチ、第2スイッチおよび検出回路として機能する。

30

【0393】

さらに、実施例9の変形例2および3では、パスゲートX9からX12（スイッチ素子）は、検出器の検出結果（すなわち電圧V4）に基づき、オンおよびオフする。これにより、検出器は小さい損失で電流の方向を検出できるため、損失の小さい電力変換回路を実現できる。特に、振動発電等の環境発電では、発電される電圧および電力が小さい。このため、電力変換における損失が大きいと、環境発電用の電力変換回路として用いることが難しい。実施例9およびその変形例2および3のように、実施例9およびその変形例1の検出器を用いることで、損失が抑制され、環境発電用の電力変換回路として用いることができる。

40

【0394】

実施例9の変形例3では、検出器が電流I11の流れる方向を端T11からT12の方向（第1方向）と検出したとき、パスゲートX9からX12（スイッチ回路）は、端T12を電源端子Ts1（第1電源端子）に接続しグラウンド端子Ts2（第2電源端子）から遮断しかつ端T22をグラウンド端子Ts2に接続し電源端子Ts1から遮断する。検出器が電流I11の流れる方向を端T12から端T11の方向（第1方向と反対方向の第2方向）と検出したとき、パスゲートX9からX12（スイッチ回路）は、端T12をグラウンド端子Ts2に接続し電源端子Ts1から遮断しかつ端T22を電源端子Ts1に接続しグラウンド端子Ts2から遮断する。これにより、同期整流回路として動作させることができる。

50

【0395】

実施例9の変形例2および3では、実施例9およびその変形例1に係る検出器を用いる電力変換回路として、同期整流回路を例に説明したが、電力変換回路は、降圧回路、昇圧回路、直流－交流電力変換回路または交流－直流電力変換回路でもよい。実施例9およびその変形例1の検出器は電力変換回路以外の電気回路および電子回路に用いることもできる。

【実施例10】

【0396】

実施例10はスパイク生成回路を用いた電子回路の例である。図77(a)および図77(b)は、比較例1および実施例10に係る電子回路のブロック図である。図77(a)に示すように、比較例1の電子回路173では、FF回路70aの出力端子72bに組み合わせ回路77の入力端子が接続され、組み合わせ回路77の出力端子にFF回路70bの入力端子71aが接続されている。

10

【0397】

図77(b)に示すように、実施例10の電子回路174では、FF回路70aの出力端子72bに組み合わせ回路77aの入力端子が接続されている。組み合わせ回路77aの出力端子にスパイク生成回路74の入力端子75が接続されている。スパイク生成回路74の出力端子76に組み合わせ回路77bの入力端子が接続されている。組み合わせ回路77bの出力端子にFF回路70bの入力端子71aが接続されている。FF回路70aとスパイク生成回路74との間に組み合わせ回路77aが接続されていなくてもよいし、スパイク生成回路74とFF回路70bとの間に組み合わせ回路77bが接続されていなくてもよい。

20

【0398】

ここで、組み合わせ回路77aおよび77bとは、1または複数の入力端子にそれぞれハイレベルまたはローレベルが入力し、1または複数の出力端子にそれぞれ1または複数の入力端子の入力により一意的に定まるハイレベルまたはローレベルを出力する回路である。例えばNOT回路、OR回路、AND回路、XOR回路、NOR回路およびNAND回路並びにそれらの組み合わせからなる回路等である。

【0399】

FF回路70aおよび70bは、実施例7の図47(a)から図47(c)において説明したFF回路70である。FF回路70は例えばRSフリップフロップ回路であり、入力端子71aおよび71bはそれぞれセット端子およびリセット端子であり、出力端子72bおよび72aはそれぞれ出力端子Qおよび相補出力端子QBである。FF回路70は、ラッチ回路であり、入力端子71aにハイレベルおよびローレベルのいずれか一方のレベルが入力すると、出力端子72bのレベルを前記一方のレベルに保持するメモリ回路であればよい。

30

【0400】

図78(a)は、スパイク生成回路を示す図、図78(b)および図78(c)は、時間に対するそれぞれ内部状態Sおよび出力電圧Voutを示す図である。図78(a)に示すように、スパイク生成回路74の入力端子75に電流Iinが入力する。出力端子76の電圧は電圧Voutである。

40

【0401】

図78(b)に示すように、内部状態Sは、電流Iinの履歴に依存する状態である。実施例1から4およびその変形例では、内部状態Sは中間ノードNiの電圧である。内部状態Sは電流Iinの履歴に対応し変化する。例えば、実施例3の図8ではノードN1(中間ノードNiに相当する)の電圧は入力端子75(Tin)に入力する電流Iinの積分値に比例する。時刻t58において、内部状態Sが閾値状態Sthに達すると、スパイク生成回路74は電圧Voutとしてスパイク信号52を出力する。スパイク信号52とは、幅に意味がなくタイミングのみに意味を有する電圧パルスである。時刻t58の直後に内部状態Sはリセットされる。

50

【0402】

内部状態Sは、例えば特許文献6に記載されているスイッチ素子の内部状態でもよい。例えば、内部状態Sは電流が発生するジュール熱の積分値である温度でもよい。図78(b)では、電流 I_{in} の履歴に依存して内部状態Sは正側に変化していき、正の閾値状態 S_{th} に達するとスパイク信号52が出力される。電流 I_{in} の履歴に依存して内部状態Sは負側に変化していき、負の閾値状態 S_{th} に達するとスパイク信号52が出力されてもよい。図78(c)では、電圧 V_{out} は0Vであり、電源電圧 V_{DD} のスパイク信号52が出力されているが、電圧 V_{out} は V_{DD} であり、0Vのスパイク信号52が出力されてもよい。

【0403】

このように、スパイク生成回路74は、入力端子75に入力する入力電流の履歴に依存する内部状態Sが閾値状態 S_{th} に達すると、ハイレベルまたはローレベルの単発のスパイク信号52を出力しかつ内部状態Sを初期値にリセットする回路である。

【0404】

図79(a)および図79(b)は、比較例1および実施例10に係る電子回路のブロック図であり、図77(a)および図77(b)の電子回路をネットワーク状に接続した図である。図79(a)における複数のFF回路70の間および図79(b)におけるFF回路70とスパイク生成回路74との間には、組み合わせ回路が設けられていてもよい。

【0405】

図79(a)に示すように、比較例1の電子回路175では、FF回路70の出力端子と次段のFF回路70との間にスパイク生成回路74が設けられていない。各FF回路70にはクロック信号CLKが入力する。FF回路70はクロック信号CLKに同期して次段のFF回路70にデータを出力する。FF回路70間に伝送される信号はローレベル／ハイレベルのビット信号である。

【0406】

図79(b)に示すように、実施例10の電子回路176では、FF回路70の出力端子と次段のFF回路70との間にスパイク生成回路74が設けられている。各FF回路70にはクロック信号CLKは入力しない。スパイク生成回路74から次段のFF回路70に伝送される信号はスパイク信号である。

【0407】

図77(a)の比較例1に係る電子回路では、前段のFF回路70aが出力するビット信号によりFF回路70bの状態は一意的に書き換えられる。すなわち、前段が定まれば後段が一意的に決まる。このため、一部のFF回路70だけの状態を書き換えることができない。図79(a)では、各FF回路70はクロック信号CLKに同期して動作し、電子回路175全体が一斉に動作する中央集権的に動作する。

【0408】

例えば振動発電等の環境発電は発電電力が小さい。このため、環境発電に用いられる電力変換回路を制御する制御回路は、消費電力を小さくすることが求められる。クロック信号に同期して動作する比較例1の電子回路175では、クロック信号CLKのローレベルとハイレベルとの切り替えの度にCMOS回路に充放電電流が流れる。このため、待機電力が生じてしまう。環境発電の制御回路では、制御に要する時間は比較的長く、例えばm秒以上である。このため、クロック信号CLKに同期させて電子回路175を動かさなくてもよい。

【0409】

図77(b)の実施例10に係る電子回路では、FF回路70a(第1メモリ回路)の出力端子72b(第1出力端子)は、スパイク生成回路74(第1スパイク生成回路)の入力端子75に接続されている。スパイク生成回路74は前段のFF回路70aの出力によらず、内部状態Sが閾値状態 S_{th} に達するとスパイク信号を出力する。このため、入力端子71a(第1入力端子)がスパイク生成回路74の出力端子76に接続されたFF回路70b(第2メモリ回路)は、スパイク生成回路74がスパイク信号52を出力しない

10

20

30

40

50

限り後段の F F 回路 7 0 b の状態は書き換えられない。

【0 4 1 0】

図 7 9 (b) のようなネットワークにおいては、一部の F F 回路 7 0 だけの状態を個別に書き換えることができる。よって、各 F F 回路 7 0 は非同期に動作可能であり、電子回路 1 7 6 の局所のおよび分散的に動作可能である。

【0 4 1 1】

例えば、実施例 7 の図 4 4 の電力変換回路 1 2 0 では、整流回路 6 2、6 4、判定回路 6 5 および降圧回路 6 6 内の制御回路は、動作が必要なときに各制御回路内のスパイク生成回路がスパイク信号を生成し、制御回路が動作する。一方、制御回路が動作しなくてもよいときは、制御回路内のスパイク生成回路はスパイク信号を生成しない。スパイク信号が生成されないと、制御回路の待機電力はほとんど発生しない。よって、消費電力を抑制できる。

【0 4 1 2】

図 7 7 (b) のように、F F 回路 7 0 a の出力端子 7 2 b は、組み合わせ回路 7 7 a の 1 または複数の入力端子の少なくとも 1 つと接続されてもよい。スパイク生成回路 7 4 の入力端子 7 5 は組み合わせ回路 7 7 a の 1 または複数の出力端子に接続されていてもよい。スパイク生成回路 7 4 の入力端子 7 5 に組み合わせ回路 7 7 a の複数の出力端子が接続される場合には、組み合わせ回路 7 7 a の複数の出力端子は例えば O R 回路等を介しスパイク生成回路 7 4 の入力端子 7 5 に接続される。また、スパイク生成回路 7 4 の出力端子 7 6 は、組み合わせ回路 7 7 b の 1 または複数の入力端子の少なくとも 1 つと接続され、F F 回路 7 0 b の入力端子 7 1 a は組み合わせ回路 7 7 b の 1 または複数の出力端子に接続されていてもよい。

【0 4 1 3】

図 8 0 (a) および図 8 0 (b) は、実施例 1 0 に係る電子回路の例を示す図である。F F 回路 7 0 a の出力端子 7 2 b (第 1 出力端子) にスパイク生成回路 7 4 の入力端子 7 5 が接続され、F F 回路 7 0 a の出力端子 7 2 a (第 2 出力端子) にスパイク生成回路 7 4 a (第 2 スパイク生成回路) の入力端子 7 5 が接続されていてもよい。これにより、F F 回路 7 0 a の出力を複数のスパイク生成回路 7 4 および 7 4 a に入力させることができる。F F 回路 7 0 a とスパイク生成回路 7 4 および 7 4 a の間には組み合わせ回路が設けられてもよい。その他の構成は実施例 1 0 の図 7 7 (b) と同じであり説明を省略する。

【0 4 1 4】

図 8 0 (b) に示すように、F F 回路 7 0 b の入力端子 7 1 a (第 1 入力端子) にスパイク生成回路 7 4 の出力端子 7 6 が接続され、入力端子 7 1 b (第 2 入力端子) にスパイク生成回路 7 4 b (第 3 スパイク生成回路) の出力端子 7 6 が接続されている。これにより、F F 回路 7 0 a の入力に複数のスパイク生成回路 7 4 および 7 4 b を接続させることができる。F F 回路 7 0 b とスパイク生成回路 7 4 および 7 4 b の間には組み合わせ回路が設けられてもよい。その他の構成は実施例 1 0 の図 7 7 (b) と同じであり説明を省略する。

【0 4 1 5】

[実施例 1 0 の変形例 1]

図 8 1 (a) は、実施例 1 0 の変形例 1 に係る電子回路のブロック図である。図 8 1 (a) に示すように、実施例 1 0 の変形例 1 に係る電子回路 1 7 7 では、F F 回路 7 0 a の入力端子 7 1 a にはスパイク生成回路 7 4 a からスパイク信号が入力する。F F 回路 7 0 a の出力端子 7 2 b はスパイク生成回路 7 4 の入力端子 7 5 に接続されている。スパイク生成回路 7 4 の出力端子 7 6 は F F 回路 7 0 a の入力端子 7 1 b に接続されている。

【0 4 1 6】

スパイク生成回路 7 4 a がスパイク信号を出力すると F F 回路 7 0 a はスパイク生成回路 7 4 にハイレベルを出力する。スパイク生成回路 7 4 がスパイク信号 5 2 を出力すると、F F 回路 7 0 a はスパイク生成回路 7 4 にローレベルを出力する。これにより、スパイク生成回路 7 4 の入力端子 7 5 のレベルがリセットされる。

【0417】

実施例10の変形例1のように、FF回路70aの出力端子72bが入力端子75に接続されたスパイク生成回路74の出力端子76をFF回路70aの入力端子71bに接続する。これにより、スパイク生成回路74がスパイク信号52を出力すると、FF回路70aの出力端子72bの出力をリセットできる。

【0418】

[実施例10の変形例2]

図81(b)は、実施例10の変形例2に係る電子回路のブロック図である。図81(b)に示すように、実施例10の変形例2に係る電子回路177aでは、素子または回路79の一端はFF回路70aの出力端子72bに接続され、他端はスパイク生成回路74の入力端子75に接続されている。素子または回路79は、一端と他端との電圧差に応じた電流を流す。素子または回路79は、例えばトランジスタ、抵抗またはリーク電流素子であり、実施例8の変形例2の図64(a)の定電流素子または定電流回路33bである。スパイク生成回路74は、入力端子75に入力する電流の積分値が閾値に達するとスパイク信号52を出力する。例えば図64(a)のキャパシタC1および出力回路150である。その他の回路構成は実施例10の変形例1と同じであり説明を省略する。

【0419】

実施例10の変形例2では、FF回路70aの入力端子71aにスパイク信号が入力してから所定時間後にスパイク生成回路74がスパイク信号52を出力するとともに、FF回路70aをリセットする。

【0420】

[実施例10の変形例3]

図82(a)および図82(b)は、実施例10の変形例3に係る電子回路のブロック図である。電子回路178は、FF回路70cから70f、スパイク生成回路74、74c、組み合わせ回路として、AND回路78a、78b、OR回路78cおよび78dを備えている。各回路の電源電圧は例えば同じ電圧VDDである。

【0421】

図82(a)に示すように、FF回路70cの入力端子71aおよび71bにはそれぞれスパイク信号52bおよび52cが入力する。これにより、FF回路70cはスパイク信号52bが入力すると出力端子72bにビット信号L/H1としてハイレベルを出力し、スパイク信号52cが入力すると出力端子72bにビット信号L/H1としてローレベルを出力する。

【0422】

OR回路78cにスパイク信号52dおよび52eが入力する。OR回路78cの出力はFF回路70dの入力端子71aに入力する。このように、OR回路78c等の組み合わせ回路を用い複数の経路からのスパイク信号を1つのFF回路70dの入力端子71aに入力させてもよい。FF回路70dは入力端子71aにスパイク信号が入力すると、出力端子72bにビット信号L/H2としてハイレベルを出力する。

【0423】

AND回路78aにビット信号L/H1およびL/H2が入力し、AND回路78aの出力はスパイク生成回路74に入力する。FF回路70cおよび70dの両方がハイレベルになってから所定時間後にスパイク生成回路74はスパイク信号52を出力する。FF回路70c、70dとAND回路78a等の組み合わせ回路とを用い、ある条件が満たされるまで、スパイク生成回路74への入力を待機させてもよい。

【0424】

スパイク信号52は、OR回路78dを介しFF回路70dの入力端子71bに入力する。これにより、FF回路70dは出力端子72bにビット信号L/H2としてローレベルを出力する。すなわち、ビット信号L/H2はリセットされる。

【0425】

FF回路70eの入力端子71aおよび71bにはそれぞれスパイク信号52fおよび

10

20

30

40

50

52 gが入力する。これにより、FF回路70 eはスパイク信号52 fが入力すると出力端子72 bにビット信号L/H3としてハイレベルを出力し、スパイク信号52 gが入力すると出力端子72 bにビット信号L/H3としてローレベルを出力する。ビット信号L/H3は時定数の短いスパイク生成回路74 cを介してOR回路78 dに入力する。これにより、スパイク信号52が出力されなくてもビット信号L/H3がハイレベルとなれば、ビット信号L/H2はリセットされる。また、図82 (b)のようにOR回路78 dの代わりにAND回路78 eとした場合には、ビット信号L/H2およびL/H1がハイレベルかつL/H3がローレベルの間は、スパイク生成回路74は一定間隔でスパイク信号52を出力し続ける。このように、FF回路70 d、70 eおよびOR回路78 d等の組み合わせ回路を用い、スパイク信号52が出力される前にFF回路70 dをリセットしてもよい。また、ある条件が満たされるまでスパイク信号52を出力し続けてもよい。

10

【0426】

FF回路70 fの入力端子71 aおよび71 bにはそれぞれスパイク信号52 hおよび52 iが入力する。これにより、FF回路70 fはスパイク信号52 hが入力すると出力端子72 bにビット信号L/H4としてハイレベルを出力し、スパイク信号52 iが入力すると出力端子72 bにビット信号L/H4としてローレベルを出力する。ビット信号L/H4はAND回路78 bに入力する。AND回路78 bは、ビット信号L/H4がハイレベルのときスパイク信号52を通過させるが、ビット信号L/H4がローレベルのときスパイク信号52を通過させない。このように、FF回路70 fおよびAND回路78 bの組み合わせ回路を用い、ある条件が満たされたときのみスパイク信号52を通過させてもよい。

20

【0427】

図82 (c)は、実施例10の変形例3に係る電子回路のシンボルを示す図である。図82 (c)に示すように、電子回路178の入力端子Tinにスパイク信号52 bから52 iが入力する。電子回路178の出力端子Tout1からスパイク信号52が出力する。出力端子Tout2からビット信号L/H1からL/H4が出力する。このように、電子回路178は1または複数のスパイク信号が入力すると、1または複数のスパイク信号および1または複数のビット信号を出力する。電子回路178は、図82 (a)の回路構成以外にも、1または複数のスパイク信号が入力すると、1または複数のビット信号および1または複数のスパイク信号の少なくとも1つの信号を出力すればよい。

30

【0428】

電子回路178に入力するスパイク信号の例を説明する。図83 (a)および図83 (b)は、実施例10の変形例3における電子回路に入力するスパイク信号の例を示す図である。図83 (a)に示すように、スパイク信号52 jはセンサ79 aが出力する信号でもよい。図83 (b)に示すように、コンパレータ79 bは電子回路79 cの入力端子にビット信号L/Hを出力する。電子回路79 cはビット信号L/Hの立ち上がりおよび立ち下りのときにスパイク信号52 jを出力する。スパイク信号52 jはビット信号L/Hの立ち上がりおよび立ち下りのとき出力される信号でもよい。

【0429】

電子回路178が出力するスパイク信号が用いられる回路例を説明する。図84 (a)および図84 (b)は、実施例10の変形例3における電子回路から出力するスパイク信号が用いられる回路例を示す図である。図84 (a)に示すように、トランジスタ79 hの制御端子に電子回路178が出力するスパイク信号52および/またはビット信号L/Hが入力する。FF回路70 bの入力端子71 aまたは71 bに電子回路178が出力するスパイク信号52が入力し、FF回路70 bが出力するビット信号L/Hがトランジスタ79 hの制御端子に入力してもよい。このように、電子回路178が出力するスパイク信号52および/またはビット信号L/Hはトランジスタ79 hを制御してもよい。

40

【0430】

図84 (b)に示すように、FF回路70 bの入力端子71 aまたは71 bに電子回路178が出力するスパイク信号52が入力する。このように、電子回路178が出力する

50

スパイク信号 5 2 は F F 回路 7 0 b の書き換えに用いてもよい。

【0 4 3 1】

図 8 5 (a) および図 8 5 (c) は、実施例 1 0 の変形例 3 における電子回路から出力するスパイク信号が用いられる例を示す回路図であり、図 8 5 (b) および図 8 5 (d) は、アンテナから出力される電磁波の大きさ (電界) を示す図である。

【0 4 3 2】

図 8 5 (a) に示すように、パワーアンプ 7 9 d は、電子回路 1 7 8 が出力するスパイク信号 5 2 を増幅する。アンテナ 7 9 e は増幅されたスパイク信号を電磁波として出力する。図 8 5 (b) に示すように、アンテナ 7 9 e からスパイク信号 5 2 に相当するスパイク信号が出力される。

10

【0 4 3 3】

図 8 5 (c) に示すように、バンドパスフィルタ 7 9 f はパワーアンプ 7 9 d とアンテナ 7 9 e との間に接続されている。バンドパスフィルタ 7 9 f はスパイク信号 5 2 のうち無線通信に適した特定の周波数帯域の成分のみを通過させる。図 8 5 (d) に示すように、アンテナ 7 9 e からスパイク信号 5 2 のうち特定の周波数帯域に相当する信号が出力される。

【0 4 3 4】

図 8 5 (a) から図 8 5 (d) のように、電子回路 1 7 8 から出力されるスパイク信号 5 2 をインパルス通信に用いてもよい。

【0 4 3 5】

20

[実施例 1 0 の変形例 4]

図 8 6 は、実施例 1 0 の変形例 4 に係るネットワーク回路の模式図である。実施例 1 0 の変形例 4 のように 1 または複数のスパイク信号が入力し、1 または複数のスパイク信号および 1 または複数のビット信号を出力する電子回路を図 8 2 (c) のシンボルで表す。この電子回路は左側からスパイク信号が入力し、右側にスパイク信号を出力し、上側にビット信号を出力する。図 8 6 に示すように、電子回路 1 7 8 がネットワーク的に接続されていてもよい。

【0 4 3 6】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

30

【符号の説明】

【0 4 3 7】

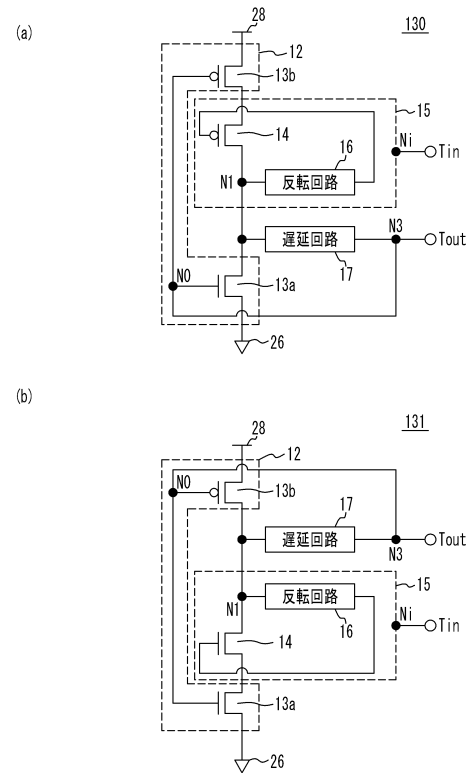
- 1 0 入力回路
- 1 2、2 0、2 2 a - 2 2 g インバータ
- 1 4、4 8 F E T
- 1 6、1 6 a、1 6 b、1 8 反転回路
- 1 7 遅延回路
- 3 0 電圧変換回路
- 3 2 時定数回路
- 3 4 抑制回路
- 4 0、7 4 a - 7 4 c スパイク生成回路
- 4 2 条件設定回路
- 4 4 スパイク処理回路
- 4 5、4 5 a - 4 5 f ノード回路
- 4 6 フリップフロップ
- 4 7 V g 生成回路
- 6 0 発電回路
- 6 2、6 4 整流回路
- 6 5 判定回路

40

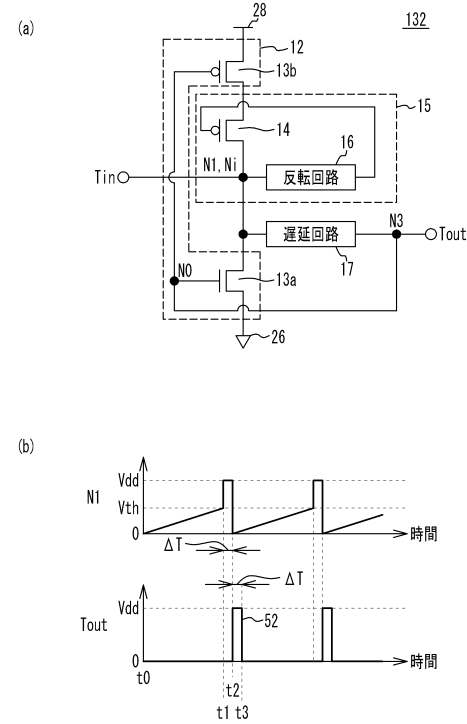
50

6 6 降压回路
6 8 蓄電回路

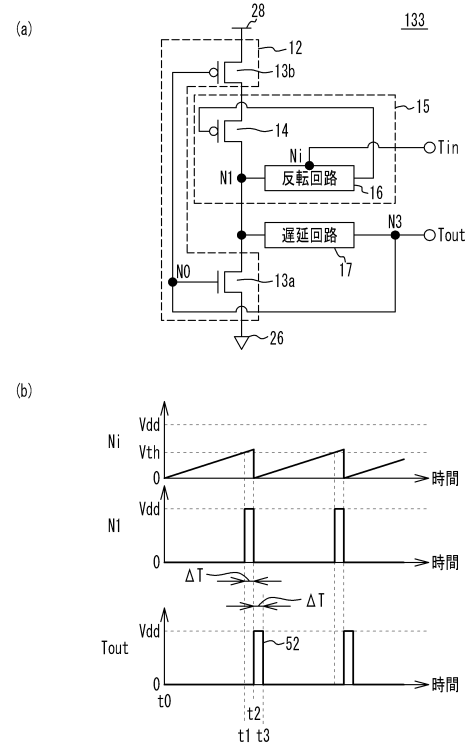
【図面】
【図 1】



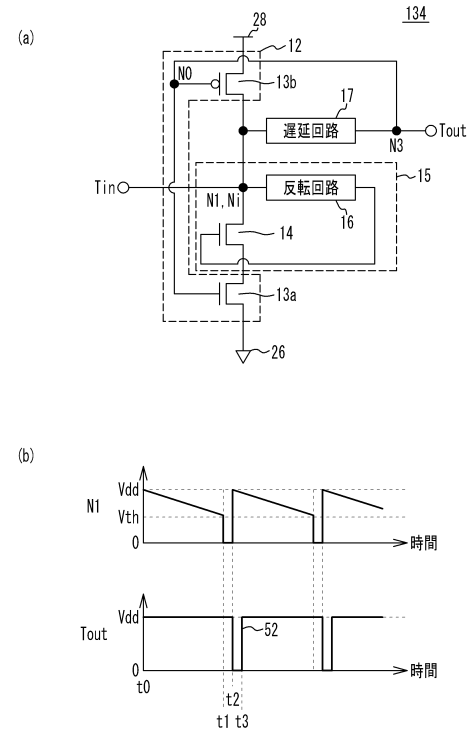
【図 2】



【図 3】



【図 4】



10

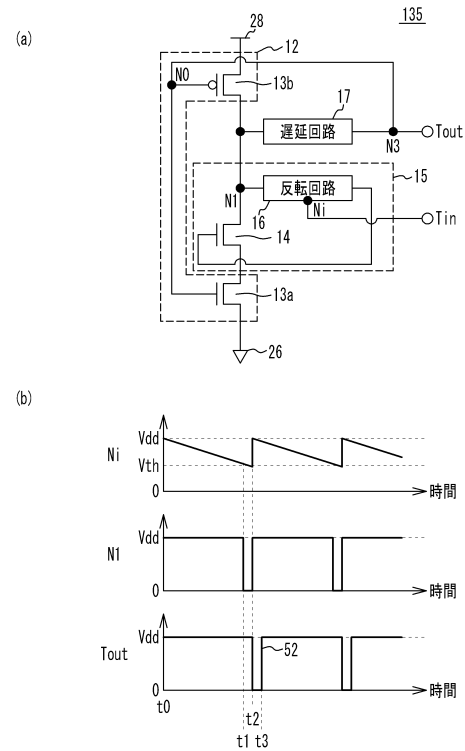
20

30

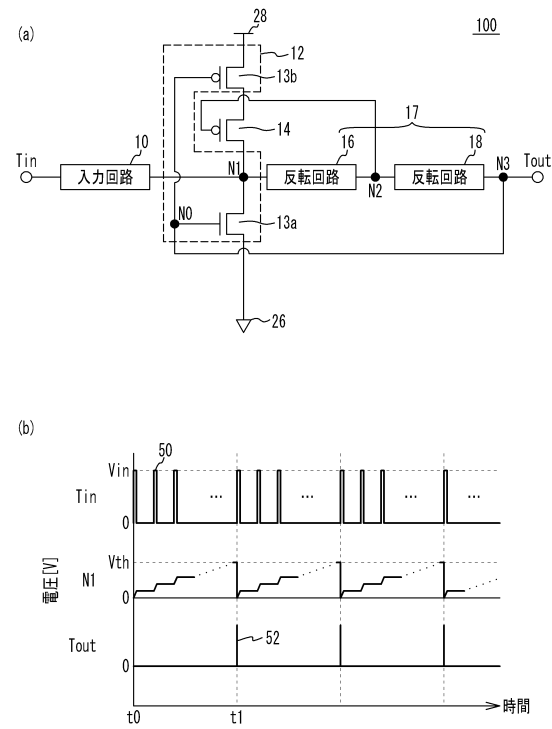
40

50

【図 5】



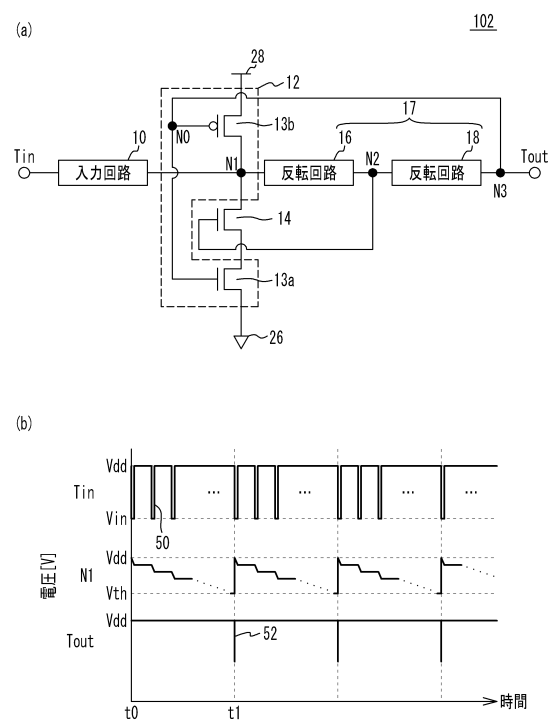
【図 6】



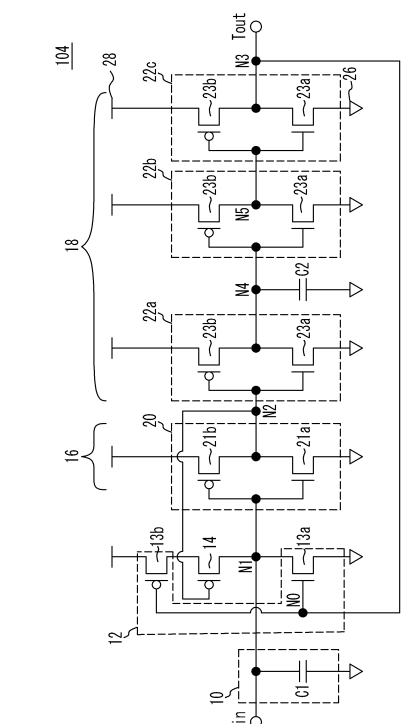
10

20

【図 7】



【図 8】

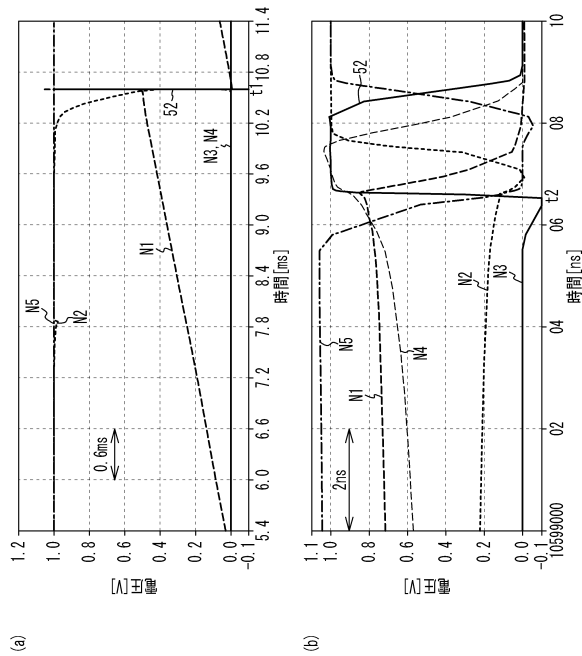


30

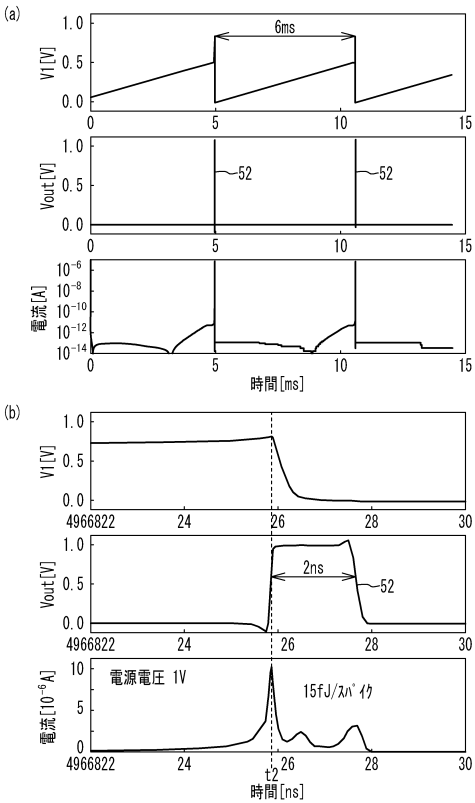
40

50

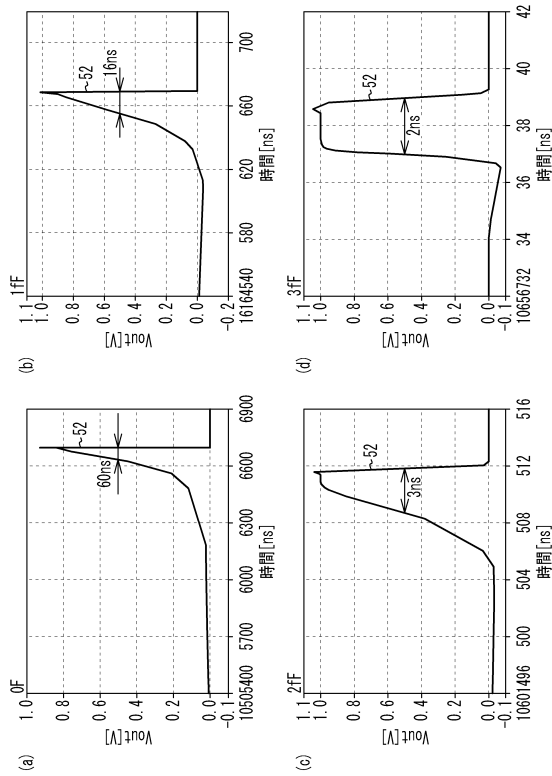
【図 9】



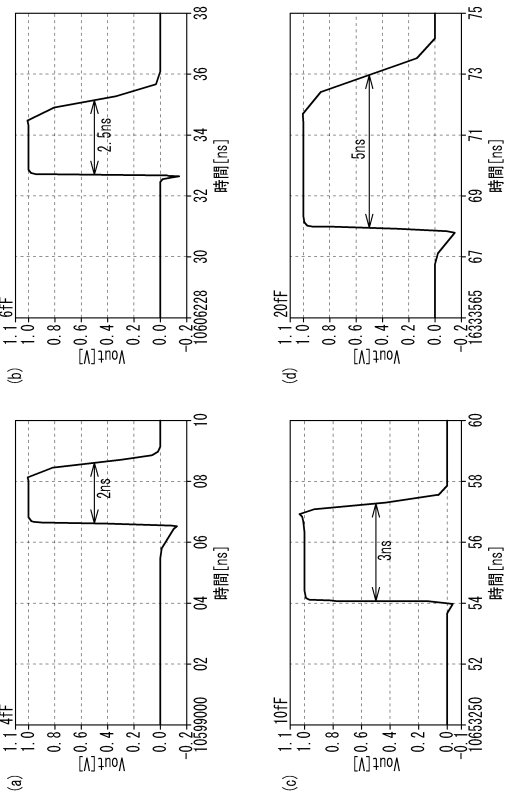
【図 10】



【図 11】



【図 12】



10

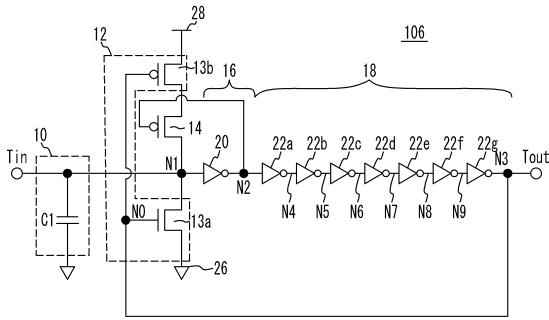
20

30

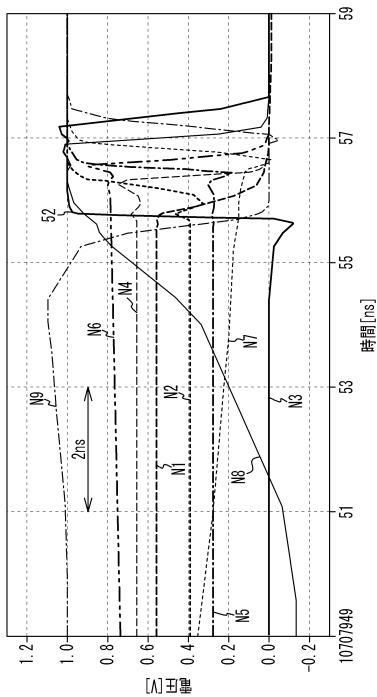
40

50

【図 17】



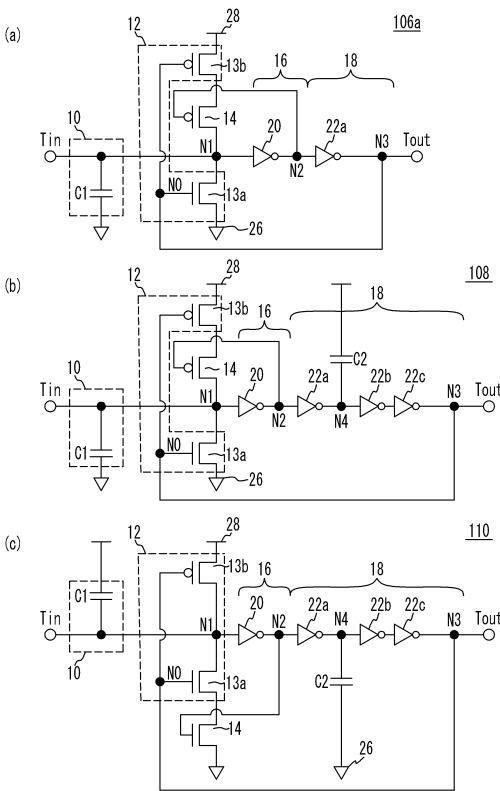
【図 18】



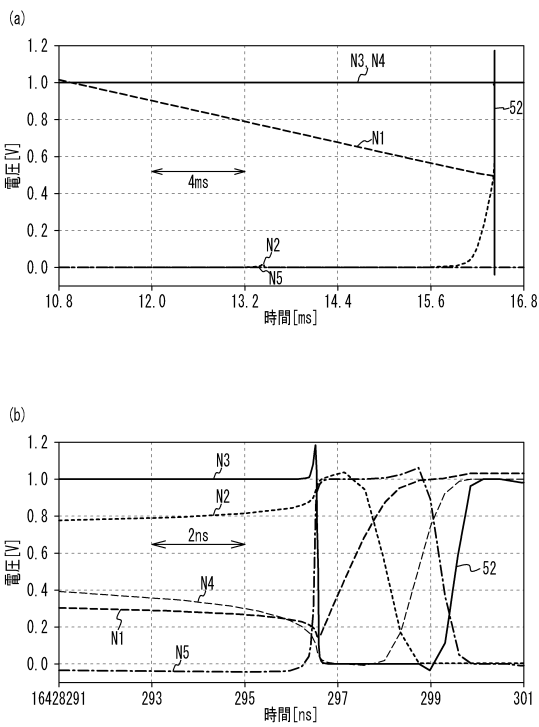
10

20

【図 19】



【図 20】

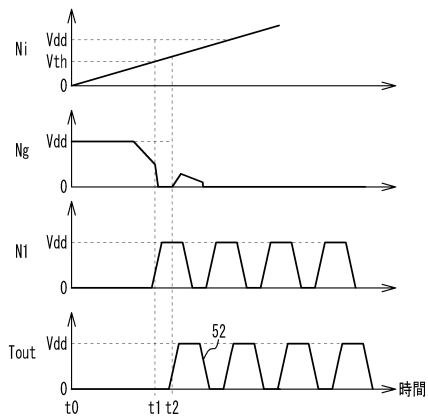


30

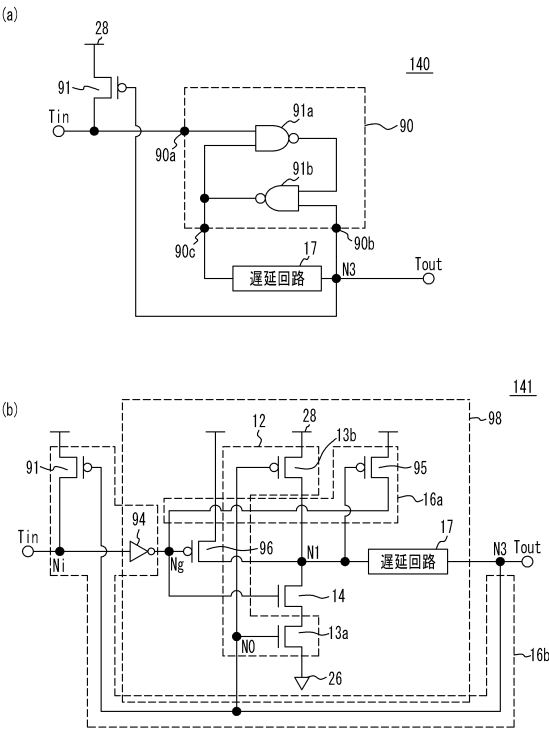
40

50

【図 2 5】



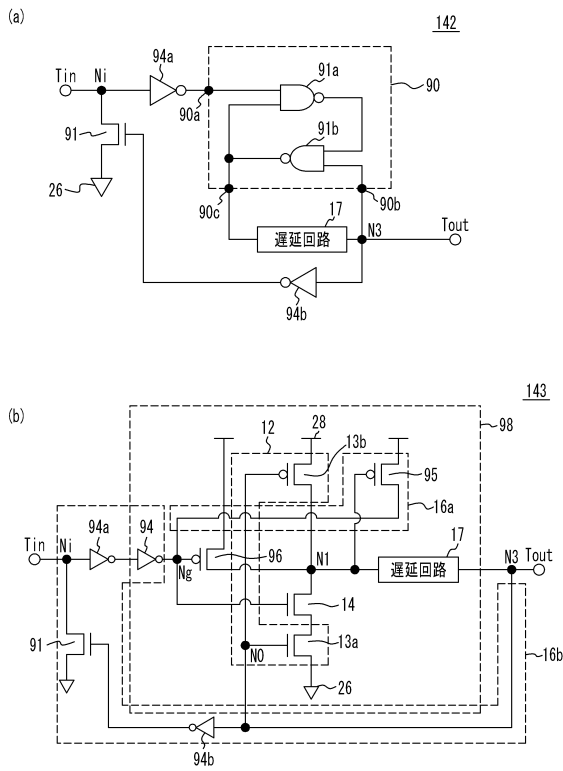
【図 2 6】



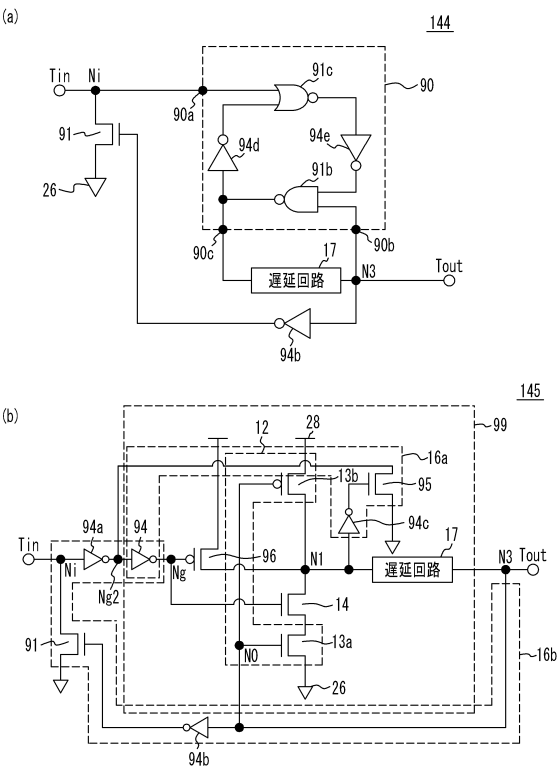
10

20

【図 2 7】



【図 2 8】

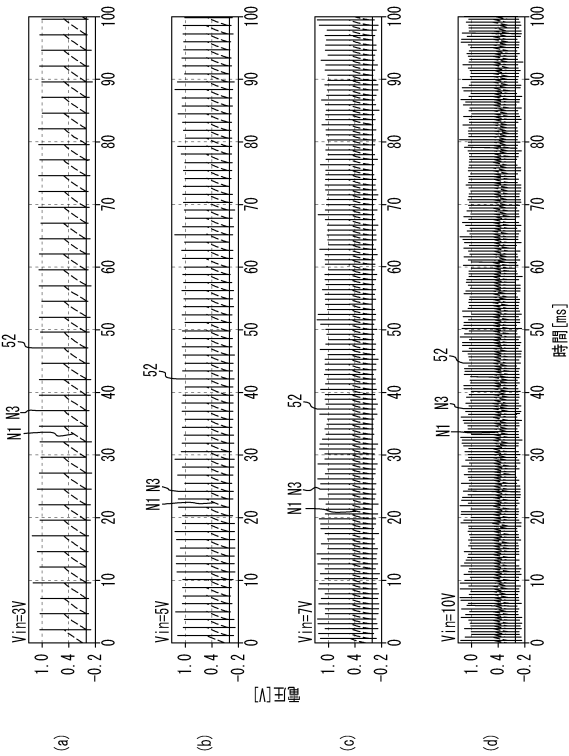


30

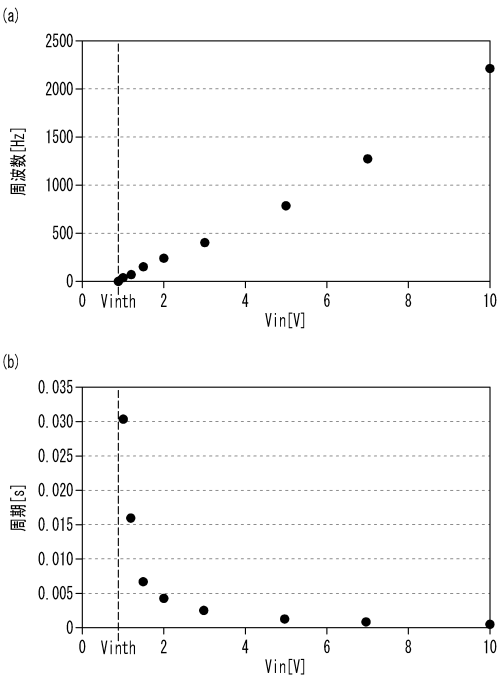
40

50

【図 3 3】



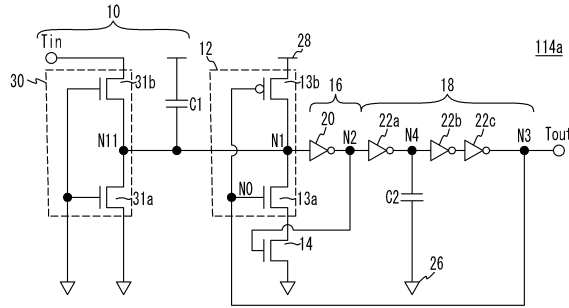
【図 3 4】



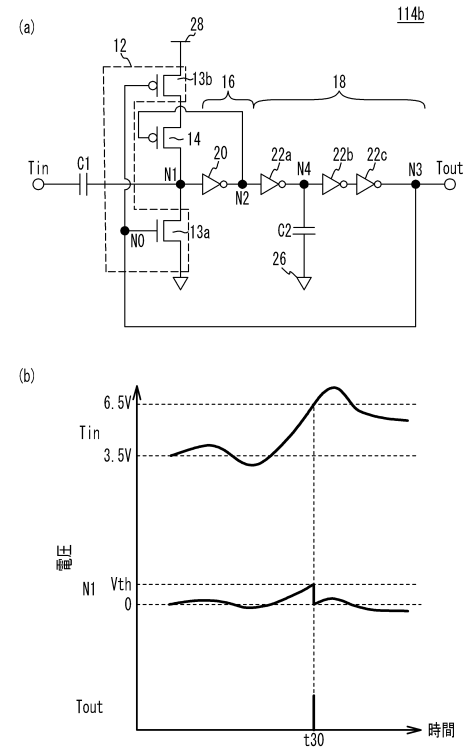
10

20

【図 3 5】



【図 3 6】

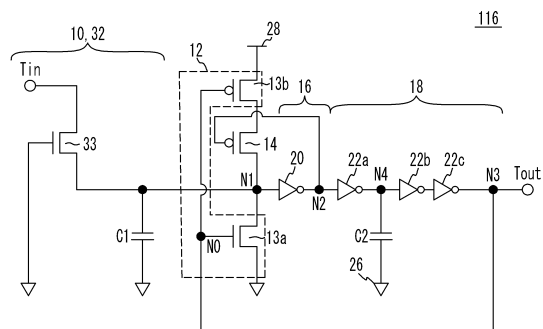


30

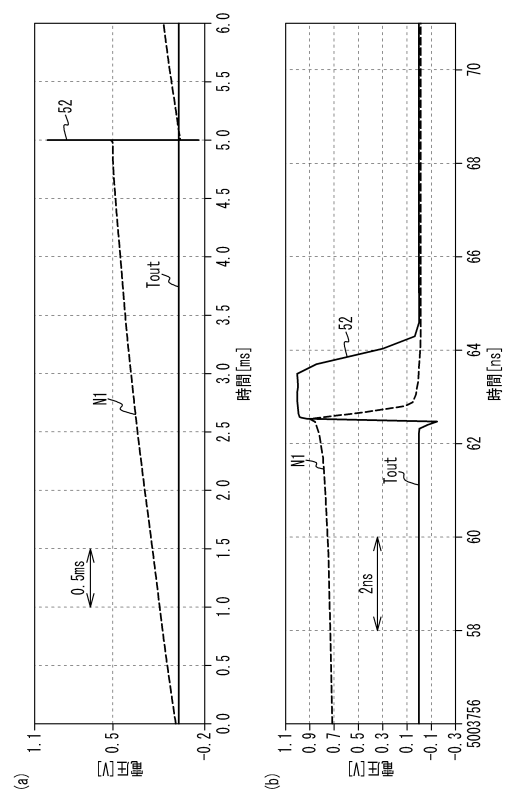
40

50

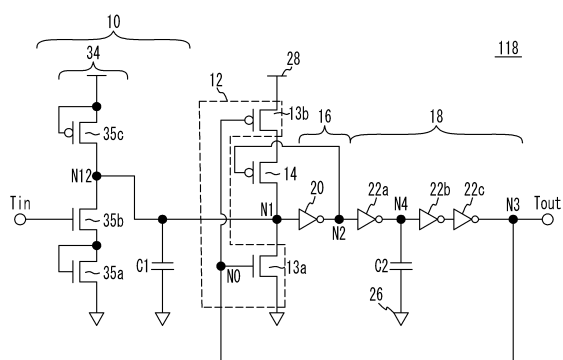
【圖 3 7】



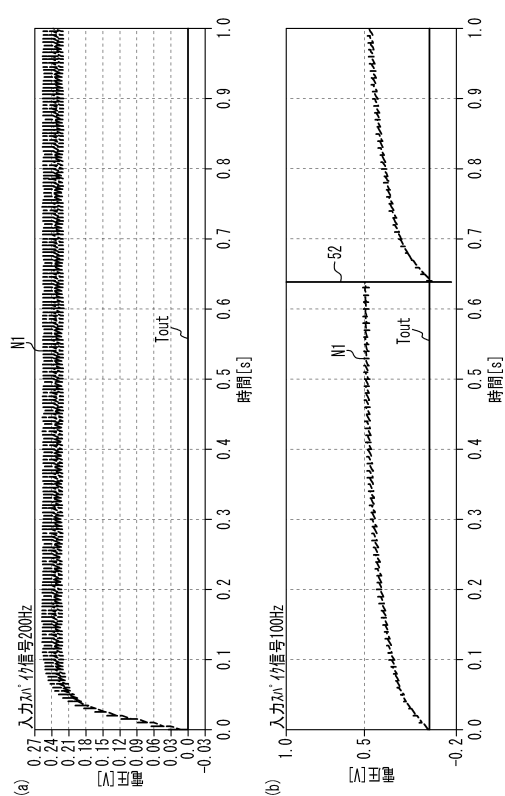
【圖 3 8】



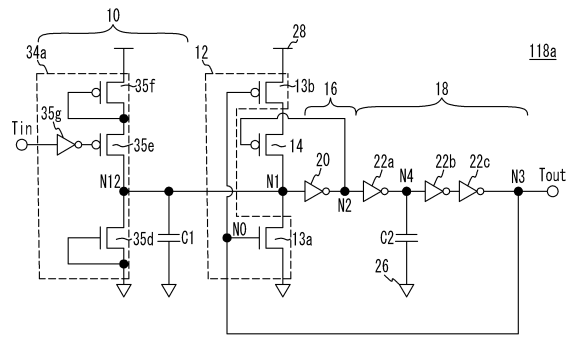
【図 3 9】



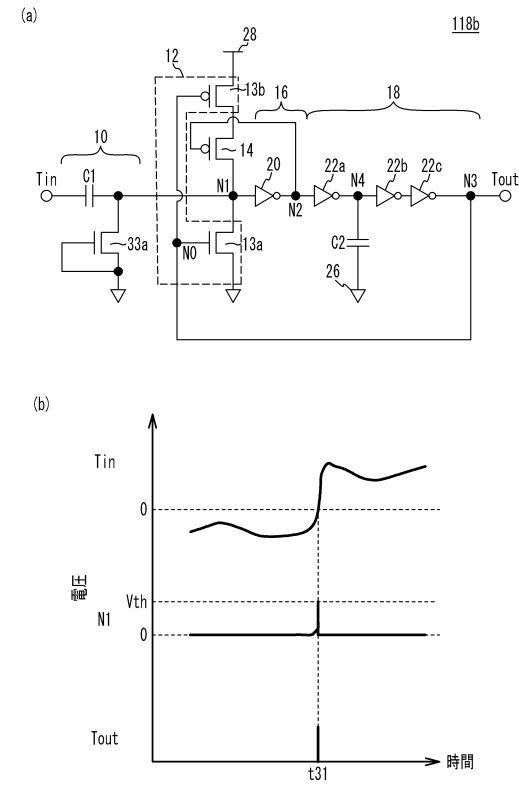
【図 40】



【図 4 1】



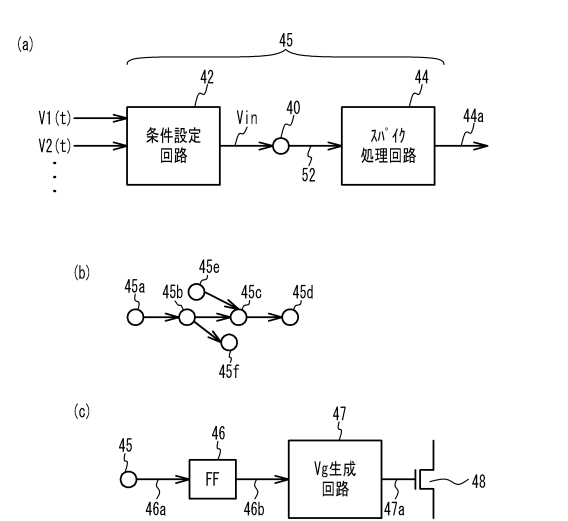
【図 4 2】



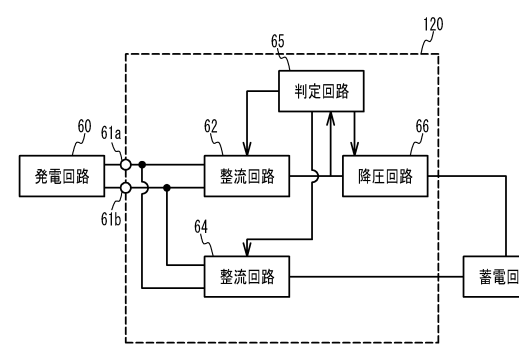
10

20

【図 4 3】



【図 4 4】

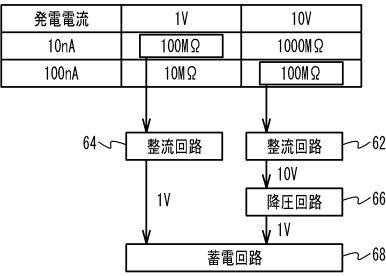


30

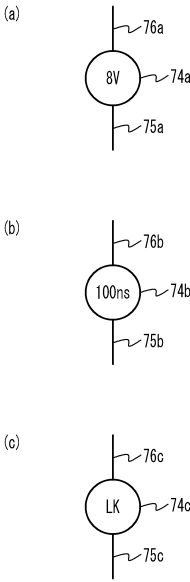
40

50

【図 4 5】



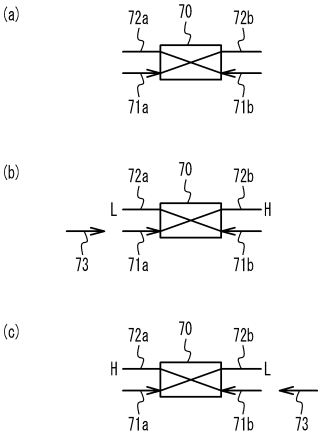
【図 4 6】



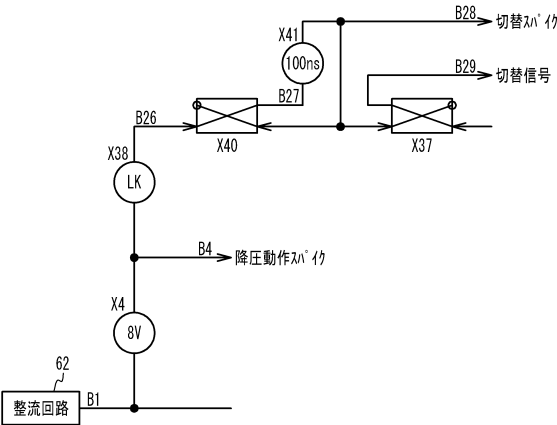
10

20

【図 4 7】



【図 4 8】

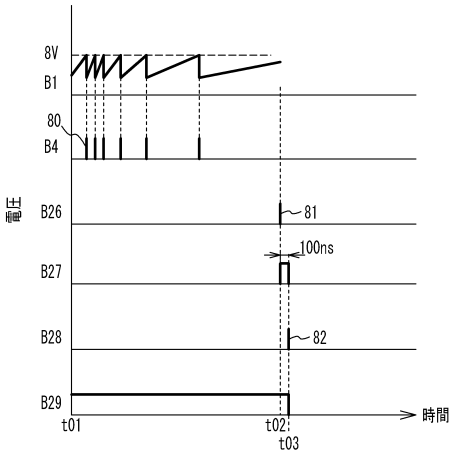


30

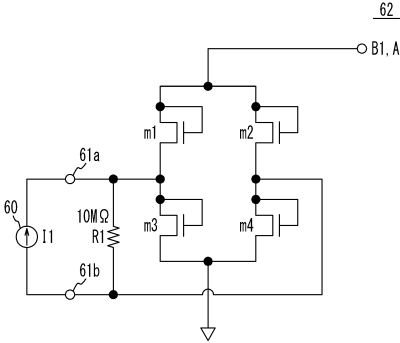
40

50

【図 4 9】

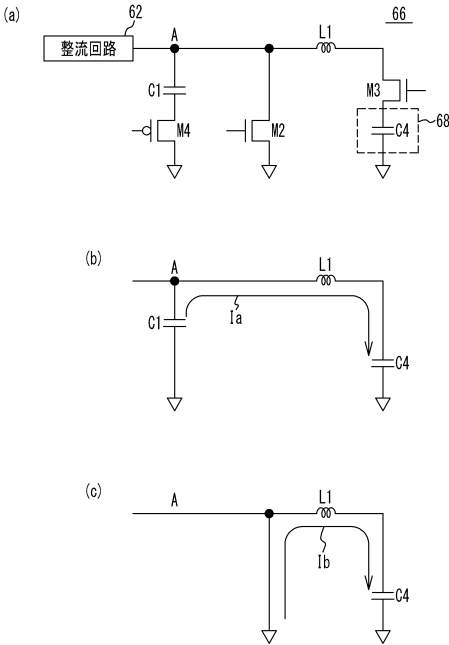


【図 5 0】

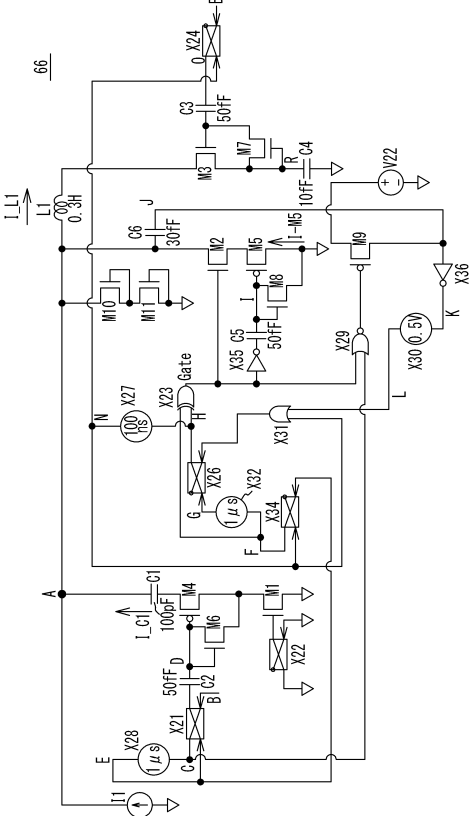


10

【図 5 1】



【図 5 2】



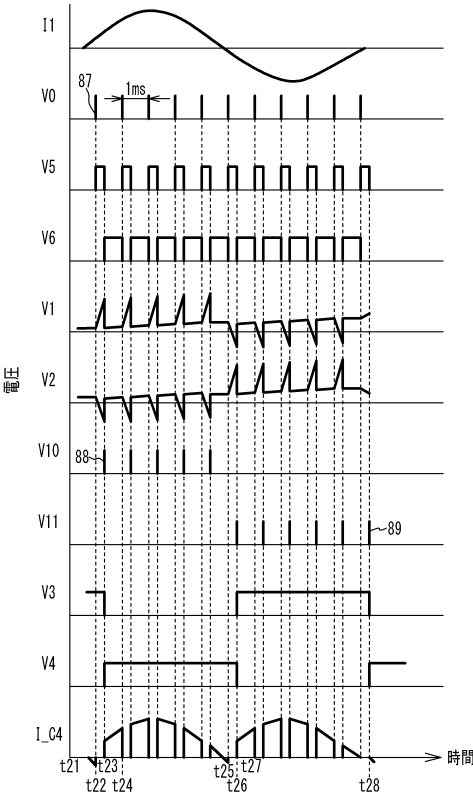
20

30

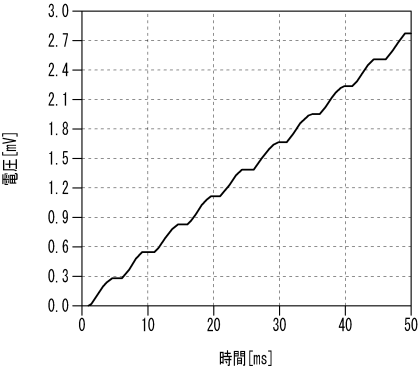
40

50

【図 5 7】



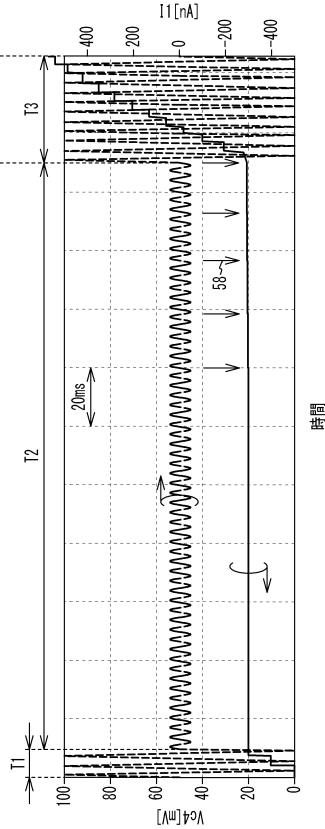
【図 5 8】



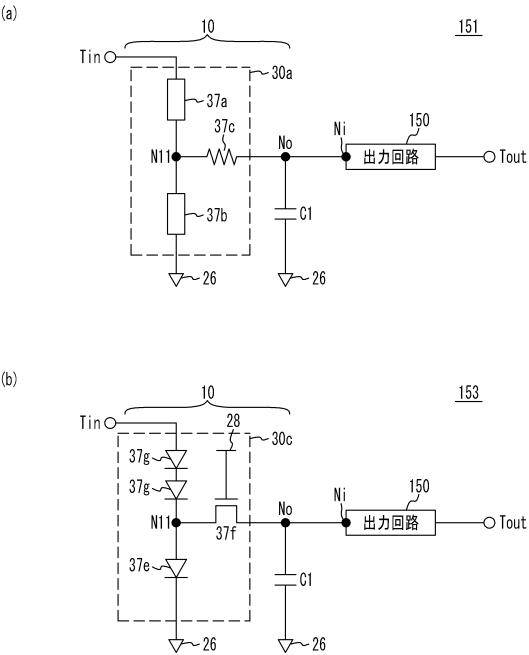
10

20

【図 5 9】



【図 6 0】

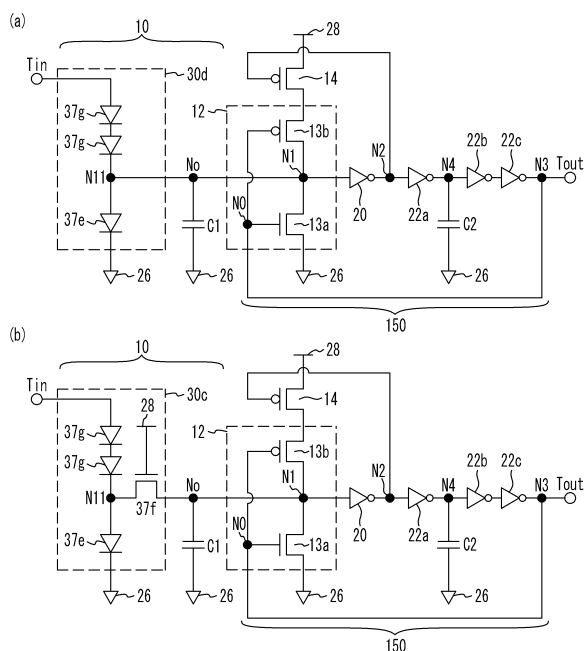


30

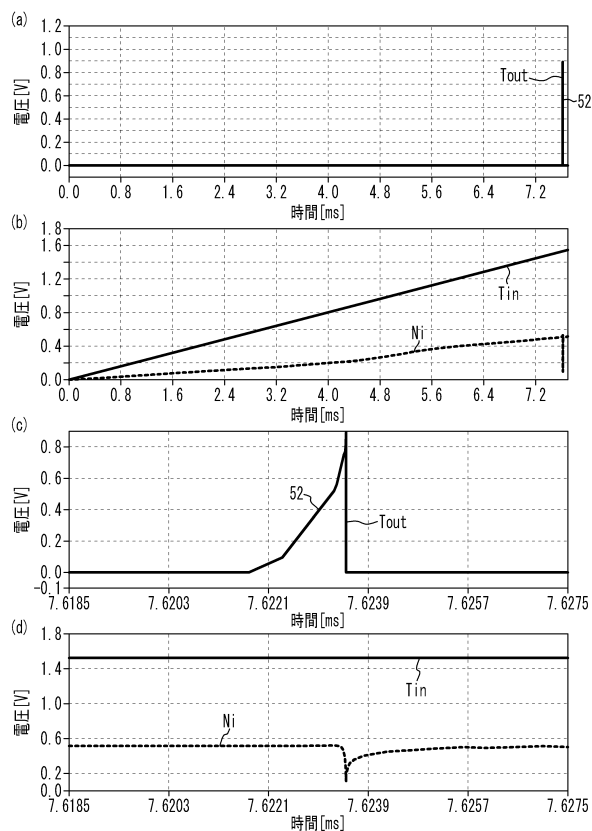
40

50

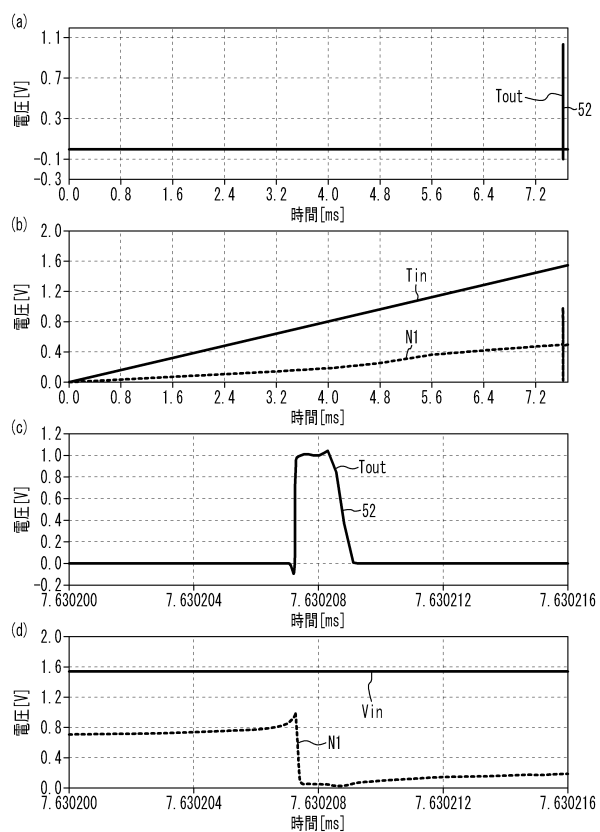
【図 6 1】



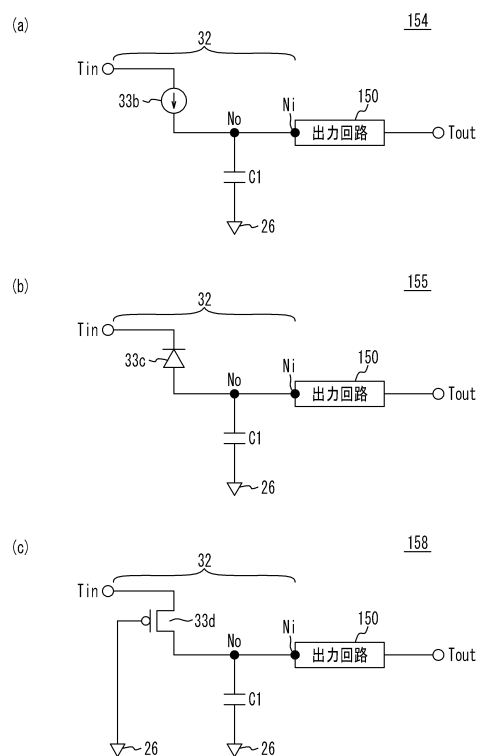
【図 6 2】



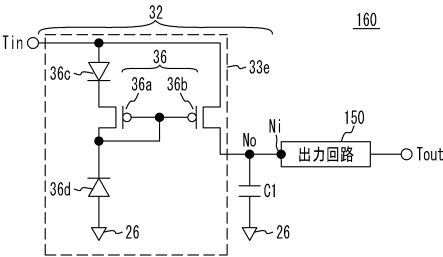
【圖 6 3】



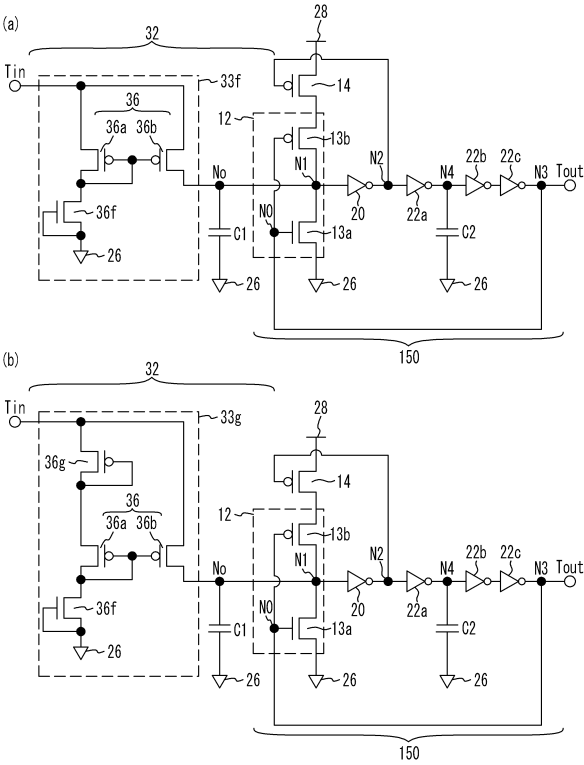
【図 6 4】



【図 6 5】



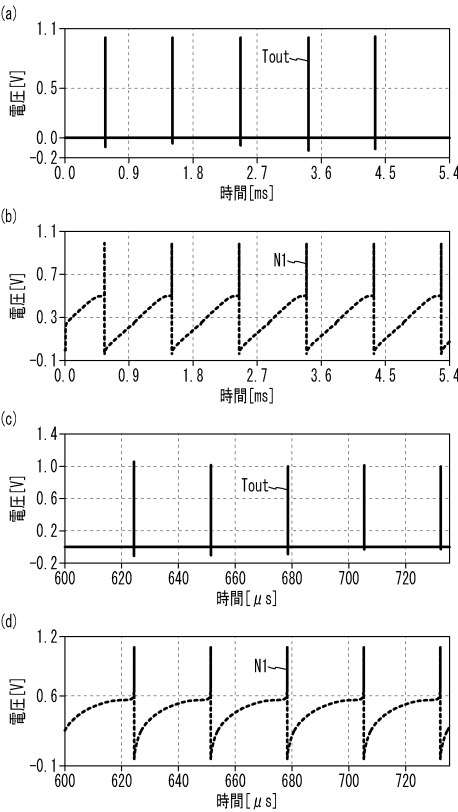
【図 6 6】



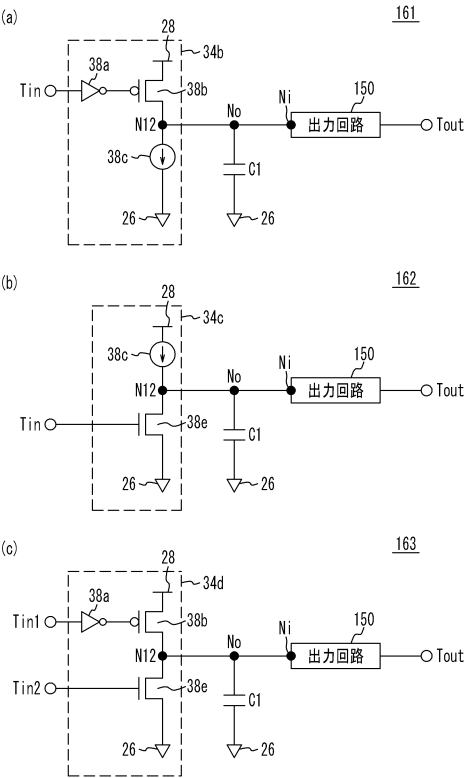
10

20

【図 6 7】



【図 6 8】

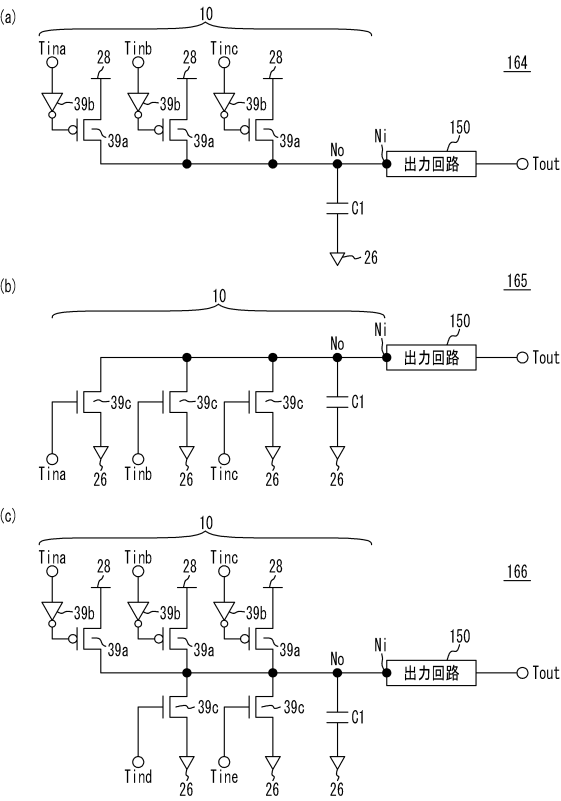


30

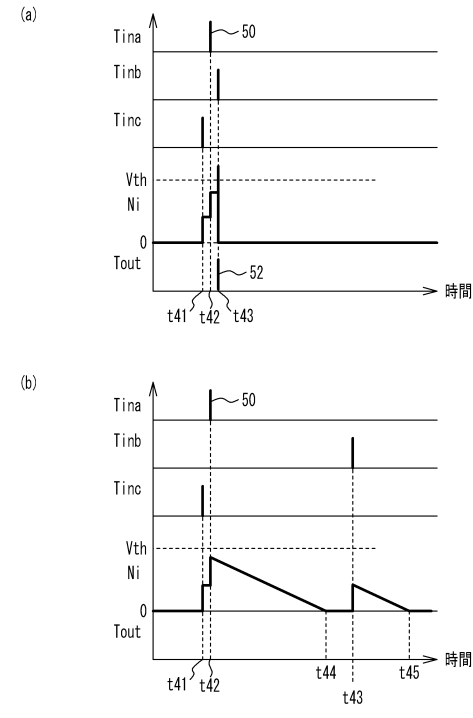
40

50

【図 6 9】



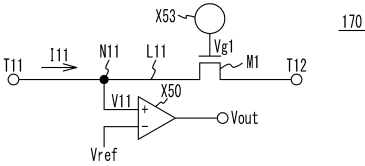
【図 7 0】



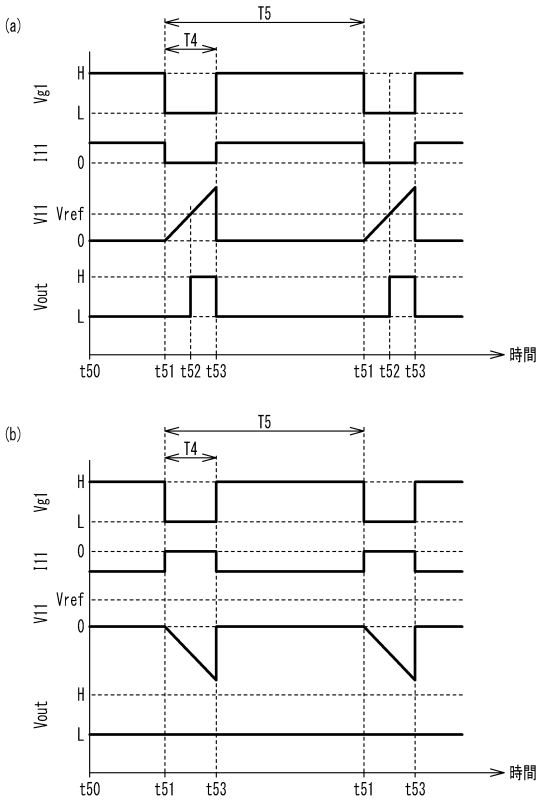
10

20

【図 7 1】



【図 7 2】

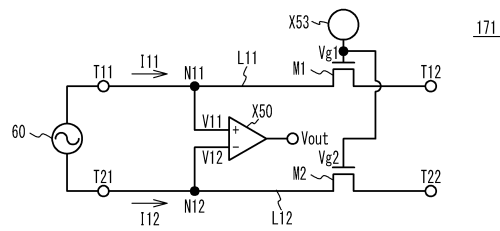


30

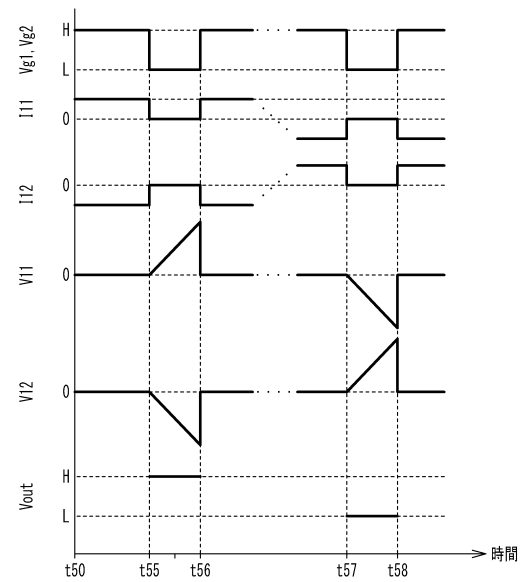
40

50

【図 7 3】

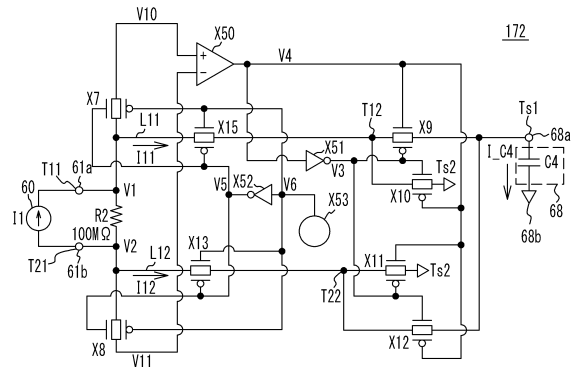


【図 7 4】

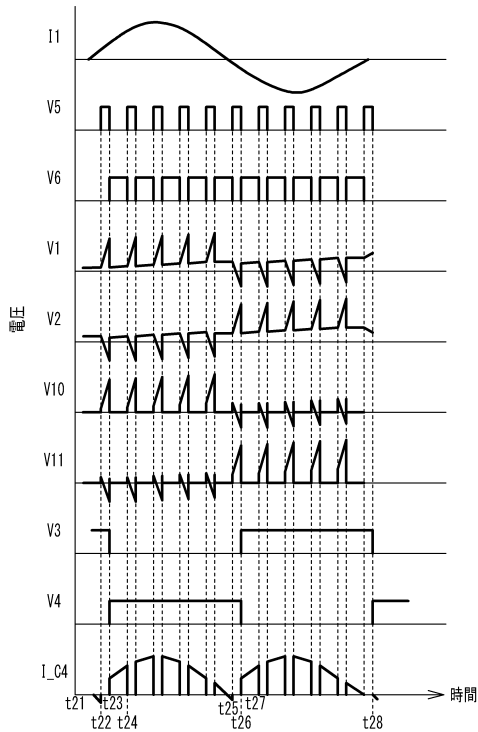


10

【図 7 5】



【図 7 6】

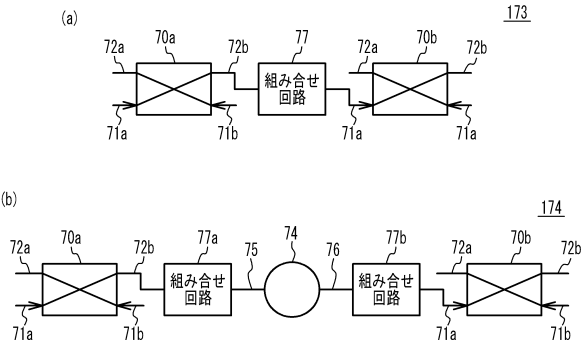


30

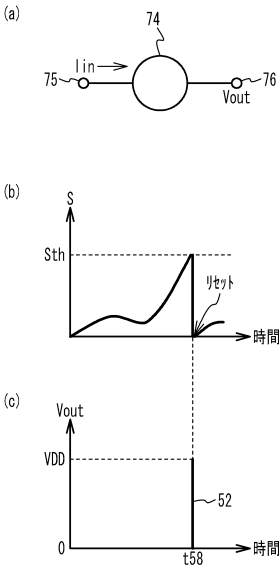
40

50

【図 7 7】

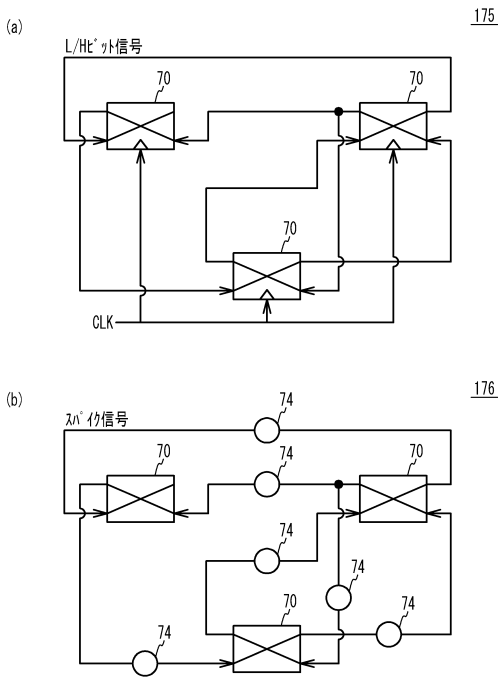


【図 7 8】

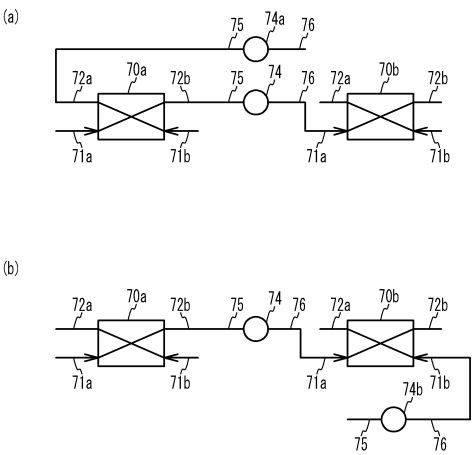


10

【図 7 9】



【図 8 0】



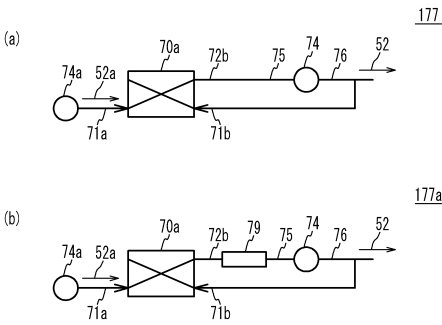
20

30

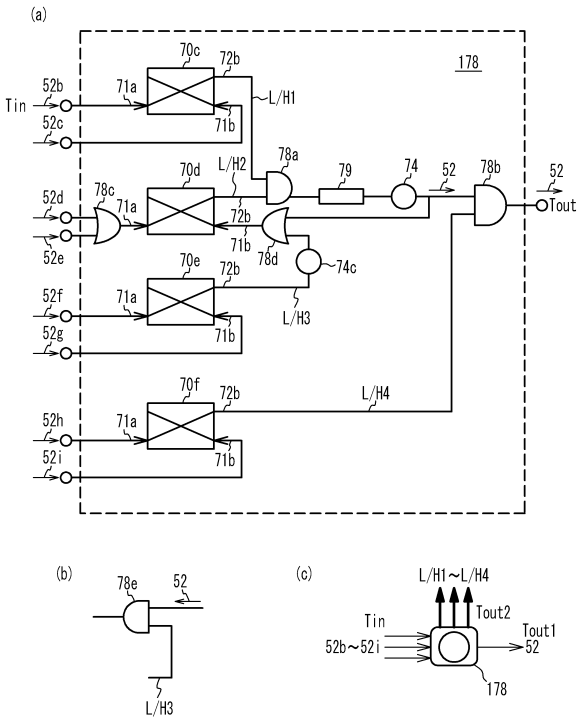
40

50

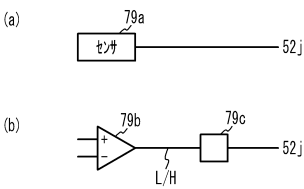
【図 8 1】



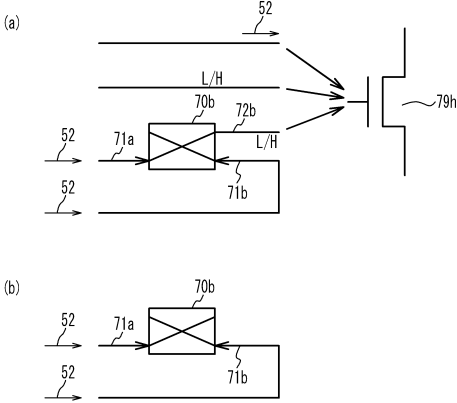
【図 8 2】



【図 8 3】



【図 8 4】



10

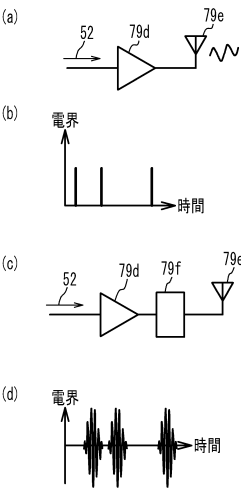
20

30

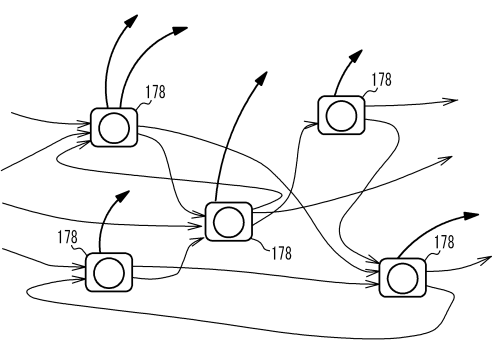
40

50

【図 8 5】



【図 8 6】



10

20

30

40

50

フロントページの続き

- (56)参考文献 国際公開第2018/100790 (WO, A1)
 特開昭50-014265 (JP, A)
 特開2001-148619 (JP, A)
 特開平10-341588 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
 G06G7/60
 G06N3/063
 H03K3/02