

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4279451号
(P4279451)

(45) 発行日 平成21年6月17日 (2009. 6. 17)

(24) 登録日 平成21年3月19日 (2009. 3. 19)

(51) Int. Cl.

F I

G O 6 F 13/16 (2006. 01)

G O 6 F 13/16 5 1 O A

G O 6 F 13/10 (2006. 01)

G O 6 F 13/10 3 1 O B

G O 6 F 13/42 (2006. 01)

G O 6 F 13/42 3 5 O C

請求項の数 3 (全 24 頁)

(21) 出願番号 特願2000-513205 (P2000-513205)
 (86) (22) 出願日 平成10年7月7日 (1998. 7. 7)
 (65) 公表番号 特表2001-517834 (P2001-517834A)
 (43) 公表日 平成13年10月9日 (2001. 10. 9)
 (86) 国際出願番号 PCT/US1998/013886
 (87) 国際公開番号 W01999/015971
 (87) 国際公開日 平成11年4月1日 (1999. 4. 1)
 審査請求日 平成17年6月28日 (2005. 6. 28)
 (31) 優先権主張番号 08/936, 848
 (32) 優先日 平成9年9月24日 (1997. 9. 24)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 591003943
 インテル・コーポレーション
 アメリカ合衆国 95052 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ プーレバード・2200
 (74) 代理人 100064621
 弁理士 山川 政樹
 (72) 発明者 ガフケン, アンドリュウ・エイチ
 アメリカ合衆国・95630・カリフォル
 ニア州・フォルソム・クリークサイド ド
 ライブ 2733番・1200
 (72) 発明者 ベネット, ジョセフ・エイ
 アメリカ合衆国・95670・カリフォル
 ニア州・ランチ コルドヴァ・エル マン
 ト ドライブ・2091

最終頁に続く

(54) 【発明の名称】 ロー・ピン・カウントのバスにおけるメモリ・トランザクション

(57) 【特許請求の範囲】

【請求項 1】

システム内でコンポーネントの構成またはブートをする命令を含むシステム起動情報を記憶するメモリ・デバイスを備え、

時分割多重化されたアドレス、データ、制御情報を搬送する複数の汎用信号線を有し且つ、前記メモリ・デバイスに対する低電力モードを示す制御信号を搬送するための独立した制御信号線を有するバスを備え、

前記バスに結合されたホストにして、そのホストと前記メモリ・デバイスとの間での前記システム起動情報の一部の通信を行うメモリ・トランザクションを示す制御情報を、前記バスを介して前記メモリ・デバイスに書き込むホストを備えることを特徴とするシステム。

【請求項 2】

ホストとメモリ・デバイスとの間でのメモリ・トランザクションを、時分割多重化されたアドレス、データ、制御情報を搬送する複数の汎用信号線を有し且つ別個の制御線を有するバスを介して行う方法であって、前記メモリ・デバイスには、システム内でコンポーネントの構成またはブートをする命令を含むシステム起動情報が記憶されており、

前記メモリ・デバイスへの制御信号にして、メモリ・トランザクションの開始を示す制御信号を、前記ホストが前記制御線上にアサートするステップと、

当該メモリ・トランザクションが前記ホストから前記メモリ・デバイスへのデータ・ユニットの書き込みであることを示す書き込みトランザクション制御情報にして、前記メモ

リ・デバイスに対する書き込みトランザクション制御情報を、前記ホストが前記複数の汎用信号線にドライブするステップと、

前記メモリ・デバイスへのアドレス情報にして、前記データ・ユニットを書き込むべき前記メモリ・デバイス内のアドレスを示すアドレス情報を、前記ホストが前記複数の汎用信号線にドライブするステップと、

前記メモリ・デバイスへのサイズ情報にして、転送すべき前記データ・ユニットのバイト数を示すサイズ情報を、前記ホストが前記複数の汎用信号線にドライブするステップと、

前記汎用信号線を介して前記データ・ユニットを、前記ホストが前記メモリ・デバイスに書き込むステップと、

前記バスの制御権を前記ホストから前記メモリ・デバイスに移すステップと、

前記メモリ・トランザクションにおけるエラーを示す制御情報を、前記メモリ・デバイスが前記複数の汎用制御信号線にドライブするステップと

を含む、ことを特徴とするメモリ・トランザクションを行う方法。

【請求項 3】

ホストとメモリ・デバイスとの間でのメモリ・トランザクションを、時分割多重化されたアドレス、データ、制御情報を搬送する複数の汎用信号線を有し且つ別個の制御線を有するバスを介して行う方法であって、前記メモリ・デバイスには、システム内でコンポーネントの構成またはブートをする命令を含むシステム起動情報が記憶されており、

(a) 前記メモリ・デバイスへの制御信号にして、メモリ・トランザクションの開始を示す制御信号を、前記ホストが前記制御線上にアサートするステップと、

(b) 当該メモリ・トランザクションが前記ホストによる前記メモリ・デバイスからのデータ・ユニットの読み取りであることを示す読み取りトランザクション制御情報にして、前記メモリ・デバイスに対する読み取りトランザクション制御情報を、前記ホストが前記複数の汎用信号線にドライブするステップと、

(c) 前記メモリ・デバイスへのアドレス情報にして、前記データ・ユニットを読み取るべき前記メモリ・デバイス内のアドレスを示すアドレス情報を、前記ホストが前記複数の汎用信号線にドライブするステップと、

(d) 前記メモリ・デバイスへのサイズ情報にして、転送すべき前記データ・ユニットのバイト数を示すサイズ情報を、前記ホストが前記複数の汎用信号線にドライブするステップと、

(e) バスの制御権を前記ホストから前記メモリ・デバイスに移すステップと、

(f) 前記メモリ・デバイスが、前記メモリ・トランザクションにおけるエラーを示す制御情報を前記複数の汎用信号線上に供給するステップと

を含む、ことを特徴とするメモリ・トランザクションを行う方法。

【発明の詳細な説明】

【0001】

(関連出願のクロスリファレンス)

本出願は、____日出願の「I/O TRANSACTIONS ON A LOW PIN COUNT BUS」という名称の米国特許出願第____号、____日出願の「DIRECT MEMORY ACCESS (DMA) TRANSACTIONS ON A LOW PIN COUNT BUS」という名称の米国特許出願第____号、および____日出願の「BUS MASTER TRANSACTIONS ON A LOW PIN COUNT BUS」という名称の米国特許出願第____号の関連出願である。上記に識別された各出願は、本出願と同一の譲受人に譲渡される。

【0002】

(発明の分野)

本発明はコンピュータ・システムに関する。より詳細には、本発明は、コンピュータ・システムのロー・ピン・カウントのバス上における異なるタイプのデバイス間の通信に関する。

10

20

30

40

50

【 0 0 0 3 】

(発明の背景)

従来のレガシー・ベースのコンピュータ・システムは、I S A (Industry Standard Architecture) バスまたは拡張バス (X バス) を介してシステムのチップセットまたはプロセッサと通信する様々な周辺デバイスおよび記憶デバイスを含む。システムのチップセットまたはプロセッサは、パラレル・ポート・コントローラ、シリアル・ポート・コントローラ、スーパー I / O コントローラ、フロッピー・ディスク・コントローラ、キーボード・コントローラなどの入出力 (I / O) デバイスまたは入出力コントローラ・デバイスと、例えば B I O S (basic input-output services) 情報などを記憶する不揮発性メモリ・デバイスのようなメモリ・デバイスとを含むレガシー・ベースの周辺デバイスにチップセットまたはプロセッサをインタフェースするのに使用される I S A バス信号または X バス信号をサポートするために、多数のピン (例えばおよそ 5 0 ないし 7 0 本のピン) および関連する回路を有さなければならない。

10

【 0 0 0 4 】

I S A バスおよび X バス基準をサポートするのに必要な多数のピンは、一般に、システム・コスト全体を増加させる。例えば、チップセットまたはプロセッサには大きなパッケージが必要となる。ピンカウントの大きいパッケージであるほど、ピンカウントの小さいパッケージよりも一般にコストがかかり、概して、パッケージ組立およびシステム統合過程の間に、製造の品質および信頼性の問題を抱えやすい。さらに、ピンカウントの大きいパッケージであるほど、コンピュータ・システムが実装されるプリント回路板 (P C B) 上に多大な表面域を必要とする。したがって、コンピュータ・システムの I S A バスまたは X バスを、同じタイプの周辺デバイスをサポートし、なおかつ、相対的に少数のピンまたは信号線を利用するバスで置き換えるのが望ましいであろう。

20

【 0 0 0 5 】

I S A バスおよび X バス規格はまた、メモリ・アドレス空間または入出力アドレス空間の大きさを、24 ビットすなわちおよそ 16 メガバイトのメモリ・アドレス空間または入出力アドレス空間に制限する。いくつかのプロセッサおよびチップセットは 32 ビットまたは 64 ビットのアドレス空間をサポートすることができるため、今まではプロセッサのアドレス空間を I S A アドレス空間に変換するのにエイリアシングが必要とされてきた。エイリアシングは、コンピュータ・システムの性能がマイナスの影響を受けるような重大なオーバーヘッドを生み出す可能性がある。したがって、I S A バスおよび X バス規格を、プロセッサまたはチップセットのアドレス空間との互換性を有し、かつ潜在的に無制限であるアドレス空間をサポートできるバスで置き換えることが望ましいであろう。

30

【 0 0 0 6 】

I S A バスおよび X バス規格にはさらに、非同期であるという欠点もある。そのため、I S A バスおよび X バスの信号を生成し、かつそれに応答する必要のあるコンポーネントのデザインが一般により複雑になる。したがって、I S A バスおよび X バス規格を、コンポーネント間の同期通信をサポートできるバスで置き換え、それによってバス・インタフェース回路の複雑性を全般に緩和することが望ましいであろう。

40

【 0 0 0 7 】

(発明の概要)

ホストとメモリ・デバイスに結合されたバスを有するシステムを記述する。バスは、時分割多重化されたアドレス、データ、制御情報を運ぶ、複数の汎用信号線を有する。メモリ・デバイスはシステム起動情報を記憶し、バスを介してこの情報をホストと通信することができる。

【 0 0 0 8 】

本発明の他の特徴および利点は、添付の図面および以下の詳細な記述から明らかとなる。

【 0 0 0 9 】

本発明の特徴および利点は、類似の言及が同様の構成要素を示す添付の図面の図中に、限

50

定されないが例によって示される。

【 0 0 1 0 】

(詳細な説明)

ロー・ピン・カウント (L P C) のバスを使用するコンピュータ・システムが開示される。 L P C バスは、コンピュータ・システム内の I S A バスまたは X バスの代わりとなることができ、プロセッサやチップセットなどのホストと、入出力デバイスや入出力コントローラ・デバイス、およびメモリ・デバイスなどの周辺デバイスとの間の通信機構を提供する。一実施形態では、 L P C バスは、ホストと周辺デバイスの間のメモリ・トランザクション、入出力トランザクション、ダイレクト・メモリ・アクセス (D M A) ・トランザクション、バス・マスタ・トランザクションを実施するための、ほぼ全ての時分割多重化されたアドレス、データ、制御情報を搬送する汎用信号線を含むであろう。

10

【 0 0 1 1 】

L P C バスの意図される利点は、以前は I S A バスおよび X バス規格のおよそ 5 0 ~ 7 0 本の信号線によって実行された全機能を実行するのに、それよりもずっと少ない信号線 (例えばおよそ 6 ~ 8 信号線) しか必要とせずに済むことである。 L P C バスに対する信号線の本数が I S A バスおよび X バス規格よりもずっと削減できるため、 L P C バスをサポートするのにコンピュータ・システムのチップセット上またはプロセッサ上に必要とされるピンの数は大幅に削減できる。同様に、各周辺デバイス内に備わる L P C インタフェースは、 L P C バスを介してチップセットまたはプロセッサにインタフェースするのに、同様に少数のピンを使用することができる。これによって、コンポーネント製造業者にとってより低いパッケージング・コスト、および、コンピュータ・システムの製造業者にとってより低いシステム・コストが実現できる。さらにこれによって、より高い品質、および、より信頼性のあるパッケージングならびにシステム統合も実現できる。 L P C バスはまた、バスに結合されるパッケージのピン・カウントを減らすために、他のシステムのバスの代わりとして使用することもできる。

20

【 0 0 1 2 】

L P C バスの別の意図される利点は、メモリ・アドレス空間および / または入出力アドレス空間が通信バス内の特定数のアドレス・ラインに限定されるのではなく、 L P C バスが、いずれかのアドレス空間にアドレスする必要のある全てのアドレス信号をシリアルに搬送できることである。したがって、メモリ・アドレス空間および / または入出力アドレス空間の従来のエイリアシングが回避できる。

30

【 0 0 1 3 】

L P C バスの別の意図される利点は、チップセットまたはプロセッサを周辺デバイスにインタフェースできる L P C インタフェース論理および / またはソフトウェアが、 I S A バスまたは X バス規格を採用する既存のコンピュータ・システムとのソフトウェア互換性を持てることである。すなわち、 I S A バスまたは X バス規格に対して、オペレーティング・システム・ソフトウェアまたはアプリケーション・プログラムが L P C バス・システム上で動作するのに特別なドライバや設定は全く必要とされない。

【 0 0 1 4 】

L P C バスの別の意図される利点は、それを、ホストおよび周辺デバイス内の L P C インタフェース回路が非同期バス・インタフェース構造よりも概して複雑でない回路となる、同期バスとすることができることである。

40

【 0 0 1 5 】

L P C バスおよび関連のサポート回路はまた、プリンタ、デジタル・カメラ、通信システム (例えばモデム、セルラー式電話システム、ページャ、デジタル応答システム) を含めた他のシステム内にも組み込むことができる。

【 0 0 1 6 】

図 1 は、 L P C バス 1 2 4 を介して、入出力デバイスや入出力コントローラ・デバイス 1 0 4、1 0 6 と、メモリ・デバイス 1 0 8 とを含む周辺デバイスに結合されたホスト 1 0 2 を有するコンピュータ・システム 1 0 0 の一実施形態である。ホスト 1 0 2 は、チップ

50

セット、プロセッサ、または、LPCバス124にインタフェースするためのインテリジェンスを含む他のいずれかの制御論理とすることができる。ホスト102はまた、オプションのISAバス126、およびオプションのPCIバスまたはホスト・バス128にインタフェースするのに必要な論理を含むことも可能である。ホスト102は、ローカル・バスでも他のメモリ・バスでもよいバス130を介して、アドレス、データ、制御情報をメモリ110と通信する。メモリ110は、例えばオペレーティング・システム・ソフトウェア、アプリケーション・コード、プログラム・データを記憶する、ダイナミック・ランダム・アクセス・メモリ(DRAM)、スタティック・ランダム・アクセス・メモリ(SRAM)、または他のいずれかのタイプの揮発性メモリまたは不揮発性メモリなどの、システム100に対するメイン・メモリまたはプライマリ・メモリとすることができる。

10

【0017】

入出力デバイス104および106は、入出力アドレス空間内でアドレス可能であり、かつ、フロッピー・ディスク・ドライブ、キーボードなどの周辺コンポーネントへのアクセスを制御する入出力コントローラ・デバイスとすることができる。入出力デバイス104および106はそれぞれ、例えばフロッピー・ディスク・コントローラ、シリアル・ポート・コントローラ、パラレル・ポート・コントローラ、赤外線(IR)コントローラ、キーボード・コントローラ、オーディオ・コントローラ・デバイス、またはビデオ・コントローラ・デバイスとすることもできる。入出力デバイス104は、それぞれが例えばフロッピー・ディスク・コントローラ、シリアル・ポート・コントローラ、パラレル・ポート・コントローラ、赤外線(IR)コントローラ、キーボード・コントローラ、オーディオ・コントローラ・デバイス、ビデオ・コントローラ・デバイスである場合のあるI/Oコントローラ120および122を含むスーパーI/Oデバイスとすることができる。

20

【0018】

メモリ・デバイス108は、メモリ空間にアドレス可能な周辺デバイスである。例えば、メモリ・デバイス108は、DRAM、SRAM、フラッシュ・メモリ、EPROM(電氣的プログラム可能ROM)、EEPROM(電氣的消去可能なROM)、磁気記憶媒体、光学記憶媒体などの、どんなタイプの揮発性メモリまたは不揮発性メモリも含むことができる。メモリ・デバイス108は、システム起動コード、制御コード、オペレーティング・システム・データ、アプリケーション・コード、プログラム・データを記憶することができる、あるいは、ホスト102または入出力デバイス104および106のためのスクラッチ・パッドとして機能することができる。システム起動コードは、システム100内でコンポーネントを構成またはブートするのに必要なソフトウェアを含むことができ、BIOS情報を含むことができる。

30

【0019】

ホスト102および周辺デバイス104、106、108のそれぞれは、LPCバス124上のLPC信号を生成し、LPC信号に応答するための、LPCインタフェース118、112、114、116を含む。これらのLPCインタフェースによって、システム100がLPCバス124を介してメモリ・トランザクション、入出力トランザクション、DMAトランザクション、およびバス・マスタ・トランザクションを実施できる。各LPCインタフェースは、LAD[3:0]、LCLK、LFRAME#の信号を受信または送信するための入力ピンと出力ピンのいずれかを有する。信号名に付くシャープ記号「#」はその信号がアクティブ・ローの信号であることを示すことに留意されたい。代替の実施形態では、アクティブ・ローの信号はアクティブ・ハイの信号に変更することができる。

40

【0020】

LAD[3:0]信号線は、LPCバス124を介してホスト102と周辺デバイス104、106、108との間で時分割多重化されたアドレス、データ、および制御情報を搬送する汎用信号線である。LAD[3:0]がアドレス、データ、または制御情報をいずれかの所与の時間に搬送しているかどうかは、以下により詳細に記述するシステム100のオペレーティング・コンテキストによって決定される。LAD[3:0]は4ビットの

50

バスとして例示されるが、時分割多重化されたアドレス、データ、および制御情報を搬送するように意図された目的を達成するどんな数の信号線とすることもできる。4ビットのニブル・サイズのバスは、各LPCインタフェース112～118上に必要なピンの数を減らし、ホスト102および周辺デバイス104、106、108のピンの数およびパッケージ・サイズを減らすのに都合が良いことがある。

【0021】

LCLKは、LPCインタフェース118によって、またはホスト102（図示せず）内の他の回路によって生成することのできるクロック信号である。あるいは、LCLKは、水晶クロックまたは他のタイミング回路を含むシステム・クロック（図示せず）によって生成できる。一実施形態の場合、LCLKはPCIバス128からのPCIクロックとす

10

【0022】

LFRAME#は、LPCトランザクションまたはサイクルの開始および／または終了を示すためにホスト102のLPCインタフェース118によって生成される。各LPCインタフェース112、114、116は、LFRAME#を監視またはサンプリングし、それによってLPCトランザクションがいつ開始または終了できるかを決定することができる。例えば、LFRAME#がホスト102によって（例えばロー・レベルに）アサートされると、周辺デバイス104、106、108のLPCインタフェース112、114、116はそれぞれLAD[3:0]を監視し、それによって、そのトランザクションまたはサイクルが自分に向けられたものかどうかを判定する。トランザクションが特定の周辺デバイスに向けられたものでない時、その周辺デバイスがより低い電力モードに入り、その状態機械をバスから分断し、そして／またはそのクロックをゲート制御することが有利となる。LFRAME#が複数のLCLKサイクルにアサートされる場合、LPCインタフェース112、114、116は、最後のLCLKサイクルの間に、LFRAME#がアクティブであるというLAD[3:0]の開始制御情報に反応するだけである。表1は、LFRAME#がアサートされる時のLAD[3:0]の開始制御情報の例示的な定義を要約したものである。

20

【0023】

表1

LAD[3:0]	機能
0000	トランザクションの開始
0001	予約
0010	バス・マスタ0への許可
0011	バス・マスタ1への許可
0100	予約
1101	メモリ読取り
1110	メモリ書込み
1111	トランザクションの停止／打ち切り

30

40

【0024】

LFRAME#は、LPCトランザクションを打ち切る、または終了するのに使用される

50

。例えば、周辺デバイス104、106、108の各LPCインタフェース112、114、116は、LPCトランザクションの間、LFRAME#を監視し続ける。LPCトランザクションの間にLFRAME#がアサートされる場合、周辺デバイス104、106、108はLAD[3:0]のドライブを中止し、それらのLPCトランザクションを打ち切る。一実施形態では、ホスト102は、打ち切りの指示が全ての周辺デバイスに認識されるのを保証するために、いくつかのCLKサイクル（例えば4クロック・サイクル）に対するLFRAME#をアサートする。この1つまたは複数のCLKサイクルの間、ホスト102はまた、周辺デバイス104～108がLAD[3:0]のドライブを中止した後でLAD[3:0]の所定のデータをドライブする。一実施形態の場合、ホスト102がLAD[3:0]の1111をドライブし、LFRAME#が打ち切りシーケンスを指示するようにアサートされる。打ち切りシーケンスの終了時、LFRAME#は、新しいLPCトランザクションが始まる前にアサート解除されることが可能である。

10

【0025】

代替の実施形態では、LFRAME#は、いずれかのシステム内のいずれか2つのデバイス（例えばホストと周辺デバイス）間のメモリ・トランザクション、入出力トランザクション、バス・マスタ・トランザクション、DMAトランザクションなどのトランザクションの開始または打ち切りを通信する、（バスから離れた）独立した信号線の独立した制御信号として使用することもできる。

【0026】

LPCバス124はまた、各LPCインタフェース112、114、116、118に入力され、LPCインタフェースを既知の状態（例えばアイドル状態）にリセットするリセット信号LRESET#を含むことができる。一実施形態の場合では、LRESET#を、PCIバス128上のPCIリセット信号と同じリセット信号とすることができる。

20

【0027】

入出力デバイス104および106もまた、ホスト102のLPCインタフェース118への別々の制御線上に与えられるDMA要求信号LDRQ0#およびLDRQ1#をそれぞれ有することができる。LDRQ0#およびLDRQ1#は、DMAまたはバス・マスタ・トランザクションを実行する前にホスト102にコード化したDMAチャネル要求を伝送するのに使用できる。各入出力デバイスは、周辺デバイスの入出力コントローラ120および122がLDRQ0#上の1つのDMAチャネル要求を共有するような、独自のLDRQ#信号を有することができる。

30

【0028】

LPCバス124はまた、別々の制御線上でホスト102から各周辺デバイス104～108に出力されることのある低電力または待機中の信号LPCPD#を含むことができる。図11に示すように、ホスト102は、時間t0にLPCPD#を非同期で（例えばローに）アサートし、それによって、周辺デバイス104～108を低電力モードに入らせることができる。ホスト102によってアサートされたLPCPD#を認識する際、周辺デバイス104～108は、いずれかのLPCトランザクションを停止し、LDRQ#信号を非活動状態にトリステートまたはドライブすることになる。周辺デバイス104～108および/またはホスト102はまた、LAD[3:0]を既知の状態にトリステートまたはドライブできる。ホスト102はまた、LPCPD#をアサートした後でLFRAME#を既知の状態（ハイまたはロー）にドライブできる。低電力モードでは、CLKを時間t1で切断でき、周辺デバイス104～108がそれらの状態機械および/または他の論理を切断することができる。一実施形態の場合では、t0とt1の間の時間差は少なくとも30マイクロ秒ある。低電力モードの場合、CLKは時間t2で非同期で再開でき、LPCPD#が時間t3でアサート解除されるまでのしばらくの間動作することができる。一実施形態の場合では、t2とt3の間の時間差は少なくとも100マイクロ秒である。次いで、時間t3から時間t4まで周辺デバイス104～108をリセットするのに、LRESET#を使用できる。一実施形態の場合では、時間t3と時間t4の間の時間差は少なくとも60マイクロ秒である。

40

50

【 0 0 2 9 】

ホスト 1 0 2 と周辺デバイス 1 0 4 ~ 1 0 8 はまた、割込み信号（例えば S E R I R Q および S M I # ）、追加クロック信号（例えば C L K R U N # ）、および以下により詳細に記述する電力制御信号を含めた、I S A バスまたは P C I バスで使用される追加の側波帯の入力および / または出力信号も有することができる。

【 0 0 3 0 】

一実施形態では、L P C バス 1 2 4 は、およそ 6 ~ 9 本の信号線を使用することで、従来の I S A バスまたは X バスのパーツまたはシステムに対する実質的な信号およびピン・カウントの節約を実現する。例えば、プラグアンドプレイのデバイスに通常使用される次の I S A バスまたは X バスの信号はもはや必要とされない。D [7 : 0]、S A [1 5 : 0]、D R E Q [3 : 0]、D A C K # [3 : 0]、T C、I O R #、I O W #、I O C H R D Y、I O C S 1 6 #、および M E M C S 1 6 # がそれである。このことによって、バス、ホスト、および / または周辺デバイス上のおよそ 3 0 ~ 4 0 個の信号が節約できる。一実施形態の場合、I S A バスまたは X バス互換の状況下で 1 6 0 本ものピンを有するパッケージが必要なこともあった全機能的なスーパー I / O 周辺コントローラ・デバイスは、図 1 に示すような L P C インタフェースの使用によって 8 8 本（またはそれ未満）のピンを有するパッケージを必要とするだけで済む。

【 0 0 3 1 】

L P C バスは、メモリ読取り、メモリ書込み、入出力読取り、入出力書込み、D M A 読取り、D M A 書取り、バス・マスタ・メモリ読取り、バス・マスタ・メモリ書込み、バス・マスタ入出力読取り、バス・マスタ入出力書込みを含めた、メモリ、入出力、D M A、バス・マスタのトランザクションまたはサイクルを実行するために、L P C インタフェース 1 1 2 ~ 1 1 8 によって使用されることが可能である。トランザクションのタイプは、ホスト 1 0 2 または周辺デバイス 1 0 4、1 0 6、1 0 8 によって L A D [3 : 0] でドライブされるサイクル・タイプおよび方向制御情報のフィールドに示されることが可能である。L A D [3 : 1] でコード化されるサイクル・タイプおよび制御情報の一実施形態を表 2 に示す。同じまたは異なる信号上の他のコード化も使用できる。

【 0 0 3 2 】

表 2

LAD [3 : 1]	トランザクション
0 0 0	入出力読取り
0 0 1	入出力書込み
0 1 0	メモリ読取り
0 1 1	メモリ書込み
1 0 0	DMA 読取り
1 0 1	DMA 書込み
1 1 0 - 1 1 1	予約

【 0 0 3 3 】

図 2 には、ホスト 1 0 2 の L P C インタフェース 1 1 8 の一実施形態である L P C インタフェース 2 0 0 を示す。L P C インタフェース 2 0 0 は、表 2 のトランザクションを実行するために、L P C バス 1 2 4 上のアドレス、データ、制御情報を生成し、変換する。L

ＰＣインタフェース２００は、ホスト１０２と周辺デバイス１０４～１０８のうちの１つとの間のメモリ読取り、メモリ書込み、入出力読取り、および入出力書込みのＬＰＣトランザクションを制御できる、メモリおよび入出力のＬＰＣ制御論理２０２を含む。メモリおよび入出力のＬＰＣ制御論理２０２は、特定のＬＰＣトランザクションに必要な状態間の順番付けを行うため、かつ、ＬＡＤ〔３：０〕、ＬＦＲＡＭＥ＃、および／またはＬＣＬＫ上にアドレス、データ、または制御情報を生成するための、状態機械またはシーケンサを含むことができる。ＬＡＤ〔３：０〕、ＬＦＲＡＭＥ＃、および／またはＬＣＬＫ上に提供される情報は、論理２０８からＬＰＣバス１２４に出力されるためにバス２１４に提供されることが可能である。

【００３４】

一実施形態の場合、メモリおよび入出力のＬＰＣ制御論理２０２は、ＬＰＣメモリ・トランザクションまたは入出力トランザクションが１つまたは複数の信号２１６を介してＬＰＣ復号論理２１０と通信することによって実行される必要があることを決定する。ＬＰＣ復号論理２１０は、メモリまたは入出力の読取りまたは書込み要求、および関連するアドレスを、ホスト１０２、ＩＳＡバス１２６、ＰＣＩバスまたはホスト・バス１２８から受信することができる。ＬＰＣ復号論理はアドレスおよび信号メモリを復号化し、入出力ＬＰＣ制御論理２０２はメモリまたは入出力ＬＰＣのトランザクションを開始する。あるいは、ＬＰＣ復号論理２１０は、ＬＰＣインタフェース２００の外、ただしホスト１０２の内部に位置付けることも可能である。オペレーティング・システム・ソフトウェアおよびアプリケーション・ソフトウェアに対するソフトウェア透過性をＬＰＣトランザクションに持たせるのを補助するために、周辺デバイス１０４～１０８に対して復号化されるアドレスの範囲は、以前のＩＳＡバスおよびＸバスを使用するレガシー・ベースの周辺デバイスとの互換性を有するように定義できる。代替の実施形態の場合、メモリおよび入出力のＬＰＣトランザクションの制御は、異なる制御回路内に分離することもできる。

【００３５】

ＬＰＣインタフェース２００はまた、ホスト１０２と入出力デバイス１０４および１０６のうちの１つとの間のＤＭＡ読取りおよび書込みのＬＰＣトランザクションを制御するＤＭＡ　ＬＰＣ制御論理２０４も含む。ＤＭＡ　ＬＰＣ制御論理２０４は、ＤＭＡ　ＬＰＣトランザクションに必要な状態間の順番付けを行うため、かつ、ＬＡＤ〔３：０〕、ＬＦＲＡＭＥ＃、および／またはＬＣＬＫ上にアドレス、データ、または制御情報を生成するため、かつ、ＤＭＡ要求信号ＬＤＲＱ０＃およびＬＤＲＱ１＃を受信するための、状態機械またはシーケンサを含むことができる。ＬＡＤ〔３：０〕、ＬＦＲＡＭＥ＃、ＬＤＲＱ０＃、ＬＤＲＱ１＃、および／またはＬＣＬＫに提供される情報は、論理２０８およびバス２１４を介してＬＰＣバス１２４間で提供されることができる。

【００３６】

ＤＭＡ　ＬＰＣ制御論理２０４は、ホスト１０２中に常駐できるＤＭＡコントローラ２１２を介してホスト１０２およびメモリ１１０にインタフェースすることができる。ＤＭＡ　ＬＰＣ制御論理２０４は、１つまたは複数の信号２１８を介してＤＭＡ制御論理２１２と通信することができる。一実施形態の場合、ＤＭＡ制御論理２１２は、１つまたは複数の８２３７または８２３７互換のＤＭＡコントローラを含むことができる。ＤＭＡコントローラ２１２は、入出力デバイスがそれを使用してホスト１０２を介してメイン・メモリ１１０と通信できるようなＤＭＡチャネルの代わりに、ホスト１０２内の仲裁を実行することができる。

【００３７】

ＬＰＣインタフェース２００はまた、ホスト１０２と周辺デバイス１０４～１０８の間の、バス・マスタ・メモリ読取りおよび書込みのＬＰＣトランザクションと、バス・マスタ入出力読取りおよび書込みのＬＰＣトランザクションとを制御するバス・マスタＬＰＣ制御論理２０６も含む。バス・マスタＬＰＣ制御論理２０６は、バス・マスタＬＰＣトランザクションに必要な状態間の順番付けを行うため、かつ、ＬＡＤ〔３：０〕、ＬＦＲＡＭＥ＃、および／またはＬＣＬＫ上のアドレス、データ、または制御情報を生成するため、

10

20

30

40

50

かつ、DMA要求信号LDRQ0#およびLDRQ1#を受信するための、状態機械またはシーケンサを含むことができる。LAD[3:0]、LFRAME#、LDRQ0#、LDRQ1#、および/またはLCLKに提供される情報は、論理208およびバス214を介してLPCバス124へ送り又はLPCバス124から受け取ることができる。

【0038】

論理208は、LPCバス124をLPCバス214にインタフェースするための1つまたは複数のバッファまたはトランシーバを含むことができる。あるいは、LPCインタフェース200はバス214を含まなくてもよく、論理208は、メモリおよび入出力のLPC制御論理202、DMA LPC制御論理204、およびバス・マスタLPC制御論理206の入力信号および出力信号に直接かつ個別に接続できる。この代替の実施形態の場合、論理208は、ホスト102の制御下で、LPCバス124と制御論理202、204、206との間で適したLPC信号を出力または入力する、セクタ回路またはマルチプレクサ回路とすることができる。

【0039】

図3は、ホスト102と周辺デバイス104~108の間で、メモリおよび/または入出力の書込みLPCトランザクションまたは読取りLPCトランザクションを実行するための1つまたは複数のLPCインタフェース112~118が実施される状態図である。例えば、図3の状態図は、図2で示したメモリおよび入出力のLPC制御論理202の状態機械またはシーケンサによって使用されることが可能である。この状態図は、メモリ読取り、メモリ書込み、入出力読取り、入出力書込みのLPCトランザクションを実施する。他の実施形態の場合では、別々の状態機械がメモリ・トランザクションおよび入出力トランザクションを実施する。メモリ読取りおよび書込みのLPCトランザクションは、図4および図5の例示的なタイミング図を利用しながら述べる。

【0040】

最初に、ホスト102による、メモリ・デバイス108内のメモリ位置からの例示的なメモリ読取りLPCトランザクションを図3および図4を参照しながら述べる。このメモリ読取りLPCトランザクションは、例えば、ホスト102がメモリ・デバイス108からシステム起動情報を読み取ることによって実施できる。状態302では、LPCインタフェース118は、LFRAME#が(例えばハイに)アサート解除されていて、LPCトランザクションを実行しないアイドル状態である。ホスト102が、LPCバス124上のLFRAME#を(例えばローに)アサートすることによってLPCトランザクションを開始すると(例えば、制御論理202が、メモリ読取りLPCトランザクションが発生することを示す復号化された信号をLPC復号論理210およびホスト102から受信すると)、プロセスは状態304に移行する。ホスト102は、サイクルT0中にLAD[3:0]のLPCトランザクションの開始を示す開始制御情報をドライブすることができる。例えば、開始制御情報は表1に示すようにLAD[3:0]を0000とすることができる。

【0041】

次いでプロセスは状態306に移行し、ホスト102は、サイクルT1中にLAD[3:0]のサイクル・タイプおよび方向制御情報をドライブする。サイクル・タイプおよび方向制御情報は、LPCトランザクションがメモリ読取りトランザクションであることを周辺デバイス104~108に示す。例えば、サイクル・タイプおよび方向制御情報は、表2に示すようにLAD[3:1]を010とする。

【0042】

次いでプロセスは状態308に移行し、ホスト102は、nクロック・サイクルT2中にLAD[3:0]の選択されたメモリ・デバイス108内のメモリ位置のアドレスをドライブする。アドレスは、図1のシステム100などのシステムによってサポートされるどんなビット長でもよく、いくつかのnクロック・サイクルT2にわたって送信される。一実施形態の場合、メモリ・アドレス空間は4ギガバイトで、32ビットのメモリ・アドレスを必要とすることがある。この実施形態では、8ニブル(32ビット)のアドレス情報

10

20

30

40

50

をホスト 102 からメモリ・デバイス 108 に転送するために、8 クロック・サイクルのアドレス情報が制御論理から L P C バス 124 に与えられる。アドレス情報は、最上位のニブルが先に提供されても、最下位のニブルが先に提供されてもよく、あるいはメモリ・デバイス 108 によって予想される他のどんな順番でもよい。

【0043】

代替の実施形態の場合、ホスト 102 は、後続のサイクル中に L A D [3 : 0] にサイズ制御情報を任意選択でドライブすることができる。一実施形態の場合、サイズ制御情報は、状態 308 で与えられるアドレスで開始され、メモリ・デバイス 108 から読み取られるべきメモリ・データのバイト数を示す。表 3 は、その後で L A D [3 : 0] を介して転送されるべき L A D [1 : 0] のバイト数をコード化する一実施形態を提供する。同じまたは異なる L A D 信号線上の他のコード化も使用できる。

【0044】

表 3

LAD [1:0]	サイズ
00	8ビット (1バイト)
01	16ビット (2バイト)
10	予約
11	32ビット (4バイト)

【0045】

別の実施形態の場合、サイズ制御情報は、メモリ・データの 2^{size} バイト数がメモリ・デバイス 108 から、状態 306 で提供されるアドレスで開始され読み取られるべきであることを示すことがある。

【0046】

次いでプロセスは、転換 (TAR) 状態 312 に移行し、n クロック・サイクル T4 中に L P C バス 124 の制御権をホスト 102 からメモリ・デバイス 108 に移す。一実施形態の場合、状態 312 は 2 クロックの幅を有する。最初のクロック・サイクルで、ホスト 102 は所定の制御情報 (例えば 1111) を使用して L A D [3 : 0] の信号線をドライブできる。第 2 のクロック・サイクルで、ホスト 102 は L A D [3 : 0] の信号線をトライステートにする。これらの信号線は、論理的に高い状態を維持できるようにこれらの信号線に付けられた弱いプルアップを有する。他の実施形態の場合、L A D [3 : 0] を転換するために、n は 1 クロック・サイクル、または 2 クロック・サイクルよりも大きいクロック・サイクルとすることができる。

【0047】

次いでプロセスは状態 314 に移行し、メモリ・デバイス 108 が L A D [3 : 0] の帯域内同期化制御情報をドライブする間、ホスト 102 は n クロック・サイクル T5 で待機する。同期化制御情報は、メモリ・データがメモリ・デバイス 108 によって出力できるようになるまで待ち状態を追加するのに使用できる。このようにして、異なる速度またはアクセス時間のメモリ・デバイスが同じ L P C バスに結合できる。従来は、いつデータの準備が整うかを示すために専用制御線上の専用制御信号が使用された (例えば I S A バスまたは X バスの I O C H R D Y)。これとは対照的に、メモリ・デバイス 108 は、L A D [3 : 0] の帯域内信号を使用して、追加の専用ピンまたは専用線を使用することなく待ち状態を挿入することができる。

【0048】

一実施形態の場合、同期化制御情報フィールドは 2 つの位相を有する。第 1 の位相は、要

10

20

30

40

50

求されたデータにアクセスしながら、LAD[3:0]の第1の制御情報をドライブする（例えば0101または0110）。第2の位相は、そのデータがLPCバス124に出力される準備ができていることを示すLAD[3:0]の第2の制御情報をドライブする（例えばLAD[3:0]の0000）。ホスト102は同期化制御情報を監視し、いつ第2の情報が送信されるかを決定することができる。次いでホスト102は、後続のクロック・サイクルT6でメモリ・デバイス108によって出力されるデータがホスト102によって要求されたデータとなることを認識できる。一実施形態の場合、第1の制御情報は、メモリ・デバイス108がLAD[3:0]に相対的に多数の待ち状態（例えばおよそ20+待ち状態）をドライブすることを示すコード（例えばLAD[3:0]の0110）を有する。第1の制御情報はまた、メモリ・デバイス108がLAD[3:0]に相対的に少数の待ち状態（例えば1~20待ち状態）を有することを示すコードを（例えばLAD[3:0]の0101）を有することもできる。一例では（以下の表4参照）、メモリ・デバイス108は、およそ1~20クロック・サイクルでLAD[3:0]の0101の同期化データをそれぞれドライブし、次いで、要求されたデータの準備が整い、続くクロック・サイクルで出力されることを示すために、LAD[3:0]の0000の1サイクルをそれぞれドライブすることがある。

10

【0049】

待ち状態の数が多い場合、ホスト120は、状態320に入ることによってトランザクションの打ち切りを決定することができる。前述のように、ホスト102は、1つまたは複数のクロック・サイクルに対してLFRAME#をアサートし、LAD[3:0]の所定の打ち切り制御情報（例えば表1の1111）をドライブすることによってトランザクションを打ち切ることができる。

20

【0050】

制御情報の同期化フィールドはまた、LAD[3:0]の帯域内エラー・メッセージをホスト102のLPCインタフェース118に送るためにメモリ・デバイス108によって使用されることもある。エラー・メッセージは、同期化シーケンス中のいつでも送信できる。例えば、第1および第2の同期化制御情報を有する実施形態で第2の制御情報として送信することができる。エラー・メッセージは、例えば、要求されたデータが何らかの形で破損していたり、周辺デバイスが要求を理解しなかったり、無効な要求が出されたり、あるいは、周辺デバイスがパワー・ダウン・モードの間にまたはデータを出力する準備ができていないか出力できない他のモードの間に要求が出されたりしたことを示すことがある。一実施形態では、エラー・メッセージがメモリ読取りトランザクション中に送信された場合、そのデータは読出し後破棄される。

30

【0051】

表4は、上述の同期化制御情報に対するLAD[3:0]のコード化の一実施形態を提供する。他のコード化を使用することもできる。

【0052】

表4

LAD [3 : 0]	指示
0 0 0 0	レディ
0 0 0 1 - 0 1 0 0	予約
0 1 0 1	短い待ち
0 1 1 0	長い待ち
0 1 1 1 - 1 0 0 0	予約
1 0 0 1	レディ状態のDMAトランザクションがまだある
1 0 1 0	エラー
1 0 1 1	予約
1 1 0 0	レディ状態の同期化制御情報がこれ以上ない
1 1 0 1 - 1 1 1 1	予約

10

20

【 0 0 5 3 】

代替の実施形態の場合、帯域内同期化制御情報は、待ち状態、エラー、あるいはすでに表 4 に記載されたまたは要約された他のいずれかの情報を通信するいずれかのシステム内の、汎用時分割多元バスを介するいずれか 2 つのデバイス（例えばホストと周辺デバイス）の間で使用できる。

【 0 0 5 4 】

メモリ・デバイス 1 0 8 がそのデータを L P C バス 1 2 4 に出力する準備ができた時、プロセスは、L A D [3 : 0] で適切な同期化制御情報（例えば 0 0 0 0 ）を提供した後で、n クロック・サイクル T 6 にわたって状態 3 1 6 に移行する。状態 3 1 6 では、ホスト 1 0 2 はメモリ・デバイス 1 0 8 から L A D [3 : 0] に提供されたデータを読み取る。メモリ・デバイス 1 0 8 は、2 クロック・サイクルにわたるバイト単位で L A D [3 : 0] にデータをドライブできる。2 バイト転送の一実施形態の場合、第 1 のバイトは最初の 2 クロック・サイクルで出力され、第 2 のバイトは後続の 2 クロック・サイクルで出力されるであろう。データはメモリ・デバイス 1 0 8 によって各バイトに、低いニブルを先にしても、高いニブルを先にしても、または他のどんな形式によっても出力できる。同様に、メモリ・デバイス 1 0 8 によって出力されるバイトの各グループも、低いバイトを先にしても、高いバイトを先にしても、または他のどんな形式によっても出力できる。

30

40

【 0 0 5 5 】

一実施形態の場合、同期化フィールド制御情報がバイト間に挿入されるように状態 3 1 6 と 3 1 4 の間でサイクリングすることによって、複数バイト読取りを実施することができる。代替の実施形態の場合、プロセスが状態 3 1 6 にある間に複数バイトのバースト読取りを読み取ることができる。この代替の実施形態では、メモリ・デバイス 1 0 8 は、状態 3 1 4 で L A D [3 : 0] の 1 1 0 0 をドライブして、同期化制御情報がそれ以上データ・バイト間で伝達されないことを指示することができる。他の実施形態の場合、複数のまたはバーストのデータ読取りを指示するのに特定の同期化制御情報が必要でない場合がある。

【 0 0 5 6 】

50

ホスト102で全データが読み取られた後、プロセスは転換(TAR)状態318に移行することができ、そこでLAD[3:0]の制御はクロック・サイクルT7中にホスト102に戻される。状態312と同様に、状態318も2クロック幅とすることができる。最初のクロック・サイクルで、メモリ・デバイス108は、所定の制御情報(例えば1111)によってLAD[3:0]をドライブする。第2のクロック・サイクルで、メモリ・デバイス108はLAD[3:0]の信号線をトライステートにできる。他の実施形態の場合、LAD[3:0]を転回させるためにnは1クロック・サイクル、または2クロック・サイクルより大きいサイクルとすることができる。

【0057】

図3および図5を参照しながら、ホスト102によるメモリ・デバイス108内のメモリ位置へのメモリ書込みLPCトランザクションの例を示す。このメモリ書込みLPCトランザクションは、例えばシステム起動情報をメモリ・デバイス108に書き込むためにホスト102によって実施される。状態302では、ホスト102はLPCトランザクションを実行しないアイドル状態である。ホスト102がLPCバス124上でLFRAME#をアサートすると(例えば制御論理202がLPC復号論理210およびホスト102から、メモリ読取りLPCトランザクションが行われることを示す復号化された信号を受領すると)、プロセスはLPCトランザクションを開始する。次いでプロセスは開始状態304に移行し、ホスト102はLAD[3:0]のLPCトランザクションの開始を示す開始制御情報をドライブする。例えば、開始制御情報は表1に示すように0000とすることができる。次いでプロセスは状態304に移行し、そのLPCトランザクションがメモリ書込みトランザクションであることを周辺デバイス104~108に示すLAD[3:1]のサイクル・タイプおよび方向制御情報をT1サイクル中にドライブする。例えば、サイクル・タイプおよび方向制御情報は、表2に示すようにLAD[3:1]の011とすることができる。

【0058】

次いでプロセスは状態308に移行し、ホスト102は、LAD[3:0]の選択されたメモリ・デバイス108内のメモリ位置のアドレスをT2サイクル中にドライブする。前述のように、アドレスは図1のシステム100などのシステムによってサポートされるどんなビット長でもよく、n個のクロック・サイクルT2にわたって送ることができる。アドレス情報は、最上位のニブルを先にしても、最下位のニブルを先にしても、あるいはメモリ・デバイス108に予想できる他のどんな形式によっても提供することができる。

【0059】

代替の実施形態の場合、次いでホスト102は、LAD[3:0]にサイズ制御情報をサイクルT3中にドライブする。サイズ制御情報は、状態308で提供されるアドレスで開始されメモリ・デバイス108に書き込まれるメモリ・データのバイト数を示すことができる。

【0060】

次いでプロセスは状態310に移行し、ホスト102は、nクロック・サイクルT4で、LAD[3:0]を介してメモリ・デバイス108に適切なバイトのデータを書き込む。ホスト102は、2クロック・サイクルにわたるバイト単位でLAD[3:0]にデータをドライブできる。例えば、転送が16ビットすなわち2バイト転送である場合は、第1のバイトは最初の2クロック・サイクルで出力され、第2のバイトは次の2クロック・サイクルで出力される。データはホスト102によって各バイトに、低いニブルを先にしても、高いニブルを先にしても、または他のどんな形式によっても出力できる。同様に、ホスト102によって出力されるバイトの各グループも、低いバイトを先にしても、高いバイトを先にしても、または他のどんな形式によっても出力できる。ホスト102は1つまたは複数の(バースト)データ・バイトを状態310で書き込むことができる。

【0061】

次いでプロセスは転換(TAR)状態312に移行し、nクロック・サイクルT5中にLPCバス124の制御権をメモリ・デバイス108に移す。次いでプロセスは状態314

10

20

30

40

50

に移行し、メモリ・デバイス108がLAD[3:0]帯域内同期化制御情報をクロック・サイクルT6でドライブする間、ホスト102はnクロック・サイクルで待機する。一実施形態の場合、同期化制御情報は1つまたは複数のクロック・サイクルとすることができ、メモリ・デバイス108中に書き込まれるデータの受領を通知するのに使用することができる(例えばLAD[3:0]の0000)。同期化制御情報はまた、データがメモリ・デバイス108中に書き込まれ記憶されるまで待ち状態を追加するのに也可以使用できる。この待ち状態の間に、メモリ・デバイス108は、表4に示すようなLAD[3:0]の短時間待ち状態の同期化制御情報または長時間待ち状態の同期化制御情報をドライブすることができる。メモリ・デバイス108がアドレスされたメモリ位置にデータを書き込み終えた時、メモリ・デバイス108はLAD[3:0]のレディ状態(例えば0000)をドライブすることができる。

10

【0062】

メモリ読取りLPCトランザクションの場合と同様に、メモリ・デバイス108はまた、制御情報の同期化フィールドを使用して、LAD[3:0]を介して帯域内エラー・メッセージ(例えば1010)をホスト102に送る。エラー・メッセージは例えば、書込みトランザクションが正しく行われなかったり、他の何らかのエラーが起こったことを示すことがある。

【0063】

次いでホスト102は転換(TAR)状態318に移行することができ、そこでLAD[3:0]の制御はnクロック・サイクルT7中にホスト102へ戻されることが可能である。

20

【0064】

図6は、ホスト102と周辺デバイス104~108の間で、メモリおよび/または入出力の書込みLPCトランザクションおよび読取りLPCトランザクションを実行するための1つまたは複数のLPCインタフェース112~118の状態図の別の実施形態である。例えば図6の状態図は、図2に示すメモリおよび入出力のLPC制御論理202の状態機械またはシーケンサによって使用されることが可能である。この状態図は、メモリ読取りおよびメモリ書込みのLPCトランザクションを実行する。図7および図8の例示的なタイミング図を利用しながら、メモリ読取りおよびメモリ書込みのLPCトランザクションを述べる。

30

【0065】

最初に、ホスト102による、メモリ・デバイス108中のメモリ位置からの例示的なメモリ読取りLPCトランザクションを、図6および図7を参照しながら記述する。メモリ読取りLPCトランザクションは、例えば、ホスト102がメモリ・デバイス108からシステム起動情報を読み取ることによって実行できる。状態602では、LPCインタフェース118は、LFRAME#が(例えばハイに)アサート解除されており、LPCトランザクションを実行しないアイドル状態である。ホスト102がLFRAME#を(例えばローに)LPCバス124上でアサートすることによってLPCトランザクションを開始すると(例えば制御論理202がLPC復号論理210およびホスト102から、メモリ読取りLPCトランザクションが行われることを示す復号化された信号を受領すると)、プロセスは状態604に移行する。ホスト102は、サイクルT0中にLAD[3:0]のLPCメモリ読取りトランザクションの開始を示す開始制御情報をドライブすることができる。例えば、開始制御情報は表1に示すようにLAD[3:0]の1101とすることができる。

40

【0066】

次いでプロセスはデバイス選択(IDSEL)状態606に移行し、ホスト102は、LAD[3:0]のデバイス選択制御情報をドライブして、メモリ読取りトランザクション用の特定のメモリ・デバイスを選択する。一実施形態の場合、LPCバス124に結合されるメモリ・デバイスは、外部結線接続による、または内部抵抗器ベースの識別を有することがある。図9に、結線接続のメモリ・デバイスの識別の一実施形態を示す。メモリ・

50

デバイス 900 は、入力線 10、11、12、13 上にそれぞれ 0000 の識別を有する。メモリ・デバイス 901 は、入力線 10、11、12、13 上にそれぞれ 0001 の識別を有する。メモリ・デバイス 915 は、入力線 10、11、12、13 上にそれぞれ 1111 の識別を有する。結線接続の入力線をいくつでも使用して、バイナリ形式または他の何らかの形式によってメモリ・デバイスをいくつでも識別または選択することができる。LPC バス 124 に結合される各メモリ・デバイスは、デバイス選択制御情報をその結線接続の識別と比較し、その LPC メモリ読取り（または書込み）トランザクションが自身に向けられたものかどうかを決定する。メモリ・トランザクションが自身に向けられたものでない場合、メモリ・デバイスはパワー・ダウン状態（例えばアイドル状態 602）に入ることがある。

10

【0067】

次いでプロセスは状態 608 に移行し、ホスト 102 は、LAD[3:0] の、選択されたメモリ・デバイス 108 中のメモリ位置のアドレスを n クロック・サイクル T2 中にドライブする。アドレスは、図 1 のシステム 100 のようなシステムにサポートされるどんなビット長でもよく、n 個のクロック・サイクル T2 にわたって送られる。一実施形態の場合、メモリ・アドレス空間は 256 キロバイトで、28 ビットのメモリ・アドレスを必要とすることがある。この実施形態では、ホスト 102 からメモリ・デバイス 108 に 7 ニブル（28 ビット）のアドレス情報を転送するために、7 クロック・サイクルのアドレス情報が制御論理から LPC バス 124 に提供される。アドレス情報は、最上位のニブルが先でも、最下位のニブルが先でも、またはメモリ・デバイス 108 に予想される他のどんな順番でも提供することができる。

20

【0068】

次いでプロセスは状態 610 に移行し、ホスト 102 は、クロック・サイクル T3 中に LAD[3:0] にサイズ制御情報をドライブする。一実施形態の場合、サイズ制御情報は、状態 606 で提供されるアドレスで開始され、メモリ・デバイス 108 から読み取られるべきメモリ・データのバイト数を示す。表 6 は、バイト数をコード化する一実施形態を提供する。別の実施形態の場合、サイズ制御情報は、メモリ・データの 2^{size} バイト数がメモリ・デバイス 108 から、状態 608 で提供されるアドレスで開始され読み取られるべきであることを示すことがある。

30

【0069】

一実施形態の場合、データ転送はホスト 102 によって 2^{size} の境界に配列されることがある。例えば、サイズ・フィールドが LAD[3:0] の 0100 と等しい場合、その動作は 16 バイトの境界に配列され、メモリ・デバイス 108 は、16 バイトに配列されたアドレスで始まる 16 バイトのデータを受領または送出しなければならない。別の実施形態では、データ転送は、表 3 のようなサイズ境界に配列されることがある。例えば、サイズが LAD[3:0] の 0010 と等しい場合、その動作は 16 ビット境界または語境界に整列され、メモリ・デバイス 108 は、16 ビットまたは語に配列されたアドレスで始まる 16 ビットのデータを受領または送出しなければならない。

【0070】

次いでプロセスは転換（TAR）状態 614 に移行して、n クロック・サイクル T4 中に LPC バス 124 の制御権をホスト 102 からメモリ・デバイス 108 に移す。次いでプロセスは状態 616 に移行し、そこでメモリ・デバイス 108 が LAD[3:0] の帯域内同期化制御情報をドライブする間、ホスト 102 は n クロック・サイクル T5 で待機する。図 3 の状態 314 に関連して上記に述べたように、同期化制御情報はメモリ・トランザクションに待ち状態を追加するのに使用することができる。待ち状態の数が多い場合、ホスト 102 は、状態 622 に入ることによってトランザクションを打ち切る決定をすることができる。前述のように、ホスト 102 は、1 つまたは複数のクロック・サイクルに LFRAME# をアサートし、LAD[3:0] の所定の打ち切り制御情報（例えば表 1 の 1111）をドライブすることによってトランザクションを打ち切るすることができる。

40

【0071】

50

図3の状態314に関連して上記に述べたように、制御情報の同期化フィールドもまた、ホスト102のLPCインタフェース118にLAD[3:0]の帯域内エラー・メッセージを送るために、メモリ・デバイス108によって使用されることが可能である。上記の表4は、上述の同期化制御情報に対するLAD[3:0]のコード化の一実施形態を提供する。他のコード化を使用することも可能である。

【0072】

代替の実施形態の場合、帯域内同期化制御情報は、待ち状態、エラー、あるいはすでに表4に記載されたまたは要約された他のいずれかの情報を通信するいずれかのシステム内の、汎用時分割多元バスを介するいずれか2つのデバイス（例えばホストと周辺デバイス）の間で使用できる。

【0073】

メモリ・デバイス108がそのデータをLPCバス124に出力する準備ができた時、LAD[3:0]で適切な同期化制御情報（例えば0000）を提供した後で、プロセスはnクロック・サイクルT6にわたって状態618に移行する。状態618では、ホスト102はメモリ・デバイス108からLAD[3:0]に提供されたデータを読み取る。メモリ・デバイス108は、2クロック・サイクルにわたるバイト単位でLAD[3:0]にデータをドライブできる。データはメモリ・デバイス108によって各バイトに、低いニブルを先にしても、高いニブルを先にしても、または他のどんな形式によっても出力できる。同様に、メモリ・デバイス108によって出力されるバイトの各グループも、低いバイトを先にしても、高いバイトを先にしても、またはホスト102に予想できる他のどんな形式によっても出力できる。

【0074】

一実施形態の場合、同期化フィールド制御情報がバイト間に挿入されるように状態618と616の間でサイクリングすることによって、複数バイト読取りを実施することができる。代替の実施形態の場合、ホスト102が状態618にある間に複数バイトのバースト読取りを読み取ることができる。この代替の実施形態では、メモリ・デバイス108は、状態616でLAD[3:0]の1100をドライブして、同期化制御情報がそれ以上データ・バイト間で伝達されないことを指示することができる。他の実施形態の場合、複数のまたはバーストのデータ読取りを指示するのに特定の同期化制御情報が必要でない場合がある。

【0075】

ホスト102で全データが読み取られた後、プロセスは転換（TAR）状態620に移行することができる。そこでLAD[3:0]の制御はnクロック・サイクルT7中にホスト102に戻されることが可能である。状態614と同様に、状態620も2クロック幅とすることができる。最初のクロック・サイクルで、メモリ・デバイス108は、所定の制御情報（例えば1111）によってLAD[3:0]の線をドライブする。第2のクロック・サイクルで、メモリ・デバイス108はLAD[3:0]の線をトリステートにできる。他の実施形態の場合、LAD[3:0]を転回させるためにnは1クロック・サイクル、または2クロック・サイクルより大きいサイクルとすることができる。

【0076】

図6および図8を参照しながら、ホスト102によるメモリ・デバイス108内のメモリ位置へのメモリ書込みLPCトランザクションの例を示す。このメモリ書込みLPCトランザクションは、例えばシステム起動情報をメモリ・デバイス108に書き込むためにホスト102によって実施される。状態602では、ホスト102はLPCトランザクションを実行しないアイドル状態である。ホスト102がLPCバス124上でLFRAME#をアサートすると（例えば制御論理202がLPC復号論理210およびホスト102から、メモリ読取りLPCトランザクションが行われることを示す復号化された信号を受領すると）、プロセスはLPCトランザクションを開始する。次いでプロセスは開始状態604に移行し、ホスト102はLAD[3:0]の開始制御情報をクロック・サイクルT0中にドライブする。開始制御情報は、メモリ書込みLPCトランザクションの開始を

10

20

30

40

50

示す。例えば、ホスト102は、表1に示すようなLAD[3:0]に開始制御情報1110をドライブすることができる。次いでプロセスはデバイス選択(IDSEL)状態606に移行し、そのメモリ書込みトランザクションに対する特定のメモリ・デバイスを識別または選択する。

【0077】

次いでプロセスは状態608に移行し、ホスト102は、LAD[3:0]の選択されたメモリ・デバイス108内のメモリ位置のアドレスをnクロック・サイクルT2中にドライブする。前述のように、アドレスは図1のシステム100などのシステムによってサポートされるどんなビット長でもよく、nクロック・サイクルT2にわたって送ることができる。アドレス情報は、最上位のニブルを先にしても、最下位のニブルを先にしても、あるいはメモリ・デバイス108に予想できる他のどんな形式によっても提供することができる。

【0078】

次いでプロセスは状態610に移行し、ホスト102はクロック・サイクルT3中にLAD[3:0]にサイズ制御情報をドライブする。次いでプロセスは状態612に移行し、ホスト102は、nクロック・サイクルT4中にLAD[3:0]を介してメモリ・デバイス108に適切なバイトのデータを書き込む。ホスト102は、2クロック・サイクルにわたるバイト単位でLAD[3:0]にデータをドライブできる。例えば、転送が16ビットすなわち2バイト転送である場合は、第1のバイトは最初の2クロック・サイクルで出力され、第2のバイトは次の2クロック・サイクルで出力される。各バイトに対して、データはホスト102によって、低いニブルを先にしても、高いニブルを先にしても、または他のどんな形式によっても出力できる。同様に、ホスト102によって出力されるバイトの各グループも、低いバイトを先にしても、高いバイトを先にしても、または他のどんな形式によっても出力できる。ホスト102は1つまたは複数の(バースト)データ・バイトを状態612で書き込むことができる。

【0079】

次いでプロセスは転換(TAR)状態614に移行し、nクロック・サイクルT5中にLPCバス124の制御権をメモリ・デバイス108に移す。次いでプロセスは状態616に移行し、メモリ・デバイス108がLAD[3:0]に帯域内同期化制御情報をクロック・サイクルT6中にドライブする間、ホスト102はnクロック・サイクルで待機する。一実施形態の場合、同期化制御情報は1つまたは複数のクロック・サイクルとすることができ、メモリ・デバイス108中に書き込まれるデータの受領を通知するのに使用することができる(例えばLAD[3:0]の0000)。同期化制御情報はまた、データがメモリ・デバイス108中に書き込まれ記憶されるまで待ち状態を追加するのに也可以使用できる。メモリ読取りLPCトランザクションに伴って、メモリ・デバイス108は、制御情報の同期化フィールドを使用して、LAD[3:0]を介して(例えば1010)ホスト102に帯域内エラー・メッセージを送ることもできる。エラー・メッセージは例えば、書込みトランザクションが正しく行われなかったり、他の何らかのエラーが起こったことを示すことがある。同期化制御情報のコード化の一実施形態を表4に示す。

【0080】

次いで、ホスト102は転換(TAR)状態618に移行することができ、そこでnクロック・サイクルT7中にLAD[3:0]の制御がホスト102に戻されることが可能である。

【0081】

図10に、メモリ・デバイス108の一実施形態であるメモリ・デバイス1000を示す。メモリ・デバイス1000は、SRAM、DRAM、EPROM、EEPROM、ROMなどの揮発性および不揮発性メモリ・デバイスを含む、どんなタイプのメモリ・デバイスとすることもできるメモリ1010を含む。メモリ1000は、いずれかの揮発性または不揮発性メモリ・デバイスを実装するのに必要な、制御回路およびメモリ・エレメントを含む。一実施形態の場合、メモリ1000は、それに結合された制御エンジンを有し、

10

20

30

40

50

フラッシュ・メモリ・セルのアレイのプログラミング、読取り、消去を制御する不揮発性（例えばフラッシュ）メモリ・デバイスである。

【0082】

メモリ・デバイス1000はまた、入出力ラッチ1002、制御論理1004、状態機械1006、およびメモリ制御論理1008を有するLPCインタフェース116の一実施形態も含む。制御論理1004は、LPC入力信号LFRAME#、LCLK、および/またはLRESET#を受け取り、これらの信号の指示を信号線1012上の制御信号を介して状態機械またはシーケンサ1006に与える。一実施形態の場合、入出力ラッチ1002は、アドレス、制御、データの情報をLAD[3:0]から受領し、かつLAD[3:0]へ出力する。入出力ラッチ1002は、バス1014を介して、LAD[3:0]から受け取ったアドレス、データ、制御情報を状態機械1006およびメモリ制御論理1008に渡す。入出力ラッチ1002はLAD[3:0]から受領した様々なニブルのデータを集約することができる。

10

【0083】

バス1014および線1012から受け取ったアドレス、データ、制御情報によって、状態機械1006は、メモリ・デバイス1000がLPCバス124を介してホスト102と通信できるように、またはバス・マスタLPCトランザクション中に入出力デバイス104およびメモリ1010と通信できるように、メモリ・デバイス1000のLPCインタフェースを制御する。状態機械1006の一実施形態は図3に示したものである。状態機械1006の別の実施形態は図6に示したものである。

20

【0084】

状態機械1006はメモリ制御論理1008と共に動作して、必要な制御、アドレス、データの情報をメモリ1010に提供する。メモリ制御論理1008は、メモリ1010が書込みまたは読取りトランザクションを実行するのに必要な制御信号を線1018上に、アドレス信号を線1020上に、データ信号を線1022上に生成する。線1018上の制御信号には、アドレス・ストロブ信号（例えばRASおよび/またはCAS）、チップ・イネーブルまたはチップ選択信号（例えばCEおよび/またはCS）、書込みおよび読取りイネーブル信号、リセット信号、パワー・ダウン信号などが含まれることがある。

【0085】

メモリ書込みトランザクションが行われることを状態機械1006が決定すると、状態機械1006は、メモリ制御論理が線1020を介して線1018上の適切な制御信号と共にメモリ1010に提供できるように、いつアドレス情報がバス1014上に存在するかを線1016を介して示すことができる。その後、状態機械1006は、メモリ制御論理が線1022を介して線1018上の適切な制御信号と共にメモリ1010に提供できるように、いつデータ情報がバス1014上に存在するかを線1016を介して示すことができる。同様に、メモリ読取りトランザクションが行われることを状態機械1006が決定すると、状態機械1006は、メモリ制御論理が線1020を介して線1018上の適切な制御信号と共にメモリ1010に提供できるように、いつアドレス情報がバス1014上に存在するかを線1016を介して示すことができる。その後、状態機械1006は、いつ要求されたデータがメモリ1010から線1026を介して入出力ラッチ1002およびLAD[3:0]に出力されるべきかを、線1016を介して示すことができる。メモリ制御論理1008は、1つまたは複数の入出力制御信号を線1024上に発信して、入出力ラッチ1002の双方向状態を制御することができる。例えば、データがメモリ1010から読み取られる時、メモリ制御論理1008は線1024を介して出力イネーブル信号を発信することができる。

30

40

【0086】

前述の明細書で、本発明はその具体的な実施形態が述べられた。しかし、添付の特許請求の範囲で述べる本発明のより広い趣旨および目的から逸脱することなく、様々な修正および変更がそれになされうることは明白であろう。したがって、本明細書および図面は、限定的なものではなく例示的なものである。

50

【図面の簡単な説明】

【図 1】 ロー・ピン・カウント (LPC) のバスを有するコンピュータ・システムの一実施形態を示す図である。

【図 2】 LPC インタフェースの一実施形態を示す図である。

【図 3】 メモリ・トランザクションおよび入出力トランザクションを実施するための状態機械図の一実施形態を示す図である。

【図 4】 LPC メモリ読取りトランザクションの一実施形態を示す図である。

【図 5】 LPC メモリ書込みトランザクションの一実施形態を示す図である。

【図 6】 メモリ・トランザクションおよび入出力トランザクションを実施するための状態機械図の別の実施形態を示す図である。

【図 7】 LPC メモリ読取りトランザクションの別の実施形態を示す図である。

【図 8】 LPC メモリ書込みトランザクションの別の実施形態を示す図である。

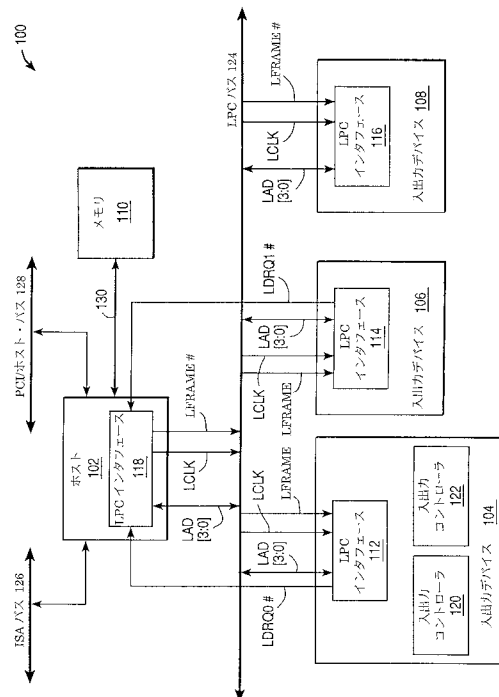
【図 9】 メモリ・デバイスの選択方式の一実施形態を示す図である。

【図 10】 メモリ・デバイスに対する LPC インタフェースの一実施形態を示す図である。

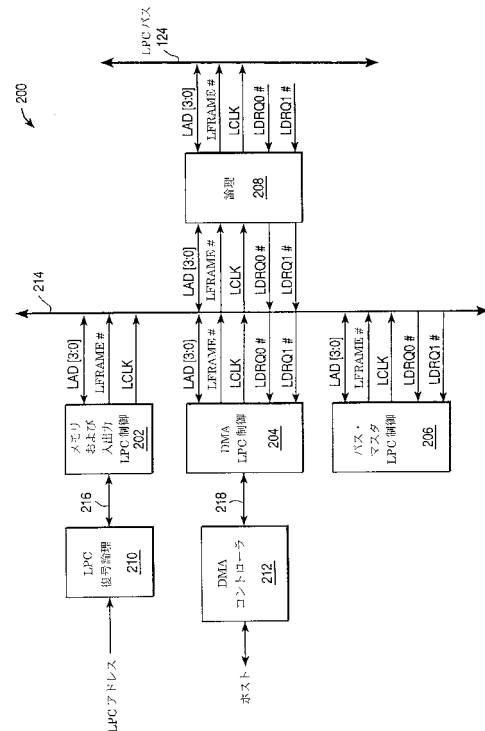
【図 11】 低電力モードの動作に対するタイミング図の一実施形態を示す図である。

10

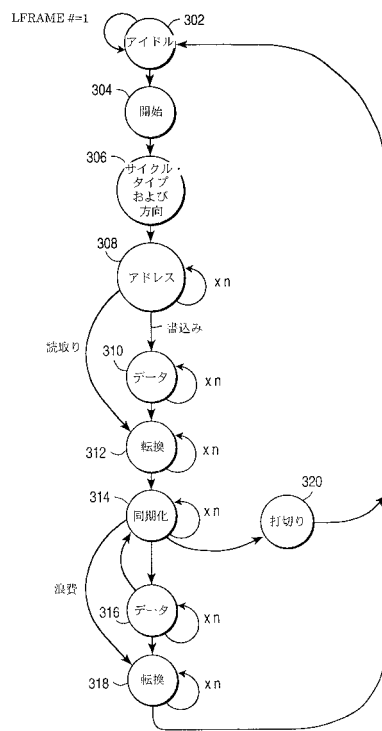
【図 1】



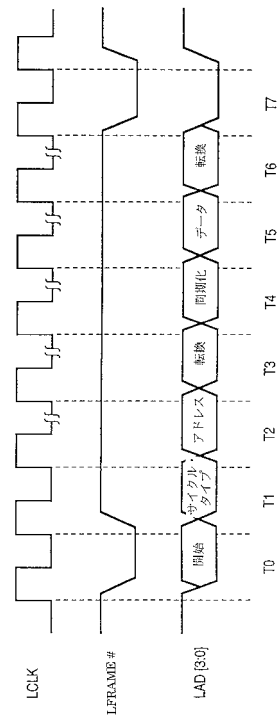
【図 2】



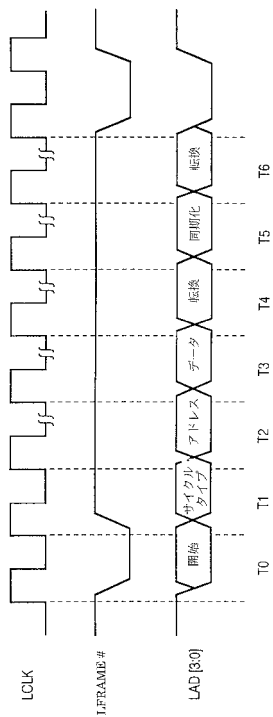
【図 3】



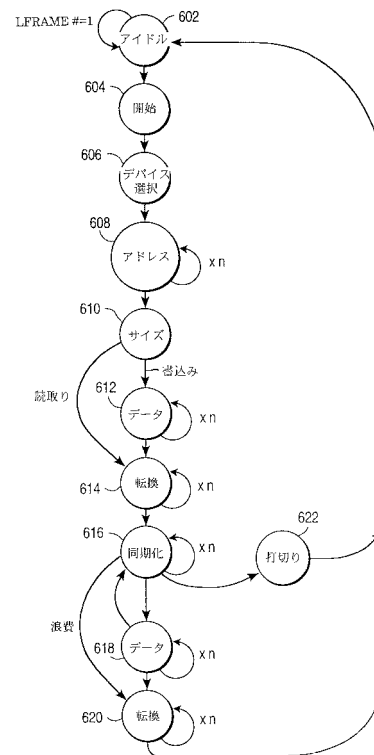
【図 4】



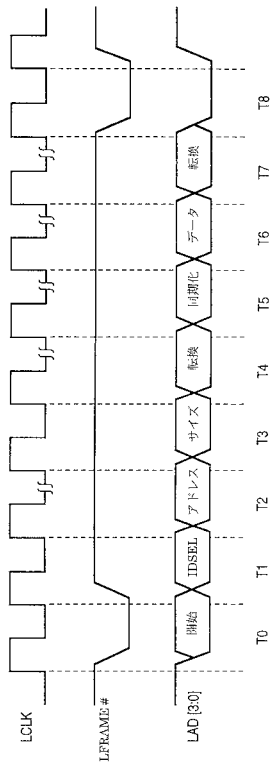
【図 5】



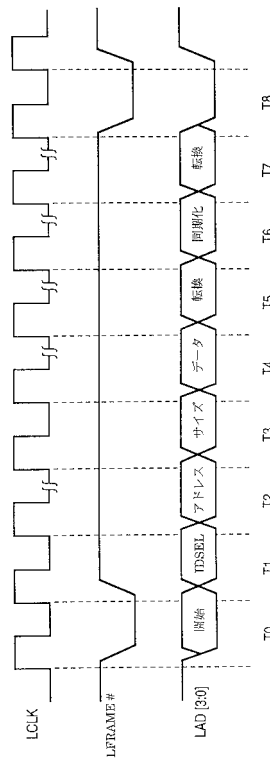
【図 6】



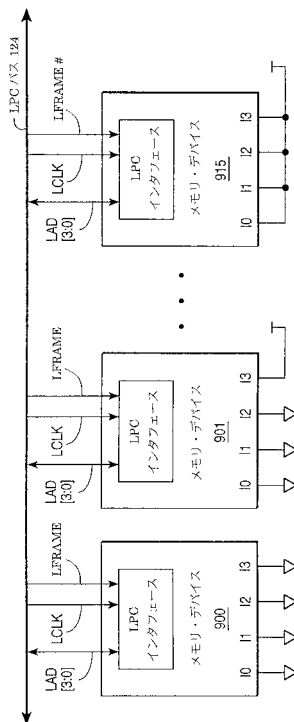
【図 7】



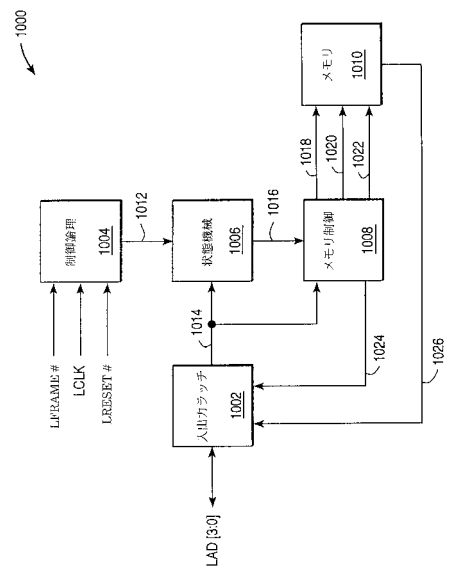
【図 8】



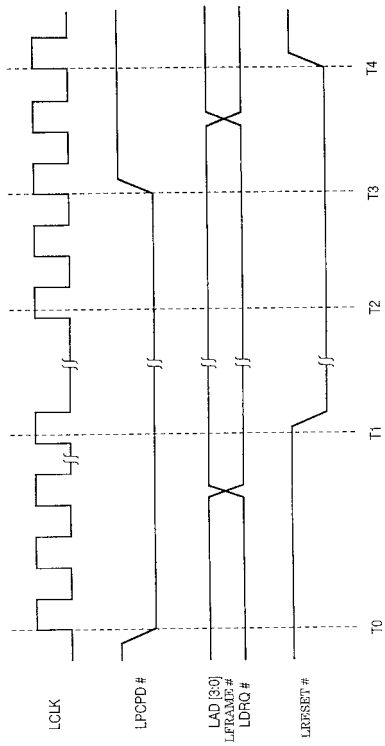
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 ポイズナー, デビッド・アイ

アメリカ合衆国・9 5 6 3 0・カリフォルニア州・フォルソム・ペンリー スクエア・2 0 5

審査官 多賀 実

(56)参考文献 特開平0 8 - 1 2 3 7 5 1 (J P , A)

特開昭6 3 - 1 9 8 1 1 9 (J P , A)

特開平0 6 - 2 3 1 0 7 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G06F 13/16

G06F 13/10

G06F 13/42