

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4615217号
(P4615217)

(45) 発行日 平成23年1月19日(2011.1.19)

(24) 登録日 平成22年10月29日(2010.10.29)

(51) Int.Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 8 A
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 8 G
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	6 5 8 Z
	HO 1 L 29/78	6 5 2 C
	HO 1 L 29/78	6 5 4 B
請求項の数 39 (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2003-533321 (P2003-533321)	(73) 特許権者	598167121
(86) (22) 出願日	平成14年10月3日(2002.10.3)		ゼネラル セミコンダクター, インク.
(65) 公表番号	特表2005-505918 (P2005-505918A)		アメリカ合衆国, 11747 ニューヨー
(43) 公表日	平成17年2月24日(2005.2.24)		ク, メルヴィル, メルヴィル パーク ロ
(86) 国際出願番号	PCT/US2002/031790		ード 10
(87) 国際公開番号	W02003/030220	(74) 代理人	100067736
(87) 国際公開日	平成15年4月10日(2003.4.10)		弁理士 小池 晃
審査請求日	平成17年9月14日(2005.9.14)	(74) 代理人	100086335
(31) 優先権主張番号	09/970, 758		弁理士 田村 榮一
(32) 優先日	平成13年10月4日(2001.10.4)	(74) 代理人	100096677
(33) 優先権主張国	米国 (US)		弁理士 伊賀 誠司
		(72) 発明者	ブランチャード、リチャード、エー
			アメリカ合衆国 カリフォルニア州 92
			024 ロスアルトス モーラ ドライブ
			10274
最終頁に続く			

(54) 【発明の名称】 フローティングアイランドを形成するための離壇状のトレンチを有する電圧維持層を備える半導体パワーデバイスの製造方法

(57) 【特許請求の範囲】

【請求項1】

- A . 第 1 の伝導型の基板を準備する工程と、
- B .
- 1 . 上記基板上に、第 1 の伝導型を有するエピタキシャル層を成長させる工程と、
 - 2 . 上記エピタキシャル層内に、2 つ以上のトレンチを異なる深さにエッチングすることによって、幅が異なる複数の部分を有し、該各部分間に環状の柵を画定する少なくとも 1 つの離壇状のトレンチを形成する工程と、
 - 3 . 上記トレンチの壁及び底部に沿ってバリア材を堆積させる工程と、
 - 4 . 上記環状の柵及び上記トレンチの底部に堆積された上記バリア材を介して、上記エピタキシャル層の隣接する部分に、第 2 の伝導型の不純物を打ち込む工程と、
 - 5 . 上記不純物を拡散させて、上記エピタキシャル層内に少なくとも 1 つの環状のドーブ領域と、該エピタキシャル層内の該環状のドーブ領域の下方に位置する少なくとも 1 つの他の領域とを形成する工程と、
 - 6 . 上記離壇状のトレンチ内に誘電体材料を堆積させて、該離壇状のトレンチを埋め込む工程と
- によって、上記基板上のエピタキシャル層内に電圧維持領域を形成する工程と、
- C . 上記電圧維持領域上に、第 2 の伝導型の領域を少なくとも 1 つ形成し、該第 2 の伝導型の領域と該電圧維持領域との間に接合を画定する工程とを有する半導体パワーデバイスの製造方法。

【請求項 2】

上記少なくとも1つの難壇状のトレンチを形成する工程は、上記難壇状のトレンチの複数の部分を、最も幅広の部分から最も幅狭の部分の順に順次エッチングする工程を有することを特徴とする請求項1記載の半導体パワーデバイスの製造方法。

【請求項 3】

上記最も幅狭の部分は、上記エピタキシャル層内において、上記最も幅広の部分よりも上記基板に近い深さに位置することを特徴とする請求項2記載の半導体パワー半導体デバイスの製造方法。

【請求項 4】

上記難壇状のトレンチの複数の部分は、互いに共通の軸を有するように配置されていることを特徴とする請求項1記載の半導体パワーデバイスの製造方法。 10

【請求項 5】

上記難壇状のトレンチの複数の部分は、少なくとも2つの環状の棚を画定する、互いに幅が異なる少なくとも3つの部分を含み、上記少なくとも1つの環状のドープ領域は、少なくとも2つの環状のドープ領域を含むことを特徴とする請求項1記載の半導体パワーデバイスの製造方法。

【請求項 6】

上記難壇状のトレンチの複数の部分は、少なくとも2つの環状の棚を画定する、互いに幅が異なる少なくとも3つの部分を含み、上記少なくとも1つの環状のドープ領域は、少なくとも2つの環状のドープ領域を含むことを特徴とする請求項4記載の半導体パワーデバイスの製造方法。 20

【請求項 7】

上記少なくとも1つの難壇状のトレンチを形成する工程は、上記難壇状のトレンチの少なくとも3つの部分を、最も幅広の部分から最も幅狭の部分の順に順次エッチングする工程を有することを特徴とする請求項6記載の半導体パワーデバイスの製造方法。

【請求項 8】

上記最も幅狭の部分は、上記エピタキシャル層内において、上記最も幅広の部分よりも上記基板に近い深さに位置することを特徴とする請求項7記載の半導体パワー半導体デバイスの製造方法。

【請求項 9】

上記工程Cは、

上記エピタキシャル層内の上記電圧維持領域上に、上記第2の伝導型を有する第1及び第2のボディ領域を形成し、該第1及び第2のボディ領域間にドリフト領域を画定する工程と、

上記第1及び第2のボディ領域内に、上記第1の伝導型の第1及び第2のソース領域をそれぞれ形成する工程とを更に有することを特徴とする請求項1記載の半導体パワーデバイスの製造方法。

【請求項 10】

上記バリア材は、酸化物材料であることを特徴とする請求項1記載の半導体パワーデバイスの製造方法。 40

【請求項 11】

上記酸化物材料は、二酸化シリコンであることを特徴とする請求項10記載の半導体パワーデバイスの製造方法。

【請求項 12】

上記エピタキシャル層は、所定の厚さを有し、 x を上記電圧維持領域に形成する環状のドープ領域の所定数以上の整数として、上記難壇状のトレンチの複数の部分のうちの第1の部分を、上記所定の厚さの $1 / (x + 1)$ に等しい距離分エッチングする工程を更に有する請求項1記載の半導体パワーデバイスの製造方法。

【請求項 13】

上記誘電体材料は、二酸化シリコンであることを特徴とする請求項 1 記載の半導体パワーデバイスの製造方法。

【請求項 1 4】

上記誘電体材料は、窒化シリコンであることを特徴とする請求項 1 記載の半導体パワーデバイスの製造方法。

【請求項 1 5】

上記不純物は、ホウ素であることを特徴とする請求項 1 記載の半導体パワーデバイスの製造方法。

【請求項 1 6】

上記第 1 及び第 2 のボディ領域は、それぞれ深いボディ領域を有することを特徴とする請求項 9 記載の半導体パワーデバイスの製造方法。

10

【請求項 1 7】

上記離壇状のトレンチは、その複数の部分のうち少なくとも第 1 の部分を画定するマスク層を設け、該マスク層を介して該第 1 の部分をエッチングすることによって、形成されることを特徴とする請求項 1 記載の半導体パワーデバイスの製造方法。

【請求項 1 8】

上記離壇状のトレンチの第 1 の部分の壁に沿って、所定の厚さの酸化層を、上記バリア材として堆積させる工程を更に有する請求項 1 7 記載の半導体パワーデバイスの製造方法。

【請求項 1 9】

20

上記酸化層は、第 2 のマスク層として機能し、上記離壇状のトレンチの第 1 の部分の底面を貫通して、上記複数の部分のうち該第 2 のマスク層によって画定される第 2 の部分をエッチングする工程を更に有する請求項 1 8 記載の半導体パワーデバイスの製造方法。

【請求項 2 0】

上記酸化層の所定の厚さは、上記各環状の棚の表面積と、非環状の領域の表面積とが互いに等しくなるように選択されることを特徴とする請求項 1 9 記載の半導体パワーデバイスの製造方法。

【請求項 2 1】

上記第 1 及び第 2 のボディ領域は、上記エピタキシャル層内に不純物を打ち込み、拡散させることによって形成されることを特徴とする請求項 9 記載の半導体パワーデバイスの製造方法。

30

【請求項 2 2】

上記半導体パワーデバイスは、縦型二重拡散金属酸化膜半導体、V 溝二重拡散金属酸化膜半導体、トレンチ二重拡散金属酸化膜半導体電界効果トランジスタ、絶縁ゲートバイポーラトランジスタ、及びバイポーラトランジスタからなるグループから選択されることを特徴とする請求項 1 記載の半導体パワーデバイスの製造方法。

【請求項 2 3】

請求項 1 記載の半導体パワーデバイスの製造方法に基づいて製造された半導体パワーデバイス。

【請求項 2 4】

40

請求項 7 記載の半導体パワーデバイスの製造方法に基づいて製造された半導体パワーデバイス。

【請求項 2 5】

請求項 9 記載の半導体パワーデバイスの製造方法に基づいて製造された半導体パワーデバイス。

【請求項 2 6】

第 1 の伝導型の基板と、

上記基板上に成長された第 1 の伝導性を有するエピタキシャル層内に形成された電圧維持領域と、

上記電圧維持領域上に形成され、第 2 の伝導性を有し、該電圧維持領域との間に接合を

50

画定する少なくとも1つのアクティブ領域とを備え、

上記電圧維持領域は、

上記エピタキシャル層内に、2つ以上のトレンチを異なる深さにエッチングすることによって形成された、幅が異なる複数の部分を有し、該部分間に1つの環状の柵を画定する少なくとも1つの離壇状のトレンチと、

上記エピタキシャル層内の上記環状の柵の下方の及び隣接する部分に形成された、第2の伝導型の不純物がドーブされた少なくとも1つの環状のドーブ領域と、

上記離壇状のトレンチに埋め込まれた誘電体材料とを有することを特徴とする半導体パワーデバイス。

【請求項27】

10

上記離壇状のトレンチの複数の部分は、最も幅狭の部分と、最も幅広の部分とを含み、該最も幅狭の部分は、上記エピタキシャル層内において、該最も幅広の部分よりも上記基板に近い深さに位置することを特徴とする請求項26記載の半導体パワーデバイス。

【請求項28】

上記離壇状のトレンチの複数の部分は、互いに共通の軸を有するように配置されていることを特徴とする請求項27記載の半導体パワーデバイス。

【請求項29】

上記離壇状のトレンチの複数の部分は、少なくとも2つの環状の柵を画定する、互いに幅が異なる少なくとも3つの部分を含み、上記少なくとも1つの環状のドーブ領域は、少なくとも2つの環状のドーブ領域を含むことを特徴とする請求項26記載の半導体パワーデバイス。

20

【請求項30】

上記離壇状のトレンチの複数の部分は、少なくとも2つの環状の柵を画定する、互いに幅が異なる少なくとも3つの部分を含み、上記少なくとも1つの環状のドーブ領域は、少なくとも2つの環状のドーブ領域を含むことを特徴とする請求項28記載の半導体パワーデバイス。

【請求項31】

上記エピタキシャル層は、所定の厚さを有し、

上記離壇状のトレンチの複数の部分のそれぞれは、 x を上記電圧維持領域に形成する環状のドーブ領域の所定数以上の整数として、上記所定の厚さの $1/(x+1)$ に等しい距離分エッチングされて形成されることを特徴とする請求項26記載の半導体パワーデバイス。

30

【請求項32】

上記誘電体材料は、二酸化シリコンであることを特徴とする請求項26記載の半導体パワーデバイス。

【請求項33】

上記誘電体材料は、窒化シリコンであることを特徴とする請求項26記載の半導体パワーデバイス。

【請求項34】

上記不純物は、ホウ素であることを特徴とする請求項26記載の半導体パワーデバイス

40

【請求項35】

上記少なくとも2つの環状の柵の表面積は、互いに等しいことを特徴とする請求項30記載の半導体パワーデバイス。

【請求項36】

上記少なくとも1つのアクティブ領域は、

上記エピタキシャル層内の上記電圧維持層上に形成され、第2の伝導型を有し、ドリフト領域を画定する第1及び第2のボディ領域と、

上記第1及び第2のボディ領域内にそれぞれ形成された第1の導電型の第1及び第2のソース領域とを更に有することを特徴とする請求項26記載の半導体パワーデバイス。

50

【請求項 37】

上記第1及び第2のボディ領域は、それぞれ深いボディ領域を有することを特徴とする請求項36記載の半導体パワーデバイス。

【請求項 38】

上記難壇状のトレンチは、円形の断面を有することを特徴とする請求項26記載の半導体パワーデバイス。

【請求項 39】

上記難壇状のトレンチは、正方形、長方形、八角形、及び六角形からなるグループから選択される断面形状を有していることを特徴とする請求項26記載の半導体パワーデバイス。

10

【発明の詳細な説明】

【関連出願】

【0001】

本出願は、2001年10月4日に米国特許商標庁に出願された、米国特許出願番号第09/970,972号「フローティングアイランド電圧維持層を有する半導体パワーデバイスの製造方法(Method for Fabricating a Power Semiconductor Device Having a Floating Island Voltage Sustaining Layer)」に関連する。

【技術分野】

【0002】

本発明は、半導体パワーデバイスに関し、詳しくは、逆の伝導性にドーブされたフローティングアイランドを用いて電圧維持層(voltage sustaining layer)を形成した金属酸化膜半導体電界効果トランジスタ及びこの他の半導体パワーデバイスに関する。

20

【背景技術】

【0003】

縦型の二重拡散金属酸化膜半導体(Double-diffused Metal Oxide Semiconductor:以下、DMOSという。)、V溝DMOS(V-groove DMOS)、トレンチMOS電界効果トランジスタ(Field Effect Transistor:以下、FETという。)、絶縁ゲートバイポーラトランジスタ(Insulated Gate Bipolar Transistor:以下、IGBTという。)並びにダイオード及びバイポーラトランジスタ等の半導体パワーデバイスは、自動車の電気系統、電源装置、モータ駆動装置及び他の電源制御装置等の用途に採用されている。このような半導体パワーデバイスは、オフ状態では高い耐電圧を維持し、オン状態では低いオン抵抗、すなわち高い電流密度における低い電圧降下を有する必要がある。

30

【0004】

図1は、nチャンネルパワーMOSFETの典型的な構造を示す図である。n⁺にドーブされたシリコン基板102上に形成されたn⁻エピタキシャルシリコン層101は、半導体デバイス内の2つのMOSFETセルに対応するpボディ領域105a、106aと、n⁺ソース領域107、108とを備える。pボディ領域105a、106aは、更に深いpボディ領域105b、106bとを含んでいてもよい。n⁺ソース領域107、108とpボディ領域105a、106aを接続するために、ソース及びボディ電極112がエピタキシャル層101の表面の特定の部分に広がっている。両セル用のn型ドレインは、図1に示す上部の半導体表面に延びているn型エピタキシャル層101の部分で形成される。ドレイン電極は、n⁺にドーブされたシリコン基板102の底部に設けられている。絶縁層と導電層、例えば酸化層とポリシリコン層からなる絶縁ゲート電極118は、チャンネルが形成されるボディ上及びエピタキシャル層101のドレイン部分の上に設けられている。

40

【0005】

図1に示す従来のMOSFETのオン抵抗は、主にエピタキシャル層101のドリフト領域の抵抗(drift zone resistance)によって決定される。エピタキシャル層101は、n⁺にドーブされたシリコン基板102とp⁺にドーブされた深いボディ領域105b、106bとの間に印加される逆電圧に耐えなければならないので、電圧維持層(a volt

50

age sustaining layer) と呼ばれることもある。一方、ドリフト領域の抵抗は、エピタキシャル層 101 のドーピング濃度及び厚さによって決定される。なお、半導体デバイスの降伏電圧を高めるためには、エピタキシャル層 101 のドーピング濃度を低くするとともに、エピタキシャル層 101 の厚さを増加させる必要がある。図 2 に示す曲線は、従来の MOSFET の単位面積当たりのオン抵抗を降伏電圧の関数として示している。この曲線から分かるように、降伏電圧を高くすると、半導体デバイスのオン抵抗は、急激に高くなってしまふ。MOSFET を高い電圧、特に数百ボルト以上の電圧で動作させる場合、このオン抵抗の急激な上昇が問題となる。

【0006】

図 3 は、高い電圧で動作するとともに、オン抵抗が低くなるように設計された MOSFET を示している。この MOSFET は、セザック (Cezac) 他著、ISPSD 会報 (Proceedings of the ISPSD)、2000 年 5 月、69 ~ 72 頁、及びチェン (Chen) 他著、電子機器に関する IEEE トランザクション第 47 - 6 (IEEE Transactions on Electron Devices Vol. 47, No. 6)、2000 年 6 月、1280 ~ 1285 頁に開示されており、これらの文献の全体は、引用によって本願に援用されるものとする。この MOSFET は、電圧維持領域 301 のドリフト領域に縦方向に分離されて形成された一連の p⁺ にドーピングされた層 (所謂「フローティングアイランド (floating island) 」) 310₁、310₂、310₃、・・・、310_n を備えている点を除いて、図 1 に示す従来の MOSFET と略同じ構造を有している。フローティングアイランド 310₁、310₂、310₃、・・・、310_n は、フローティングアイランドがない構造の場合よりも発生する電界は低い。発生する電界を低くすることにより、電圧維持領域 301 の一部を構成するエピタキシャル層において用いられる不純物濃度をより高くすることができる。フローティングアイランド 310₁、310₂、310₃、・・・、310_n は、鋸歯状の電界プロファイルを生成し、これらの電界を積分することにより、従来の半導体デバイスで用いられていた不純物濃度より高い不純物濃度で、維持電圧を得ることができる。不純物濃度を高くすることにより、フローティングアイランドの層が全くない半導体デバイスに比べてオン抵抗が低い半導体デバイスを製造することができる。

【0007】

図 3 に示す構造は、複数回のエピタキシャル成長工程と、これに続く適切な不純物の導入を含む一連の処理によって形成される。ここで、エピタキシャル成長工程は、高価な工程であり、したがって、複数回のエピタキシャル成長工程を必要とする構造は、製造原価が高くなる。

【0008】

そこで、図 3 に示すような MOSFET 構造を有する半導体パワーデバイスの製造方法であって、エピタキシャル成長工程の実施回数を減らし、より安価に半導体パワーデバイスを製造できる製造方法の実現が望まれている。

【発明の開示】

【課題を解決するための手段】

【0009】

本発明は、半導体パワーデバイスの製造方法を提供する。この製造方法では、まず、第 1 の伝導型の基板を準備し、この基板上的エピタキシャル層内に電圧維持領域 (voltage sustaining region) を形成する。この電圧維持領域の形成では、まず、基板上に、第 1 の伝導型を有するエピタキシャル層を成長させ、エピタキシャル層内に、2 つ以上のトレンチを異なる深さにエッチングすることによって、少なくとも 1 つの雑壇状のトレンチ (terraced trench) を形成する。雑壇状のトレンチは、幅が異なる複数の部分を有し、各部分間に環状の棚を画定する。次に、雑壇状のトレンチの壁及び底部に沿ってバリア材を堆積させる。次に、環状の棚及びトレンチの底部に堆積されたバリア材を介して、エピタキシャル層の隣接する部分に、第 2 の伝導型の不純物を打ち込む。不純物を拡散させて、エピタキシャル層内に少なくとも 1 つの環状のドーピング領域を形成する。更に、エピタキシャル層内の環状のドーピング領域の下方に位置する少なくとも 1 つの他の領域を形成してもよ

10

20

30

40

50

い。続いて、離壇状のトレンチ内に誘電体材料を堆積させて、離壇状のトレンチを埋め込み、電圧維持領域が完成する。そして、電圧維持領域上に、第2の伝導型の領域を少なくとも1つ形成し、第2の導電型の領域と電圧維持領域との間に接合を画定する。

【0010】

本発明によって製造される半導体パワーデバイスは、縦型二重拡散金属酸化膜半導体（縦型DMOS）、V溝二重拡散金属酸化膜半導体（V溝DMOS）、トレンチ二重拡散金属酸化膜半導体電界効果トランジスタ（トレンチDMOS MOSFET）、絶縁ゲート型バイポーラトランジスタ（IGBT）、バイポーラトランジスタ及びダイオードからなるグループから選択してもよい。

【発明を実施するための最良の形態】

【0011】

図4は、同時に継続中の米国特許出願番号09/970,758明細書に開示されている半導体パワーデバイスを示している。このデバイスでは、トレンチの断面を円形に形成しており、したがって、フローティングアイランドは、ドーナツ状の形状を有している。勿論、トレンチは、正方形、長方形又は六角形等、円形以外の形状を有していてもよく、このトレンチの断面形状がフローティングアイランドの形状を決定する。 n^+ シリコン基板402上に形成されたn型エピタキシャルシリコン層401は、pボディ領域405aと、半導体デバイス内の2つのMOSFETセルに対応する n^+ ソース領域407とを備える。図4に示すように、pボディ領域405aは、深いpボディ領域405bを備えていてもよい。 n^+ ソース領域407とボディ領域405aを接続するために、ソース及びボディ電極412がエピタキシャル層401の表面の特定の部分に広がっている。両セル用のn型ドレインは、半導体の上表面まで延びているn型エピタキシャル層401の一部によって形成される。ドレイン電極は、 n^+ シリコン基板402の底部に設けられている。ボディのチャンネル及びドレイン部分の上には、酸化層とポリシリコン層からなる絶縁ゲート電極418が形成されている。エピタキシャルシリコン層401によって画定される半導体デバイスの電圧維持領域内には、一連のフローティングアイランド410が形成されている。フローティングアイランド410は、半導体デバイスの上側から見て、アレー状に配列されている。例えば、図4に示す実施例では、「y軸」方向において、フローティングアイランドには、 410_{11} 、 410_{12} 、 410_{13} 、 \dots 、 410_{1m} といった符号を付しており、「z軸」方向には、 410_{11} 、 410_{21} 、 410_{31} 、 410_{m1} といった符号を付している。ゲート電極418の真下に位置するフローティングアイランド410の列は、設けても設けなくてもよく、これらは、半導体デバイスの幾何学的構造（geometry）及びエピタキシャル層410の抵抗率に対する要求に応じて設けられる。

【0012】

図4に示す半導体デバイスでは、フローティングアイランドの水平方向の行、例えばフローティングアイランド 410_{11} 、 410_{12} 、 410_{13} 、 \dots 、 410_{1M} からなる行は、それぞれ個別の打込み工程によって形成される。この製造方法では、例えば図3を用いて説明したような従来の製造方法に比べて、必要なエピタキシャル成長工程の回数を減らすことができるが、ここで、必要な打込み工程の回数を減らすことによって、より単純な製造方法を実現することが望まれる。

【0013】

本発明では、p型フローティングアイランドを共通の軸を有する環状の棚（coaxially located annular ledges）として形成する。以下、このようなフローティングアイランドを半導体パワーデバイスの電圧維持層内に形成する手法について説明する。まず、半導体デバイスの電圧維持層となるエピタキシャル層内に離壇状のトレンチ（terraced trench）を形成する。離壇状のトレンチは、エピタキシャル層内の異なる深さにエッチングされた共通の軸を有する2つ以上のトレンチから形成される。各トレンチの直径は、エピタキシャル層において、各トレンチが、より深いトレンチよりも長い直径を有するように形成される。隣り合うトレンチは、水平面において連結され、隣り合うトレンチの直径の差の

10

20

30

40

50

結果、環状の柵が画定される。p型の不純物は、1回の打込み工程によって、各環状の柵とトレンチにおける最も深い位置である底部とに同時に打ち込まれる。必要であれば、最下位のトレンチは、底部にドーパ領域の環状リングを形成するように、更にエッチングしてもよい。打ち込まれた材料は、柵とトレンチの底部に隣接し及びこれらの下方の電圧維持領域内の部分に拡散する。これにより、打ち込まれた材料は、共通の軸を有する複数の環状リングとして、一連のフローティングアイランドを形成する。最後に、半導体デバイスの特性に悪い影響を与えない材料をトレンチに埋め込む。トレンチに埋め込む材料の具体例としては、高抵抗ポリシリコン、シリコン酸化物のような誘電体、又はこの他の材料及びこれらの材料の組合せがある。

【0014】

本発明に基づく半導体パワーデバイスの製造工程の具体例について、図5(a)~図5(f)を用いて説明する。

【0015】

まず、従来と同様に、 n^+ にドーパされた基板502上に、 n 型エピタキシャル層501を成長させる。エピタキシャル層501の厚さは、抵抗率が $5 \sim 40 \text{ cm}$ 、 $400 \sim 800 \text{ V}$ の半導体デバイスでは、代表的に、 $15 \sim 50 \text{ }\mu\text{m}$ である。次に、エピタキシャル層501の表面を誘電体層で覆うことによって、誘電体マスク層を形成し、続いて周知の手法により、この誘電体マスク層を、トレンチ520₁の位置を画定するマスク部分を残して露光し、パターンを形成する。次に、反応性イオンエッチングによって、マスク開口部を介して、トレンチ520₁を、例えば $5 \sim 15 \text{ }\mu\text{m}$ の深さにドライエッチングする。詳しくは、等間隔で設けられるフローティングアイランドの水平方向の行の所望の数を「 x 」とすると、トレンチ520は、まず、後に形成されるボディ領域の底部と n^+ にドーパされた基板502の上面との間に存在するエピタキシャル層501の部分の厚さの約 $1/(x+1)$ の深さにエッチングする。ここで、必要に応じて、各トレンチ520の側壁を平滑にしてもよい。この場合、まず、反応性イオンエッチングプロセスによって生じた損傷を除去するために、トレンチ520の側壁から酸化物の薄膜層(通常 $500 \sim 1000$)を、化学的なドライエッチングによって取り除く。次に、犠牲二酸化シリコン層をトレンチ520₁上に成長させる。そして、トレンチ520₁の側壁を可能な限り平坦にするために、犠牲二酸化シリコン層を、バッファードフッ酸を用いたエッチング(buffered oxide etch)又はフッ化水素酸を用いたエッチング(HF etch)によって除去する。

【0016】

次に、図5(b)に示すように、トレンチ520₁内に二酸化シリコン層524₁を成長させる。二酸化シリコン層(以下、酸化層とも呼ぶ。)524₁の厚さは、このトレンチ520₁と、次に形成されるトレンチとの間の直径の差(したがって、この結果形成される環状の柵の径方向の幅)を決定する。次に、トレンチ520₁の底部から酸化層524₁を取り除く。

【0017】

次に、図5(c)に示すように、トレンチ520₁の露出された底部を介して、第2のトレンチ520₂をエッチングする。この実施例では、トレンチ520₂の厚さは、トレンチ520₁の厚さと同じになるように形成する。すなわち、トレンチ520₂は、ボディ領域の底部と n^+ にドーパされた基板502の上面との間に存在するエピタキシャル層501の部分の厚さの約 $1/(x+1)$ の深さにエッチングする。これにより、トレンチ520₂の底部は、ボディ領域の底部から $2/(x+1)$ の深さに位置することとなる。

【0018】

次に、図5(d)に示すように、まず、トレンチ520₂の壁に酸化層524₂を成長させることによって、第3のトレンチ520₃(図5(e)及び図5(f)に最も明瞭に示されている。)を形成する。ここでも、二酸化シリコン層524₂の厚さは、トレンチ520₂と、トレンチ520₃との間の直径の差(したがって、この結果形成される環状の柵の径方向の幅)を決定する。次に、トレンチ520₂の底部から酸化層524₂を取

10

20

30

40

50

り除く。このプロセスは、所望の数のトレンチが形成され、したがって、所望の数の環状の柵が形成できるようになるまで、必要な回数繰り返し行われる。例えば、図5(d)では、4個のトレンチ520₁ ~ 520₄ (図5(e)に最も明瞭に示されている。)が形成されている。

【0019】

次に、図5(e)に示すように、4個のトレンチ520₁ ~ 520₄の側壁に形成された各酸化層をエッチングによって取り除くことにより、環状の柵546₁ ~ 546₃を形成する。次に、トレンチ520₁ ~ 520₄内に、略均一の厚さを有する酸化層540を形成する。酸化層540の厚さは、打込み原子が、トレンチ520₁ ~ 520₄の側壁に隣接するシリコンに透過することを防止するのに十分な厚さであって、且つ環状の柵546₁ ~ 546₃及びトレンチ底部555において、打込み原子が酸化層540の一部を透過できる厚さにする必要がある。

10

【0020】

トレンチ520₁ ~ 520₄の直径は、最終的に形成される環状の柵546₁ ~ 546₃及びトレンチ底部555が同じ表面積を有するように選択する。これにより、環状の柵546₁ ~ 546₃及びトレンチ底部555に不純物が打ち込まれると、この結果形成される各フローティングアイランドの水平面は、同じ電荷を有するようになる。

【0021】

次に、図5(f)に示すように、柵546₁ ~ 546₃及びトレンチ底部555に設けられた酸化層540を介して、ホウ素等の不純物を打ち込む。不純物の総ドーズ量は及び打込みエネルギーは、後に拡散工程を行った後に、エピタキシャル層501に残留する不純物の量が、最終的な半導体デバイスで要求される降伏電圧を満足するように、選択される。次に、高温拡散工程を行い、先に打ち込まれた不純物528を縦方向(vertically)及び横方向(laterally)にドライブイン(drive-in)し、これにより共通の軸を有するフローティングアイランド550₁ ~ 550₄を形成する。

20

【0022】

次に、半導体デバイスの特性に悪影響を与えない材料を、個々のトレンチ520₁ ~ 520₄から形成された難壇状のトレンチに埋め込む。このような材料としては、以下に限定されるものではないが、例えば、熱成長される二酸化シリコン、及び二酸化シリコン、窒化シリコンのような堆積される誘電体、並びにこれらの又は他の材料の熱成長層及び堆積層の組合せ等がある。そして、図5(f)に示すように、この構造体の表面を平坦化(planarize)する。図5(g)は、図5(f)と同様の構造において、トレンチ底部を更にエッチングし、この底部に不純物を含む底部環状リングを形成した構成例を示している。

30

【0023】

図5(f)及び図5(g)に示す構造体を製造する上述した処理工程のシーケンスにより、数多くの様々な半導体パワーデバイスに一連の環状のフローティングアイランドを有する電圧維持領域を作ることができる。上述のように、このような電力用半導体素子としては、DMOS、V溝DMOS、トレンチDMOS、MOSFET、IGBT、及びこの他のMOSゲートデバイスが含まれる。例えば、図4は、図5に示す電圧維持領域上に形成することができるMOSFETの具体例を示している。なお、図5(a) ~ 図5(g)では、単一の難壇状のトレンチを示しているが、本発明では、単一又は複数の難壇状のトレンチを用いて、いかなる数のフローティングアイランドの列を形成してもよい。

40

【0024】

図5に示すような電圧維持領域及びフローティングアイランドを形成した後、次のような工程によって、図4に示すようなMOSFETが完成する。まず、アクティブ領域のマスクを形成した後、ゲート酸化層を成長させる。次に、多結晶シリコンを堆積させ、不純物をドーピングし、酸化させる。次に、ポリシリコン層をマスクし、ゲート領域を形成する。次に、従来と同様のマスクング工程、打込み工程及び拡散工程を用いて、深いp⁺にドーピングされたボディ領域405bを形成する。深いp⁺にドーピングされたボディ領域405bは

50

、例えば、 $20 \sim 200 \text{ KeV}$ で、ドーズ量を約 $1 \times 10^{14} \sim 5 \times 10^{15} / \text{cm}^2$ として、ホウ素を打ち込む。同様の手法により、浅いボディ領域 $405a$ も形成する。浅いボディ領域 $405a$ には、 $20 \sim 100 \text{ KeV}$ で、ドーズ量を約 $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ として、ホウ素を打ち込む。

【0025】

次に、フォトレジストマスクングプロセスによって、ソース領域 407 を画定するパターンのマスク層を形成する。続いて、打込み及び拡散によって、ソース領域 407 を形成する。ソース領域 407 には、例えば、 $20 \sim 100 \text{ KeV}$ で、代表的には $2 \times 10^{15} \sim 1.2 \times 10^{16} / \text{cm}^2$ の濃度でヒ素を打ち込む。打込みの後、ヒ素は、約 $0.5 \sim 2.0 \mu\text{m}$ の深さに拡散する。ボディ領域 $405a$ の深さは、代表的には約 $1 \sim 3 \mu\text{m}$ とし、深い p^+ にドーピングされたボディ領域 $405b$ は、(これを設ける場合は) これよりも若干深く形成する。最後に、従来の方法でマスク層を除去する。DMOSトランジスタは、従来の方法で酸化層を形成及びパターン化し、コンタクト開口部 (contact opening) を形成することにより完成する。更に、金属層を蒸着させ、マスクングして、ソース及びボディ領域とゲート電極とを画定する。マスクは、パッドコンタクトを画定するためにも使用する。そして、基板 402 の底面にドレインコンタクト層を形成する。

10

【0026】

ここでは、パワーMOSFETを製造するための特定の一連のプロセスについて説明したが、本発明の範囲内で他のプロセスを用いることもできる。例えば、深い p^+ にドーピングされたボディ領域 $405b$ は、ゲート領域を画定する前に形成してもよい。更に、トレンチを形成する前に、深い p^+ にドーピングされたボディ領域 $405b$ を形成してもよい。幾つかのDMOS構造では、 p^+ にドーピングされたボディ領域は、 p^- にドーピングされたボディ領域よりも浅く形成してもよく、更に幾つかの具体例では、 p^+ にドーピングされたボディ領域を設けなくてもよい。

20

【0027】

以上、様々な実施例を詳細に図示し、説明したが、上述の説明から、本発明に基づくこれらの実施例を修正及び変更することができ、このような修正及び変更は、請求の範囲に基づく本発明の主旨及び範囲から逸脱するものではない。特定の一実施例においては、本発明に基づく方法を用いて、各半導体領域の伝導性が上述の実施例とは逆の半導体パワーデバイスを製造することもできる。更に、本発明に基づく半導体パワーデバイスを製造するために必要な工程を縦型DMOSトランジスタを例に説明したが、ここに開示した手法を用いて、例えばダイオード、バイポーラトランジスタ、パワーJFET、IGBT、MCT及びこの他のMOSゲートパワーデバイスを始めとするこの他のDMOSFET及びこの他の半導体パワーデバイスを製造することもできる。

30

【図面の簡単な説明】

【0028】

【図1】従来のパワーMOSFET構造の断面図である。

【図2】従来のパワーMOSFETの単位面積当たりのオン抵抗を降伏電圧の関数として示すグラフ図である。

【図3】図1に示す構造に比べて、同じ電圧で、より低い単位面積当たりのオン抵抗で動作するように設計された、ボディ領域の下方に設けられたフローティングアイランドを有する電圧維持領域を含むMOSFET構造を示す図である。

40

【図4】ボディ領域の下方及びボディ領域間に設けられたフローティングアイランドを有する電圧維持領域を備えるMOSFETの断面図である。

【図5a】本発明に基づいて電圧維持領域を作成するためのプロセスを説明する図である。

。

【図5b】本発明に基づいて電圧維持領域を作成するためのプロセスを説明する図である。

。

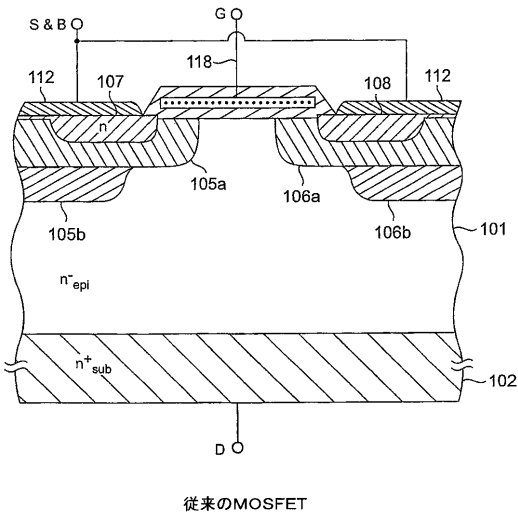
【図5c】本発明に基づいて電圧維持領域を作成するためのプロセスを説明する図である。

。

50

- 【図 5 d】本発明に基づいて電圧維持領域を作成するためのプロセスを説明する図である。
- 【図 5 e】本発明に基づいて電圧維持領域を作成するためのプロセスを説明する図である。
- 【図 5 f】本発明に基づいて電圧維持領域を作成するためのプロセスを説明する図である。
- 【図 5 g】本発明に基づいて電圧維持領域を作成するためのプロセスを説明する図である。

【図 1】



【図 2】

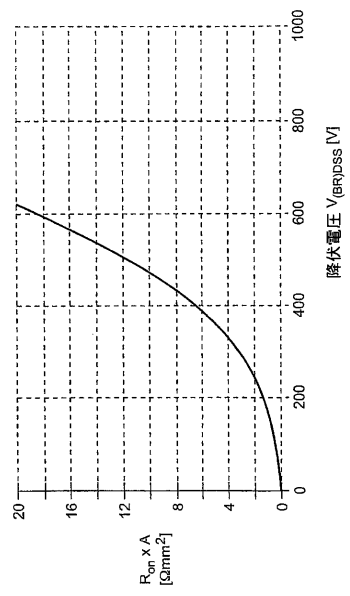
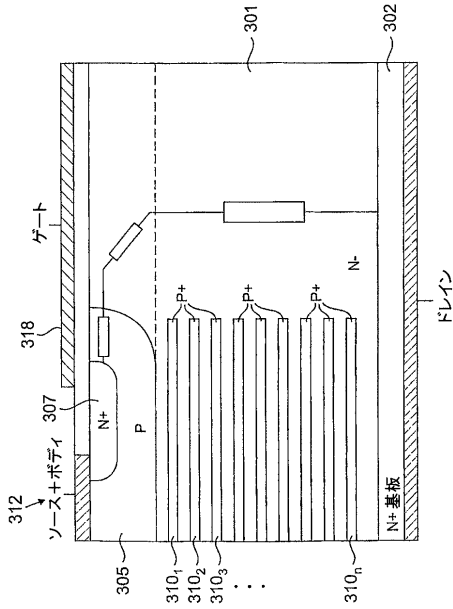
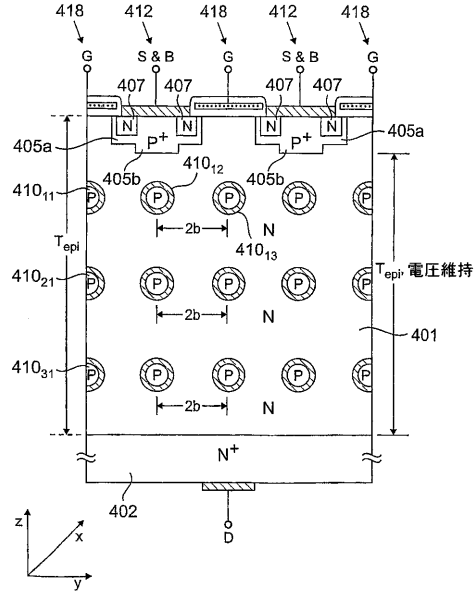


図1に示す不純物分布を有する縦型DMOSトランジスタの固有オン抵抗

【図3】



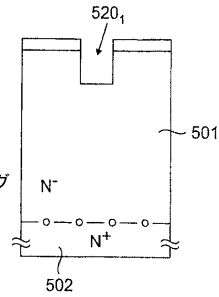
【図4】



【図5 a】

工程

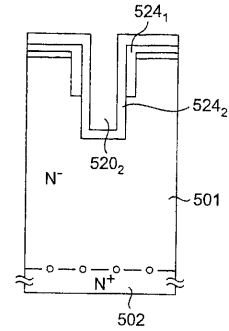
1. エピタキシャル成長
2. バリア層の形成
3. トレンチバリア層のマスクング及びエッチング
4. トレンチのエッチング



【図5 c】

工程

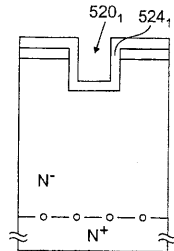
7. トレンチのエッチング
8. トレンチ内に酸化層を成長



【図5 b】

工程

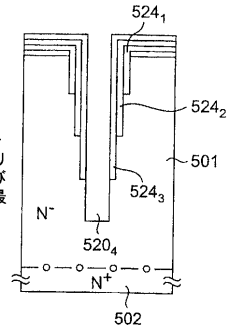
5. トレンチ内に酸化層を成長
6. トレンチ底部の酸化層の除去



【図5 d】

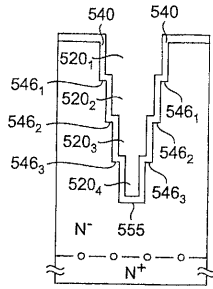
工程

9. トレンチの底部からの酸化層のエッチング、トレンチの深さを増すためのシリコンのエッチング、トレンチの内壁及び底部に酸化層を成長させる工程を、最後のアイランド層を除いて、繰り返す



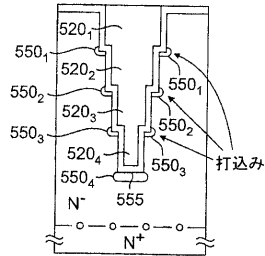
【図 5 e】

- 工程
10. トレンチの底部から酸化層を除去及びトレンチのエッチング
 11. トレンチの側壁から酸化物を除去
 12. 酸化層の成長



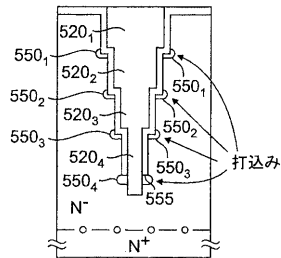
【図 5 f】

- 工程
13. イオン打込み
 14. 拡散
 15. トレンチの埋込み
 16. ウェハの平坦化



【図 5 g】

- 工程
13. イオン打込み
 14. 拡散
 15. トレンチの埋込み
 16. ウェハの平坦化



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/06 3 0 1 D
H 0 1 L 29/78 3 0 1 V

(72)発明者 ギヨ、ジャン - ミシェル
アイルランド共和国 カウンティ コーク クロイン キルクローン ハウス

審査官 原 和秀

(56)参考文献 特開昭58-032430(JP,A)
特開平08-162547(JP,A)
特表2000-504879(JP,A)
特開2002-198447(JP,A)
特表2002-520816(JP,A)
特表2002-525877(JP,A)
特開2003-068885(JP,A)
米国特許第04893160(US,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/336
H01L 29/06
H01L 29/78