(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H04N 5/445

(45) 공고일자 2002년02월28일
(11) 등록번호 10-0317073
(24) 등록일자 2001년11월28일

(21) 출원번호 10-1994-0033581
(22) 출원일자 1994년12월10일

(65) 공개번호 특1995-0022866
(43) 공개일자 1995년07월28일

(30) 우선권주장 9325371.4 1993년12월10일 영국(GB)

(73) 특허권자 알씨에이 라이센싱 코오포레이숀
락스 죠셉 제이.
미국 뉴저지주 08540 프린스톤 투 인디펜던스 웨이

(72) 발명자 루크트리포드
스위스연방,쥬리히,알비스리에데어스트라쎄154

(74) 대리인 나영환
이상섭

심사관 : 김기영

(54) 양방향편향및디스플레이장치

요약

제로 팡균값을 갖는 대칭 구형파(V1)는 S 형 커패시터(C_S)를 통하여 수평 편향 요크(12)의 입력단에 접속된다. 상기 요크의 출력단에 접속된 음저항($-R_H$)은 상기 요크의 저항 손실을 보상하는 음저항값을 갖는다. 상기 요크에서 발생된 요크 전류(I_{LH})는 대칭 3각 파형일 것이다. 제 1 제어 루프(22,32,34)는 상기 요크 전류의 연속 제로값 교차를 보장하도록 조정되는 음저항값이 연속 수평 주사선의 각각의 중심에 시간적으로 일치되도록 상기 음저항값을 조정한다. 제 2 제어 루프(22,28,30,36)는 구형파의 연속 레벨전이가 주사 방향의 연속 변화에 시간적으로 일치되도록 상기 구형파를 조정한다.

대표도
도 7

명세서

도면의 간단한 설명

제1도는 양방향 주사의 설명에 유용한 도면.

제2a도 및 제2b도는 각각 양방향 주사 동안의 우수한 라인 정렬 및 열악한 라인 정렬의 설명도.

제3a도, 제3b도 및 제3c도는 3각 편향 전류의 거울 대칭의 설명에 유용한 파형도.

제4도는 3각 편향 전류의 발생 원리의 설명에 유용한 회로도,

제5a도 및 제5b도는 이력 효과 및 이력 보상의 설명에 유용한 파형도.

제6도는 S자 성형 3각 편향 전류(S-shaping triangular deflection current)의 예시 파형도.

제7도는 3각 편향 전류를 발생하는 편향 회로의 블록도.

제8a도 내지 제8i도는 제7도에 도시된 회로의 동작 설명에 유용한 파형의 시간 흐름도.

제9도는 제1 실시예에 따른 3각 수평 편향 회로의 세부 회로도.

제10도는 제1 실시예에 따른 스위칭 시간 제어 회로의 세부 회로도.

제11도는 제1 실시예에 따른 제로 교차 시간 제어 회로의 세부 회로도.

제12도는 제2 실시예에 따른 3각 수평 편향 시스템의 일부분에 대한 블록도.

제13도는 제2 실시예에 따른 3각 수평 편향 시스템의 일부분에 대한 세부 회로도.

* 도면의 주요 부분에 대한 부호의 설명 *

12 : 수평 편향 요크

22, 22' : 비디오 프로세서

26 : 비디오 디스플레이 장치

28, 28' : 이진 신호 에지 검출기

30 : 스위칭 시간 검출기

32 : 제로 교차 시간 제어 장치

34 : 제로 교차 검출기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 텔레비전 수상기, 비디오 모니터 및 기타 래스터 주사 디스플레이 장치의 양방향 주사 기술에 관한 것이다.

직시 음극선관(direct view CRT) 디스플레이 시스템은 신속한 플라이백을 갖는 톱니파 전류를 이용한 단방향 주사 및 자기 편향(magnetic deflection)을 채택한다. 화질을 개선하는 신호 처리 기술 및 고선명 텔레비전(HDTV)의 출현으로 예컨대 최대 64 KHz의 더 높은 수평 주사율을 갖는 디스플레이 장치가 요구되고 있다. 64 KHz의 수평 주사율은 예컨대 15.734 KHz의 종래의 수평 주사율(f_H)의 4배인 $4f_H$에 해당된다. 짧은 플라이백 시간 때문에, 톱니파 라인 편향은 예컨대 64 KHz에서 대략 70 watt의 높은 에너지 손실, 강렬한 방사 문제 및 라인 출력 트랜지스터의 부하 증가라는 결과를 나타낸다. 이러한 단점은 순방향 주사 및 역방향 주사 모두가 비디오 디스플레이를 위해 사용되는 양방향 편향을 사용함으로써 해소될 수 있다. 양방향 주사의 일반적인 원리가 제1도에 도시되어 있다. 래스터 라인은 순방향(좌측에서 우측으로)과 역방향(우측에서 좌측)으로 교번적으로 주사된다. 순방향으로만 주사된 래스터의 경우 플라이백은 없다. 수직 편향은 각 라인주사 동안 일정하다.

양방향 편향 시스템의 주요 문제는 짚패스너 효과(zipfastener efrect)를 방지하기 위해 2개의 인접 라인의 우수한 정렬을 달성하는 것이다. 우수한 정렬의 양방향 래스터는 제2a도에 도시되어 있고, 짚패스너 효과에 의해 입증된 열악한 정렬의 양방향 래스터는 제2b도에 도시되어 있다.

종래 기술에 따른 양방향 주사는 수평 편향 사인파 파형을 이용한다.

측정에 의해 준 강자성체 요크의 이력이 스폿 위치(예컨대, 36" 튜브의 중심에서 +/- 0.8 mm)상에서 마지널 효과(marginal effect)만을 갖는 것으로 밝혀졌다. 따라서, 첫번째 방식에서는 우수한 비디오 라인 정렬을 위해 제3a도에 도시된 바와 같이 순방향과 역방향 주사의 요크 전류의 경사에 대한 고도의 거울 대칭을 보장하기에 충분하다.

종래 기술에서 제시된 바와 같은 사인파의 편향과는 반대로, " S" 자 성형 3각 스위프 회로(S-shaping triangular sweep circuit)는 종래의 넌블랭킹 충격 계수(non-blanking duty factor)를 80%에서 거의 100%로 증가시킬 수 있어 수평 블랭킹 주기가 극히 짧아진다. 따라서, 피크 빔전류를 증가시키지 않고서도 휘도 및 수평 분해능의 20% 증가를 얻을 수 있다. 사인파 편향의 경우, 활성 시간은 대략 70%로 감소된다.

라인 편향 회로는 하프 라인 주파수에서 구형파 형태의 출력 전압을 제공하고 편향 코일의 일단에 대해 50%의 충격 계수를 갖는 능동 스위치를 구비한다. 편향 코일의 타단은 주로 편향 회로를 위한 음의 저항으로 사용되는 전력 증폭기의 출력단에 접속된다. 3각 커패시터는 요크와 직렬 접속될 것이다. 편향 전류의 제로 교차 순간이 측정되며 음의 저항값을 제어함으로써 센터링된 라인을 유지한다. 이와 달리 이차 보정 변수(예컨대, 더 큰 손실 및 이력 보상)가 상기 전원 증폭기의 두 입력단에 제공될 수도 있다.

본 발명에 따른 양방향 수평 편향 시스템은 입력 및 출력 단자를 갖는 수평 편향 요크와, 제로 평균값을 갖고 상기 입력 단자에 접속된 대칭 구형파 신호의 소스와, 요크의 저항 손실을 보상하는 음의 저항값을 가지며 상기 출력 단자에 접속된 음저항(negative resistance)을 구비하며, 이에 따라서 구형파 신호에 응답하여 상기 요크에서 발생된 요크 전류가 대칭 3각 파형이 될 것이다.

구형파 신호는 S자 성형 커패시터를 통해 상기 입력 단자에 접속되며 제로 평균값을 보증한다.

본 시스템은 요크 전류용의 제로값 교차 제어 루프를 추가로 포함하며, 요크전류의 연속적인 제로값 교차를 보장하도록 조정되는 음의 저항값은 연속적인 수평주사 라인의 각각의 중심과 시간적으로 일치된다. 제로값 교차 제어 루프는 위상 검출기를 구비하며, 상기 위상 검출기는 연속 수평 주사 라인의 각각의 중심과 요크전류의 각각의 연속적인 제로값 교차에 시간적으로 일치하는 이진 제어 신호의 레벨 전이를 동상으로 정렬시킨다.

본 시스템은 구형파 신호용의 스위칭 시간 제어 루프를 추가로 구비하며, 구형파 신호의 연속 레벨 전이를 보장하도록 조정되는 구형파 소스는 주사 방향의 연속적인 변경에 시간적으로 일치된다. 주사 방향의 연속적인 변경을 나타내는 신호는 50%의 충격 계수를 가지며 구형파 신호의 대칭성을 보장한다.

스위칭 시간 제어 루프는 구형파 신호의 레벨 전이가 이진 제어 신호의 레벨전이 전에 발생하는지 아니면 후에 발생하는지의 여부를 판정하는 이진 신호 에지 검출기를 구비하며, 이진 제어 신호의 레벨 전이는 주사 방향의 연속적인 변경에 시각적으로 일치한다.

본 발명은 비디오 디스플레이 장치에서 구현될 수도 있으며, 상기 비디오 디스플레이 시스템은 비디오 디스플레이와; 비디오 데이타의 연속 라인을 저장하고, 비디오 데이타 라인의 제1 세트의 교번 라인이 순방향 순서로 독출되고 비디오 데이타 라인의 제2 세트의 잔여 교번 라인이 역순으로 독출되는 메모리 블록을 포함하는 비디오 프로세서와; 입력 및 출력 단자를 갖는 수평 편향 요크와; 제로 평균값을 가지며 상기 입력 단자에 접속된 대칭 구형파 신호의 소스와; 상기 출력 단자에 접속되고, 요크에서의 저항 손실을 보상하는 음의 저항값을 가지며, 구형파 신호에 응답하여 요크에서 생성된 요크 전류가 대칭 3각 파형이 되도록 하는 음저항을 구비한다.

또한, 상기 구형파 신호는 S자 성형 커패시터를 통해 상기 입력 단자에 접속되며 제로 평균값을 보장한다.

상기 비디오 프로세서는 각 연속 비디오 라인의 1/2이 메모리 블록중의 한 메모리 블록에서 독출되는 때를 인식하는 레벨 전이를 갖는 제1 제어 신호를 발생하고, 한 메모리 블록에서 각 비디오 라인을 독출하기 전에 주사 방향의 각각의 변경을 인식하는 레벨 전이를 갖는 제2 제어 신호를 발생한다.

또한, 본 시스템은 요크 전류용 제로값 교차 제어 루프와 구형파 신호용 스위칭 시간 제어 루프를 구비한다. 상기 제로값 교차 제어 루프는 상기 제1 제어 신호의 레벨 전이를 요크 전류의 각각의 연속 제로값 교차와 동상으로 정렬시키는 위상 검출기를 구비한다. 상기 스위칭 시간 제어 루프는 구형파 선호의 레벨 전이가 상기 제2 제어 신호의 레벨 전이 전에 발생하는지 아니면 후에 발생하는지의 여부를 판정하는 이진 신호 에지 검출기를 구비한다.

양방향 주사의 일반 원리가 제1도에 도시되어 있다. 래스터의 라인은 순방향(좌측에서 우측으로)과 역방향으로(우측에서 좌측으로) 교번적으로 주사된다. 양방향 주사에서 가장 중요한 점은 각각의 비디오 라인이 메모리에 저장되어야만 하고 모든 저장 비디오 라인이 역순으로 메모리에서 독출되어야만 한다는 점이다. 이것은 수신기가 이미 비디오 신호를 디지탈화하거나 또는 디지탈 비디오 신호를 수신하도록 구성되어 있기 때문에 실현이 곤란하지는 않지만 과도한 비용이 소요된다. 이러한 수신기는 예를 들어 향상된 디스플레이 모드를 구현하거나 넌인터레이스 수평 주사를 2배 비율로 하기 위한 라인 더블링을 실시하거나 또는 디지털 소스 신호를 처리하기 위해 디지털 비디오를 이용할 것이다. 두번째 중요한 점으로 라인이 종래 래스터의 작은 하향 경사를 갖지 않고 평형 및 수평 레벨로 디스플레이되는 수직 편향 회로가 제공되어야만 한다는 점이다. 이러한 수직 편향 회로는 종래 기술로 공지되어 있다. 세번째 중요한 점은 플라이백 펄스가 없고 그에 따라 플라이백 유도 전원이 공급되지 않는다는 점이다. 고전압 전원 공급 장치 및 그에 따른 기타 전원 공급 장치의 필요성 및 비용이 고려되어야 한다. 그러나, 일부 관점에서 예컨대 4배의 수평 주사율, 즉 $4f_H$에서 단방향 주사는 매우 비실용적이다.

양방향 편향 시스템의 주요 문제는 짚패스너 효과를 방지하기 위해 2개의 인접 라인의 양호한 정렬을 달성하는 것이다. 양호한 정렬을 이루고 있는 양방향 래스터는 제2a도에 도시되어 있다. 수직으로 정렬되어야만 하는 픽셀의 열은 수직으로 정렬된다. 짚패스너 효과로 입증된 열악한 정렬을 갖는 양방향 래스터는 제2b도에 도시되어 있다. 수직으로 정렬되어야만 하는 픽셀의 열이 수직으로 정렬되지 않는다. 우수한 정렬을 갖는 양방향 래스터는 3각 편향 전류를 이용하는 본 발명의 장치에 따라 달성될 수 있다.

완전 대칭의 3각 편향 전류는 제3a도에 도시되어 있다. 순방향 주사의 시간 주기(tf)는 역방향 주사의 시간 주기(tb)와 일치한다. 편향 전류의 제로 교차점이 수평 라인상에 센터링되지 않을 때에 발생하는 제1 종류의 열악한 거울 대칭이 제3b도에 도시되어 있다. 구형파가 대칭이 아닐 때에 발생하는 제2 종류의 열악한 거울 대칭이 제3c도에 도시되어 있다. 순방향 주사의 시간 주기(tf)는 역방향 주사의 시간 주기(tb)와 일치하지 않는다.

제4도는 기본적인 3각 편향 회로(10)를 도시한다. 편향 코일(12)은 입력 단자(14)와 출력 단자(16)를 갖는다. 요크는 인덕턴스값(L_H)과 저항값(R_H)을 갖는다. 상기 편향 코일의 입력 단자(14)는 정확하게 50%의 충격 계수를 갖는 DC 성분이 없는(DC-free : 제로 평균값) 구형파 전압(V_1)으로 구동된다. 출력 단자(16)는 $-R_H$의 저항값을 갖고 요크 전류(예컨대, 구리, 와류, 스위치 저항 등)의 저항성 손실을 보상하는 음저항(18)에 접속된다. 입력 구형파(V_1)는 무손실 인덕턴스를 나타내고, 요크 전류(I_{LH})는 입력 전압의 실질 적분치, 즉 대칭 3각 파형이 될것이다. 이 전류 파형은 제3a도에 도시된 바와 같이 양방향 편향을 위한 거울 대칭의 엄격한 요건을 충족한다. 음저항($-R_H$) 양단의 전압(VR) 또한 대칭 3각 파형이다.

실제로, 요크 전류 루프에 소량의 잔여 저항을 남겨둠으로써 이력에 의해 야기된 작은 비선형성 오류를 보상할 수 있기 때문에 요크 전류의 저항 손실은 완전히 복구되지 않는다. 빔 스폿 위치 오차는 제5a도에 도시되어 있다. 커패시터는 입력 구형파 전압의 임의 DC 성분을 차단하고자 하는 이유와 현재 화상관에 요구된 바와 같이 편향 전류에 "S" 자 성형을 제공하고자 하는 이유의 2가지 이유를 위해 요크와 직렬 접속된다. 이력 비선형성에 대한 보상은 제5b도에 도시되어 있다. 제6도에 도시된 바와 같은 결과적인 편향 전류는 fo 주파수를 갖는 비감쇠 사인파의 선형 부분이다. fo 주파수는 직렬 공진 회로(L_H, C_S)의 공진 주파수이며, 여기서 L_H는 요크의 인덕턴스이고, C_S는 S자 성형 결합 커패시턴스이다. 특히, fo 주파수는,

$$fo = \frac{1}{2\pi\sqrt{L_H \cdot C_S}}$$

로 표현될 것이다.

제7도는 제4도에 도시된 양방향 3각 편향 시스템(10)을 통합한 비디오 디스플레이 시스템(20)의 기본 회로를 도시한다. 상기 디스플레이 시스템에서 디지탈 비디오 프로세서(22)는 $2f_H$ 주사에 적절한 포맷으로 비디오를 변환하는 라인 더블러를 포함한다. 양방향 주사의 결과로써 교번 라인에서 비디오 신호의 시간 반전이 요구된다. 이 기능은 모든 유입 라인을 메모리에 저장하고 이것을 2 배속으로 두번 독출, 즉 먼저 유입 순서로 독출하고 그 다음 역순으로 독출함으로써 비디오 처리 회로에서 실현된다. 이로써 2배의 라인 비율, 즉 $2f_H$가 발생된다. $1f_H$에서의 입력 RGB 신호는 제8a도에 도시되어 있다. $2f_H$에서의 출력 RGB 신호는 제8b도에 도시되어 있다. 비디오 출력단(24)은 음극선관(26)을 구동하기 위한 신호를 제공한다.

또한, 상기 비디오 프로세서는 우수한 거울 대칭을 갖는 래스터를 발생하기 위해 필요하고 주사 방향 신호(SD)와 라인 중심 신호(LC)를 포함하는 타이밍/동기화 신호를 제공한다. 제8c도에 도시된 주사 방향 신호(SD)는 스위칭 시간 제어 장치(22)에 입력된다. 상기 주사 방향 신호는 프로세서(22)내의 라인 메모리가 유입 순서로 독출되는지 아니면 반대 순서로 독출되는지의 여부, 즉 편향이 순방향으로 주사되어야만 하는지 아니면 역방향으로 주사되어야만 하는지의 여부를 나타낸다. 제8a도에 도시된 라인 중심 신호(LC)의 에지는 라인의 비디오 정보의 중심, 즉 화상 성분(즉, 픽셀)수의 절반이 메모리에서 독출되는 때를 나타낸다.

구형파 전압 신호(V1)는 스위치(S1, S2)를 하프 브리지 구조(half bridge configuration)로 포함하는 스위칭 장치(36)에 의해 발생된다. 스위치(S1, S2)는 스위칭 시간 제어 장치(28)에 응답하여 동작한다. 주사 방향이 구형파 전압 신호(V1)의 상태의 결과이므로, 구형파 전압 신호(V1)의 에지는 주사 방향 신호(SD)의 에지에 로크되어야만 한다. 신호(V1)의 레벨 전이가 스위치(S1, S2)의 스위칭 오프에 의해 발생되기 때문에 이것은 스위치(S1, S2)의 스위칭 오프 시간을 제어함으로써 이루어질 수 있다. 신호(SD)가 논리적으로 로우인 경우, 구형파 전압(V1)은 논리적으로 하이이며 순방향 주사를 제공한다. 신호(SD)가 하이인 경우, 구형파 전압(V1)은 로우이며 역방향 주사를 제공한다.

구형파 전압 신호(V1)는 S자 성형 커패시터(C_S)를 통해 수평 요크(12)에 접속된다. 커패시터(C_S)는 또한 구형파 신호(V1)가 요크(12)에 인가될 때 제로 DC 값을 갖도록 한다. 스위칭 시간 검출기(30)는 S자 성형 커패시터와 요크(12)의 접속부에서의 신호(V1)를 모니터링한다. 상기 스위칭 시간 검출기는 구형파 신호(V1)의 레벨 전이의 순간을 나타내는 에지를 갖는 제8e도에 도시된 스위칭 시간 신호(ST)를 발생한다. 구형파 신호(V1)의 에지는 스위치(S1, S2)의 스위칭 순간을 제어하는 상기 스위칭 시간 제어 장치에 의해 주사 방향 신호(SD)와 동상으로 유지된다. 주사 방향 신호(SD)가 50%의 충격 사이클을 가지므로 구형파 신호(V1) 또한 50%의 충격 사이클을 가질 것이다.

제8i도에 도시된 요크 전류(I_{LH})는 제로 교차 검출기(34)와 음저항(18)을 통해 흐른다. 제로 교차 검출기는 요크 전류(I_{LH})를 모니터링하며, 요크 전류(I_{LH})의 제로 교차의 순간을 나타내는 에지를 갖는 제8f도에 도시된 제로 교차 신호(ZX)를 발생한다. 음저항(18) 양단의 전압 강하를 나타내는 전압 신호(VS)는 상기 음저항을 통해 흐르는 요크 전류에 비례하지만 제8j도에 도시된 바와 같이 요크 전류의 반대 극성을 갖는다. 요크 전류 제로 교차의 순간은 편향 회로의 손실에 대한 정보를 제공한다. 즉, 손실이 크면 클수록 제로 교차가 시간적으로 더 빠르다. 손실이 없다면 제로 교차는 라인의 중심에 있다.

라인 중심 신호(LC)와 제로 교차 신호(ZX)는 제로 교차 시간 제어 장치(32)에 입력된다. 제로 교차 시간 제어 장치는 음저항(18)의 $-R_H$ 값을 조절하여 라인 중심 신호(LC)와 제로 교차 신호(ZX)가 서로 동상이 되도록 한다. 편향 전류의 제로 교차 순간은 라인 중심 신호(LC)의 에지에 로크된다.

제9도 내지 제11도는 3각 라인 편향 시스템의 제1 실시예에 대한 완전한 회로도이다. 제9도는 3각 편향 회로에 관한 것이며, 제10도는 스위칭 시간 제어 장치에 관한 것이고, 제11도는 제로 교차 시간 제어 장치에 관한 것이다. 제9도에서, 스위칭 장치(36)는 각각이 집적된 역다이오드를 갖는 트랜지스터(Q1, Q2)를 포함한다. 트랜지스터(Q1, Q2)는 하프 브리지형 스위치로 구성되어 구형파 전압 신호(V1)를 발생한다. 구형파 전압 신호(V1)는 S자 성형 커패시터(C_S)를 통해 요크(L_H)에 유입된다. 커패시터(CR)는 구형파 신호(V1)의 전이 변화율(dV/dt)을 증가시킨다. 이것은 전이 후의 요크내 발진을 방지하기 위해 필요하다. 구형파 신호(V1)의 전이 중심은 비교기(U1a)에 의해 검출되며, ST 신호로 표시된 디지탈 신호의 형태로 스위칭 시간 제어 장치(30 : 제10도 참조)에 유입된다. 전위차계(P1)의 슬라이더(slider)에 접속된 커패시터(C1)를 포함한 네트워크는 ST 신호에 조정 가능한 작은 지연 시간(0 50 nsec)을 제공하여 이력 오배치(hysteresis misplacement) 및 비디오 프로세서(22)와 출력단(24)의 지연 시간을 보상한다.

변압기(T1)와 저항(Rl)은 요크 전류(I_{LH})를 전압 신호(V2)로 변환한다. 전압 신호(V2)의 제로 교차 순간은 비교기(U1b)에 의해 검출되어 제로 교차 신호(ZX)로서 디지탈 형태로 제로 교차 시간 제어 장치(32 : 제11도 참조)에 유입된다. 이 시점에서도, 조정 가능한 작은 지연 시간이 전위차제(P2)와 커패시터(C2)에 의해 상기 신호에 부가되어 비디오 프로세서(22)와 출력단(24)의 지연 시간 및 이력 오배치를 보상한다.

음저항(18)은 트랜지스터(Q3, Q4)로 형성된 A 부류 버퍼단을 포함하고 입력 신호로서 전압 신호(V2)를 갖는 반전 증폭기로서 결선된 전원 차동 증폭기(U2)에 의해 구현되며, 여기서 $k > 0$ 인 경우 $VR = -k * V2$ 이다. 전압 신호(V2)가 요크 전류(I_{LH})에 비례하고, 전압 신호(VR)가 전압 신호(V2)에 반대 극성으로 비례하므로, 전압 신호(VR)는 음저항 양단의 전압으로서 요크 전류(I_{LH})로 나타난다. 증폭기 이득은 J-FET(Q5)의 ON 저항에 좌우되며, J-FET는 선형 제어 전압 신호(LIN)로서 표시된 신호를 통해 트랜지스터(Q5)의 게이트 대 소스 전압을 변화시킴으로써 음저항값 이상으로 제어량을 제공한다. 커패시터(C4)는 상기 증폭기의 지연 시간을 보상하기 위해 소폭의 위상 시프트를 야기한다.

구형파 전압 신호(V1)의 진폭은 동서 보정 회로(East-West Correction Circuit : 38)에 의해 동서 래스터 왜곡을 보상하기 위해 변조되어야만 한다. 동서 보정은 전원 증폭기(U3)를 통해 하프 브리지 스위치의 하위 단자에서의 전압을 변조함으로써 달성될 수 있으며, 전원 증폭기(U3)는 수직 포물선 전압 신호를 이용하여 이 시점을 구동한다. 커패시터(C3)는 편향 전류에 저임피던스 통로를 제공하여 편향 전류가 상기 증폭기에 흐르지 않게 한다.

제10도에서, 스위칭 시간 제어 장치(30)는 스위치 구동 신호(Drv1, Drv2)의 타이밍을 제어함으로써 S7 신호의 스위칭 시간 및 그에 따른 구형파 신호(V1)의 에지를 SD 신호의 스위칭 시간에 로크시킨다. 구형파 신호(V1)의 상승 및 하강 에지의 스위칭 시간은 자신의 제어 루프로 별도 제어된다. 2개의 루프의 동작은 동일하므로 구형파 신호(V1) 또는 ST 신호의 상승 에지에 대한 루프만이 설명된다.

SD 및 ST 신호는 게이트(U5a)에서 NAND 함수로 한차례 그리고 게이트(U4a)에서 OR 함수로 한차례 합성된다. ST 신호의 에지가 너무 앞선 경우, NAND 게이트는 플립/플롭(U7a)에 대한 협소한 리셋 펄스를 발생시킨다. ST 신호의 에지가 너무 늦는 경우, OR 게이트는 플립/플롭(U7a)에 대한 세트 펄스를 발생한다. 따라서, 이 제1 단은 SD 및 ST 신호에 대한 타이밍 비교기로서 동작한다. 플립/플롭(U7a)의 Q 출력은 버퍼(U8a)를 통해 저항(R4)과 커패시터(C5)로 형성된 저역 통과 필터로 전송되어 제어 전압(VC)을 발생한다. SD 신호가 하이 상태인 동안, 플립/플롭(U7a)의 Q 출력은 이 시간 동안 플립/플롭(U7a)이 제2 루프에 대한 정보를 운송하므로 시간 다중화된 타이밍 비교기가 되는 3상 소자(U8a)의 출력을 디스에이블시킴으로써 저항(R4)으로부터 단절된다. 원샷(U9a)은 전압 VC에 의해 제어된 반전 Q 출력으로부터 대략 0.5 2 μsec 의 범위의 출력펄스 폭을 갖는다. 고전압은 단펄스를 야기하며 저전압은 장펄스를 발생한다. 이 단은 전압 제어된 시간 지연부로 이용된다. 라인 중심 신호(LC)와 시작 온/오프 신호(SO/F)는 NAND 게이트(U5c)에 입력된다. 상기 원샷은 SD 신호의 하강에지 전에 NAND 게이트(U5c) 출력의 하강 에지에서 대략 3 μsec로 트리거링된다.

시작 온/오프 신호(SO/F)는 주사 방향 신호(SD) 및 라인 중심 신호(LC)에 동기하여 비디오 회로에 의해 발생된 보조 신호이다. 시작 온/오프 신호(SO/F)의 주기능은 폭이 제어된 출력 펄스를 발생하기 위해서 원샷(U9a, U9b)을 교번적으로 트리거링하는 것이다. 이것은 시작 온/오프 신호(SO/F) 또는 S/DLY 신호를 라인 중심 신호(LC)와 합성하는 2가지 실시로 달성된다. 트리거링 에지는 시작 온/오프 신호(SO/F) 또는 S/DLY 신호의 반전된 상승 에지이다. 시작 온/오프 신호(SO/F)의 다른 기능은 전력 트랜지스터(Q1, Q2)를 교대로 스위치 온하기 위해 플립/플롭(U10a, U10b)을 교번적으로 리셋하는 것이다. 시작 온/오프 신호(SO/F)의 하강 에지는 이러한 용도로 사용된다. 교번 동작은 시작 온/오프 신호(SO/F)와 주사 방향 신호(SD)를 합성함으로써 달성된다. 전원 트랜지스터의 스위칭 온 타이밍은 스위칭 온이 트레이스 전반부 동안에만 발생하면 되므로 중요하지 않다.

플립/플롭(U9a)으로부터의 폭 제어 펄스가 종료되는 시점에서 플립/플롭(U10a)이 트리거링되어 Drv1 출력을 고레벨로 설정한다. 이로써 트랜지스터(Q1: 제9도 참조)가 턴오프되어 전압 신호(V1)가 저레벨에서 고레벨로 스위칭된다. 주로 스위치 트랜지스터의 저장 시간에 의해 야기된 Drv1 과 V1 신호의 저레벨에서 고레벨로의 전이중에 발생되는 정의되지 않은 지연 시간(대략 1.5 μsec)이 존재한다. 이 지연 시간은 온도와 요크 전류 진폭으로 변화되지만 스위칭 시간 제어 장치(30)에 의해 완전히 보상된다. SD 신호의 상승 에지의 대략 1 μsec 후에, 트랜지스터(Q1)는 OR 게이트(U4c)에 의해 제공된 SO/F 신호와 SD 신호의 합성으로 플립/플롭(U10a)을 리세팅함으로써 턴온된다. 역다이오드(D1)가 트레이스의 전반부 동안 요크 전류를 전도하므로 턴온 타이밍은 중요하지 않다.

제11도에서, 제로 교차 시간 제어 장치(32)는 스위칭 시간 제어 장치(30)의 최초 부분, 즉 타이밍 비교기 및 저역 통과 필터와 동일한 회로이다. 상기 제로 교차 시간 제어 장치는 상술한 바와 같이 LIN 신호를 통해 음저항($-R_H$)의 값을 변화 시킴으로써 라인 중심 신호(LC)의 하강 예지에 제로 교차 신호(ZX)의 상승 에지를 로크한다. 요크 전류의 대칭성으로 인해 한 주사 방향에 대해서만 요크 전류의 제로 교차 순간을 제어하는 것으로 충분하다. 제로 교차 검출기(34)와 음저항(18)의 직렬 접속 순서는 반대로 될 수도 있다.

제12도는 제2 실시예의 3각 라인 편향 시스템(20')의 일부분에 대한 블록도이다. 상세히 설명되거나 예시되지 않는 시스템 부분은 제1 실시예에 따른다. 제2 실시예에서, 디지탈 비디오 프로세서(22')는 동일한 주사 방향 신호(SD), 동일한 라인 중심 신호(LC) 및 시작 지연 신호(S/DLY)를 스위칭 시간 제어 장치(28')에 공급한다. 스위칭 장치(36')는 스위칭 시간 제어 장치(28')에 의해 발생된 하나의 구동 신호로 제어된 단일 스위치(S3)를 구비한다. 대칭 구형파 선호(V1)는 제1 실시예에서와 같이 S자 성형 커패시터(C_S)를 통해 수평 요크(12)에 접속된다. 요크 전류는 음저항(18)을 통해 흐르며, 제1 실시예에서와 같이 3각 형상을 갖는다.

제13도는 제12도의 블록도에 대한 세부 구성을 도시한다. 제2 실시예는 2가지 측면이 다르다. 첫째로, 제1 실시예 경우의 두 신호(Drv1, Drv2) 대신에 하나의 구동 신호가 발생된다. 둘째로 2개의 변압기(T2) 대신에 하나의 변압기(T3)를 통해 트랜지스터(Q1, Q2)가 구동된다. 원샷(U9a, U9b)은 제10도에서와 동일한 각각의 입력 신호(VC, V'C)를 수신한다. 그러나, 상기 원샷의 출력은 반전 Q전력단 대진 비판전 Q 출력단에서 얻어진다.

플립/플롬(U10a, U10b)은 상이하게 사용된다. 플립/플롭(U10a)은 D 입력단의 입력으로서 반전된 SD 신호를 수신하고 클릭 입력단의 입력으로서 제8h도에 도시된. 바와 같은 S/DLY 신호를 수신한다. 반전 Q 출력단은 플립/플롭(U10b)의 D 입력단에 접속된다. 원샷(U9a, U9b)의 Q 출력은 NOR 게이트(U5c)에 입력된다. NOR 게이트(U5c)에 입력된다. NOR 게이트(U5c)의 출력은 인버터(U6c)에 입력된다. 인버터(U6c)의 출력은 플립/플롬(U10h)의 클럭 입력단에 입력된다. 플립/플롭(U10b)의 Q 출력은 단일 구동 신호이다.

제1 실시예에서와 같이, 구형파 신호(V1)의 2개의 예지의 제어는 동일하므로 한 에지의 제어에 대해서만 상세히 설명한다. 원샷(U9a)은 주사 방향 신호(SD)의 하강 에지의 대략 10 μsec 전에 라인 중심 신호(LC)와 S/DLY 신호를 수신하는 NAND 게이트(제10도의 U5c 를 참조)의 하강 에지에 의해 트리거링된다. 펄스 폭 출력은 VC를 증가시키며(또한, 반대의 경우도 가능) 전압 제어 시간 지연을 제공한다. 원샷(U9a)의 출력은 OR 게이트(U5c)와 인버터(U6c)를 통해 플립/플롭(U10b)의 출력(단일 구동 신호)을 고레벨로 설정한다. 이로써 트랜지스터(Q1)가 턴오프되며 구형파 전압(V1)이 저레벨에서 고레벨로 전이된다. 이 실시예에서, 트랜지스터(Q1, Q2)에 대한 공급 전압은 제1 실시예에서보다 2배 이상인 +280 V이다.

S/DLY 신호의 주기능은 제1 실시예의 SO/F 신호와 동일하다. 즉, 원샷(U9a, U9b)을 교대로 트리거링하여 폭 제어 출력 펄스를 발생한다. 이전은 S/DLY 신호와 라인 중심 신호(LC)를 합성함으로써 달성된다. 트리거링 에지는 S/DLY 신호의 반전된 상승 구간이다. SO/F 신호와는 상이한 S/DLY 신호의 다른 기능은 어느 전원 트랜지스터(Q1, Q2)가 스위치 오프되는지를 결정하는 신호(QOFF)를 발생하는 것이다. QOFF 신호는 SD 및 S/DLY 신호와 플립/플롭(U10b)을 사용함으로써 발생된다. QOFF 신호는 플립/플롭(U10b)의 D 입력단에 인가된다. QOFF 신호가 저레벨인 경우, 트랜지스터(Q2)가 오프로 스위칭될 것이다. QOFF 신호가 고레벨인 경우, 트랜지스터(Q1)가 오프로 스위칭될 것이다. 2개의 전원 트랜지스터 모두 동일 구동기로 구동되므로 구동 신호는 스위칭 오프 명령만을 포함한다. 전원 트랜지스터의 스위칭 온은 구동단내에서 자동 실행된다.

트랜지스터(Q1)의 저장 시간과 구동 회로는 구동 신호와 구형파 신호(V1)의 저레벨에서 고레벨로의 전이 사이에서 대략 4 μsec 의 정의되지 않은 지연 시간을 초래한다. 지연 시간은 온도와 요크 전류 진폭으로 변화되지만 스위칭 시간 제어 루프에 의해 완전히 보상된다. 구형파 신호(V1)의 레벨 전이 후에 집적 역다이오드가 요크 전류를 즉시 전도하므로 트랜지스터의 턴온 시간은 중요치 않다.

제1 실시예에서와 같이, 구형파 신호(V1)는 S자 성형 커패시터(CS)를 통해 요크(18)에 접속된다. 구형파 신호(V1)는 스위칭 시간 신호(ST)를 발생하는 스위칭 시간 검출기(30)에도 접속된다. 제로 교차 검출기(34)는 제로 교차 신호(ZX) 신호를 발생한다.

(57) 청구의 범위

청구항 1.

입력 및 출력 단자를 갖는 수평 편향 요크(12)를 구비한 양방향 수평 편향 장치에 있어서,

제로 평균값을 가지며 상기 입력 단자에 접속된 대칭 구형파 신호(V1)의 소스(28, 36)와;

상기 출력 단자에 접속되고, 상기 요크에서의 저항 손실을 보상하는 음저항값을 가지며, 상기 구형파 신호에 응답하여 상기 요크에서 발생된 요크 전류(I_{LH})가 대칭 3각 파형이 되도록 하는 음저항($-R_H$)을 구비하는 것을 특징으로 하는 양방향 수평 편향 장치.

청구항 2.

제1항에 있어서,

상기 구형파 신호(V1)는 S자 성형 커패시터(C_S)를 통해 상기 입력 단자에 접속되는 것을 특징으로 하는 양방향 수평 편향 장치.

청구항 3.

제1항에 있어서,

상기 요크 전류(I_{LH})용의 제로값 교차 제어 루프(22, 32, 34)를 추가로 구비하며, 상기 요크 전류의 연속 제로값 교차를 보장하도록 조정되는 상기 음저항값($-_H$)은 연속 수평 주사선의 각각의 중심에 시간적으로 일치하는 것을 특징으로 하는 양방향 수평 편향 장치.

청구항 4.

제3항에 있어서,

상기 제로값 교차 제어 루프는 상기 연속 수평 주사선의 각각의 상기 중심 및 상기 요크 전류(I_{LH})의 각각의 연속 제로값 교차(ZX)에 시간적으로 일치하는 이진 제어 신호(LC)의 레벨 전이를 동상으로 정렬하는 위상 검출기(32)를 구비하는 것을 특징으로 하는 양방향 수평 편향 장치.

청구항 5.

제1항에 있어서,

상기 구형파 신호(V1)에 대한 스위칭 시간 제어 루프(22, 28, 30, 36)를 추가로 구비하며, 상기 구형파 신호의 연속 레벨 전이를 보장하도록 조정되는 상기 구형파의 소스(28, 36)는 주사 방향의 연속적인 변경에 시간적으로 일치하는 것을 특징으로 하는 양방향 수평 편향 장치.

청구항 6.

제5항에 있어서,

상기 주사 방향의 연속적인 변경을 나타내는 신호(SD)는 50%의 충격 사이클을 갖는 것을 특징으로 하는 양방향 수평 편향 장치.

청구항 7.

제5항에 있어서,

상기 스위칭 시간 제어 루프는 상기 구형파 신호(V1)의 상기 레벨 전이(ST)가 이진 제어 신호(SD)의 레벨 전이 전에 발생하는지 아니면 후에 발생하는지의 여부를 판정하는 이진 신호 에지 검출기(28)를 구비하며, 상기 이진 제어 신호의 레벨 전이는 주사 방향의 연속적인 변경에 시간적으로 일치되는 것을 특징으로 하는 양방향 수평 편향 장치.

청구항 8.

제7항에 있어서,

상기 이진 제어 신호(SD)는 50%의 충격 사이클을 갖는 것을 특징으로 하는 양방향 수평 편향 장치.

청구항 9.

입력 단자 및 출력 단자를 갖는 수평 편향 요크(12)를 구비한 양방향 수평 편향 장치에 있어서,

상기 입력 단자에 용량성으로 접속된 대칭 구형파 신호(V1)의 조정 가능한 소스(28, 36)와;

상기 출력 단자에 접속되고, 상기 요크내에서의 저항 손실을 보상하는 조정 가능한 음저항값을 가지며, 상기 구형파 신호에 응답하여 상기 요크에서 발생된 요크 전류(I_{LH})가 대칭 3각 파형이 되도록 하는 음저항($-R_H$)과;

상기 요크 전류의 연속 제로값 교차를 보장하도록 조정되는 상기 음저항값이 연속 수평 주사선의 각각의 중심에 시간적으로 일치되도록 하는 상기 3각 요크 전류용의 제로값 교차 제어 루프(22, 32, 34)와;

상기 구형파 신호의 연속 레벨 전이를 보장하도록 조정되는 상기 구형파의 소스가 주사 방향의 각각의 변경에 시간적으로 일치되도록 하는 상기 구형파 신호(V1)용의 스위칭 시간 제어 루프(22, 28, 30, 36)를 구비하는 것을 특징으로 하는 양방향 수평 편향 장치.

청구항 10.

제9항에 있어서,

상기 구형파 신호(V1)는 S자 성형 커패시턴스(C_S)를 통해 상기 입력 단자에 접속되는 것을 특징으로 하는 양방향 수평 편향 장치.

청구항 11.

제9항에 있어서,

상기 주사 방향의 연속적인 변경을 나타내는 신호(SD)는 50%의 충격 사이클을 갖는 것을 특징으로 하는 양방향 수평 편향 장치.

청구항 12.

비디오 디스플레이(26)와;

비디오 데이타의 연속 라인을 저장하고, 상기 비디오 데이타 라인중의 제1 세트의 교번 라인이 순방향 순서로 독출되고 상기 비디오 데이타 라인중의 제2 세트의 잔여 교번 라인이 역순으로 독출되는 메모리 블록을 포함하는 비디오 프로세서(22)와;

입력 단자 및 출력 단자를 갖는 수평 편향 요크(12)를 구비하는 비디오 디스플레이 장치에 있어서,

상기 입력 단자에 접속되며 제로 평균값을 갖는 대칭 구형파 신호(V1)의 소 스(28, 36)와;

상기 출력 단자에 접속되고, 상기 요크에서의 저항 손실을 보상하는 음저항값을 가지며, 상기 구형파 신호에 응답하여 상기 요크에서 발생된 요크 전류(I_{LH})가 대칭 3각 파형이 되도록 하는 음저항($-R_H$)을 구비하는 것을 특징으로 하는 비디오 디스플레이 장치.

청구항 13.

제12항에 있어서,

상기 3각 요크 전류(I_{LH})용의 제로값 교차 제어 루프(22, 32, 34)를 추가로 구비하며, 상기 요크 전류의 연속 제로값 교차를 보장하도록 조정되는 상기 음저항값은 연속 수평 주사선의 각각의 중심에 시간적으로 일치되는 것을 특징으로 하는 비디오 디스플레이 장치.

청구항 14.

제12항에 있어서,

상기 구형파 신호(V1)용의 스위칭 시간 제어 루프(22, 28, 30, 36)를 추가로 구비하며, 상기 구형파 신호의 연속 레벨 전이를 보장하도록 조정되는 상기 구형파의 소스는 주사 방향의 각각의 변경에 시간적으로 일치되는 것을 특징으로 하는 비디오 디스플레이 장치.

청구항 15.

제12항에 있어서,

상기 구형파 신호를 상기 입력 단자에 접속하는 S자 성형 커패시터(C_S)와;

상기 요크 전류(I_{LH})의 연속 제로값 교차를 보장하도록 조정되는 상기 음저항값이 연속 수평 주사선의 각각의 중심에 시간적으로 일치되도록 하는 상기 3각 요크 전류용의 제로값 교차 제어 루프(22, 32, 34)와;

상기 구형파 신호의 연속 레벨 전이를 보장하도록 조정되는 상기 구형파(V1)의 소스가 주사 방향의 각각의 변경에 시간적으로 일치되는도록 하는 상기 구형파 신호용의 스위칭 시간 제어 루프(22, 28, 36, 30)를 추가로 구비하는 것을 특징으로 하는 비디오 디스플레이 장치.

청구항 16.

제12항에 있어서,

상기 비디오 프로세서(22)는 각각의 연속 비디오 라인의 절반이 상기 메모리 블록중의 한 블록에서 독출되는 때를 식별하는 레벨 전이를 갖는 제1 제어 신호(LC)를 발생하고, 상기 메모리 블록중의 한 블록에서 각각의 비디오 라인을 독출하기 전에 주사 방향의 각각의 변경을 식별하는 레벨 전이를 갖는 제2 제어 신호(SD)를 발생하는 것을 특징으로 하는 비디오 디스플레이 장치.

청구항 17.

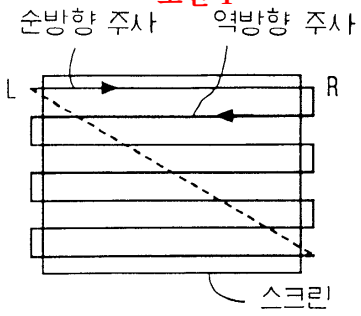
제16항에 있어서,

상기 제로값 교차 제어 루프(22, 32, 34)는 상기 요크 전류(I_{LH})의 각각의 상기 연속 제로값 교차(ZX)와 상기 제1 제어 신호(LC)의 상기 레벨 전이를 동상으로 정렬하는 위상 검출기(32)를 구비하고,

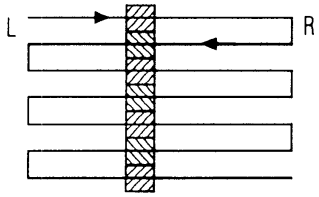
상기 스위칭 시간 제어 루프(22, 28, 36, 30)는 상기 구형파 신호(V1)의 상기 레벨 전이(ST)가 상기 제2 제어 신호(SD)의 레벨 전이의 전에 발생하는지 아니면 후에 발생하는지의 여부를 판정하는 이진 신호 에지 검출기(28)를 포함하는 것을 특징으로 하는 비디오 디스플레이 장치.

도면

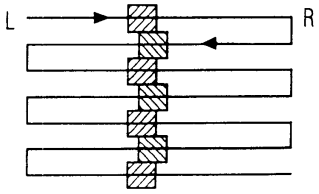
도면 1



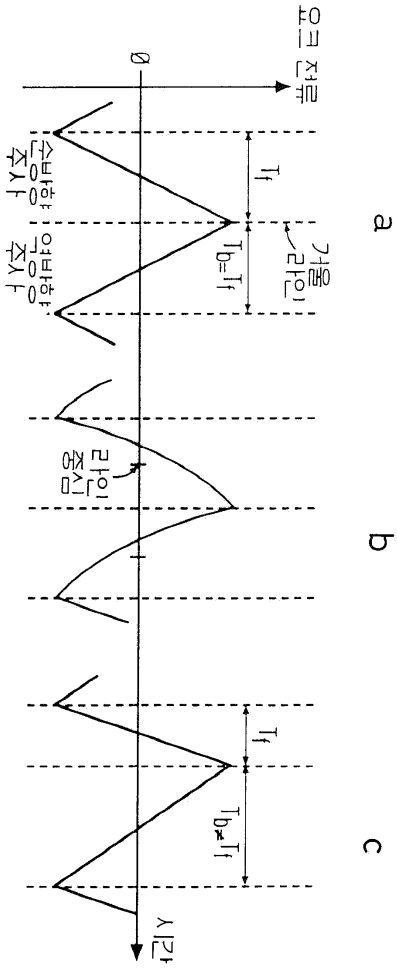
도면 2a



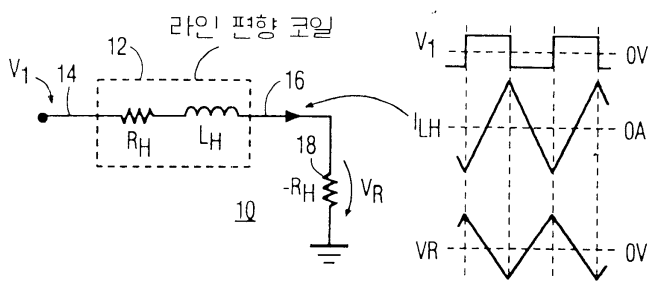
도면 2b



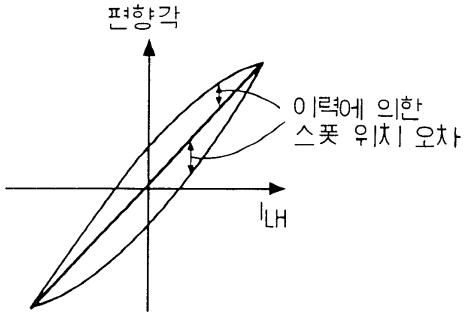
도면 3



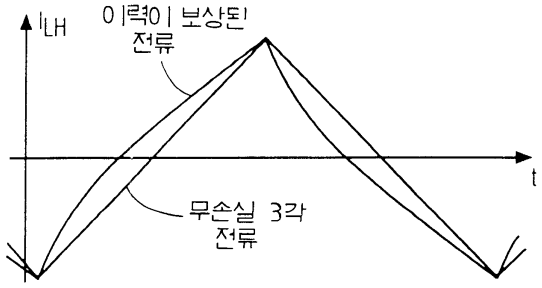
도면 4



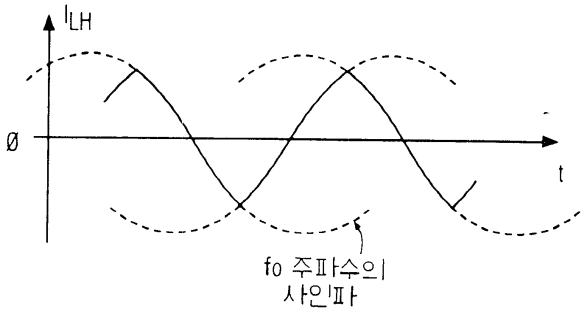
도면 5a



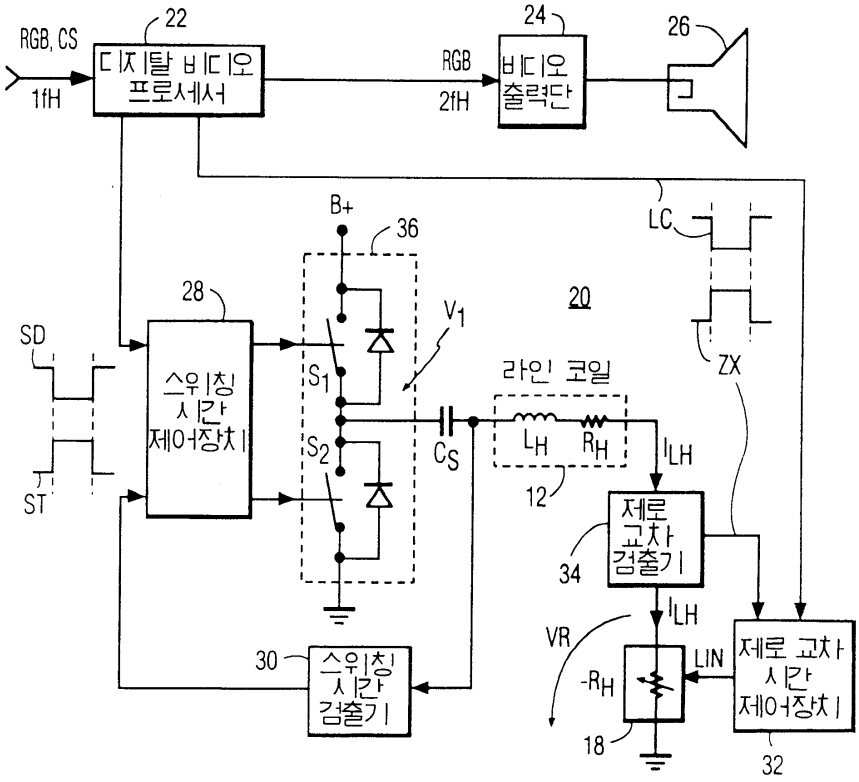
도면 5b



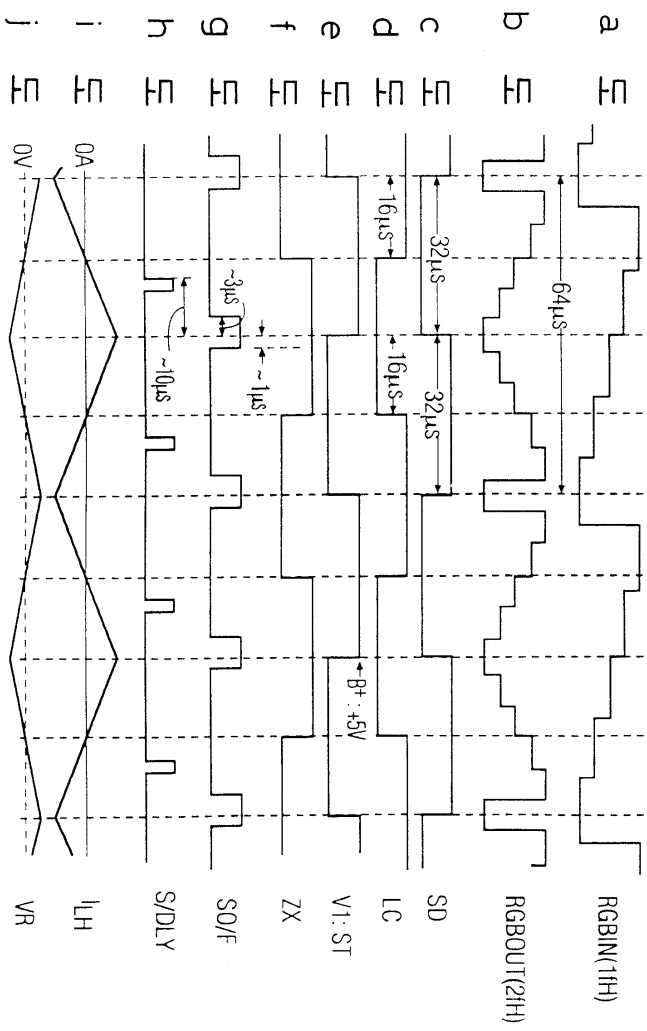
도면 6



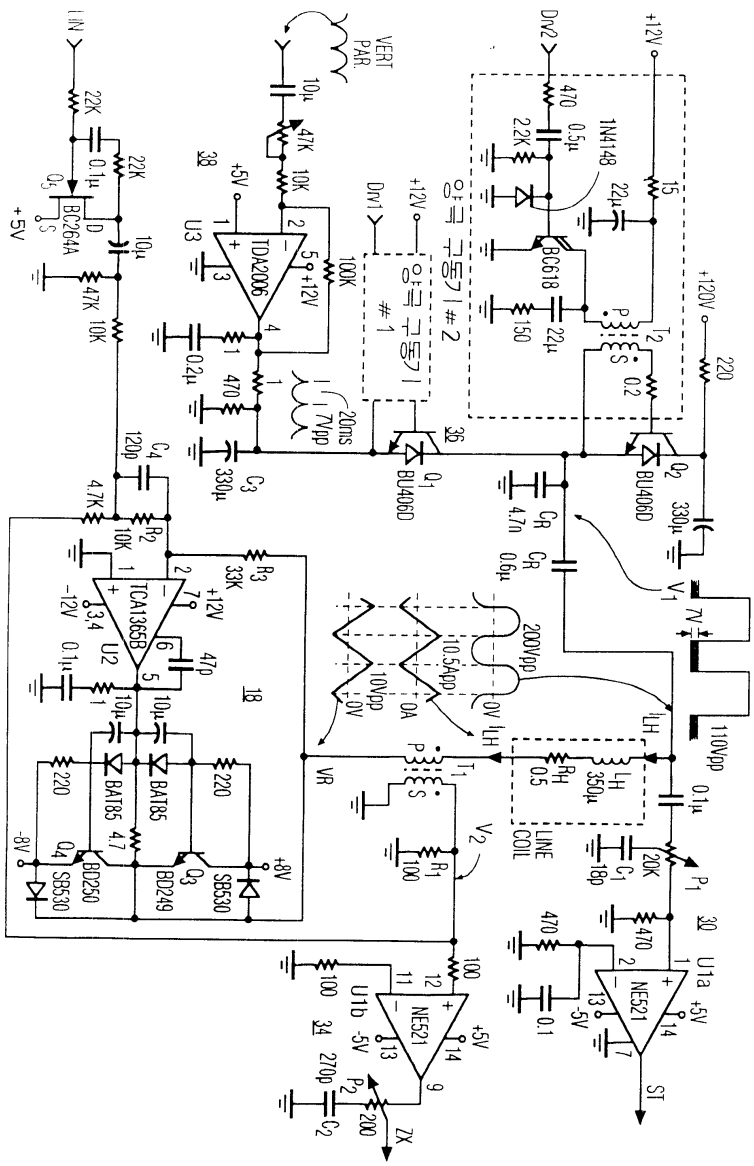
도면 7


RGB, CS
1fH
22
디지털 비디오 프로세서
RGB
2fH
24
비디오 출력단
26
B+
36
LC
28
SD
스위칭 시간 제어장치
S1
S2
V1
20
라인 코일
LH
RH
CS
ILH
ZX
ST
12
제로 교차 검출기
34
ILH
VR
-RH
LIN
제로 교차 시간 제어장치
30
스위칭 시간 검출기
18
32

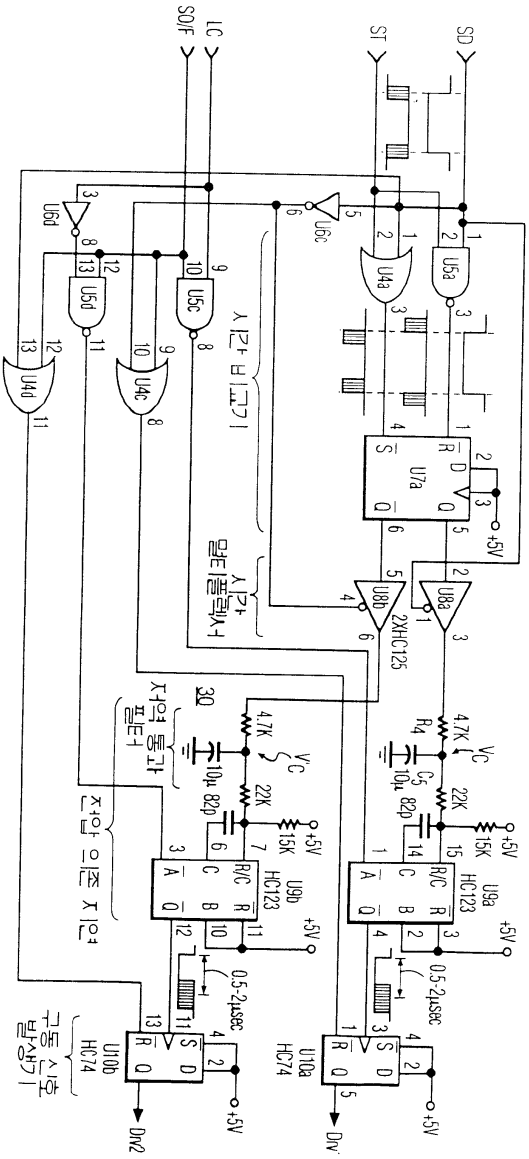
도면 8


a
b
c
d
e
f
g
h
i
j
RGBIN(1fH)
RGBOUT(2fH)
SD
LC
V1: ST
ZX
SO/F
S/DLY
I_{LH}
VR
64μs
32μs
16μs
32μs
16μs
B+: +5V
~3μs
~1μs
~10μs
0A
0V

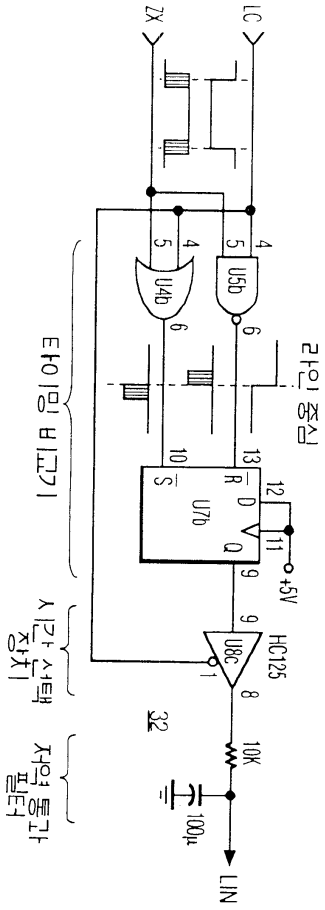
도면 9


VERT PAR.
TDA2006
TCA1365B
BC264A
BU406D
BC618
1N4148
BAT85
BD250
BD249
SB530
NE521
LINE COIL
+12V
+120V
110Vpp
200Vpp
10.5App
10Vpp
20ms
7Vpp
+5V
-5V
+8V
-8V
-12V
ST
ZX
VR

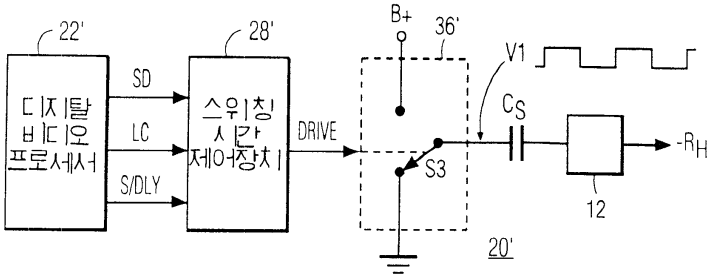
도면 10


SD
ST
LC
SO/F
U5a
U4a
U6c
U6d
U5d
U5c
U4d
U4c
U7a
U8a
U8b
2XHC125
U9a
HC123
U9b
HC123
U10a
HC74
U10b
HC74
Drv
Drv2
+5V
0.5-2μsec
22K
15K
82p
10μ
4.7K
R4
C5
VC
3Q

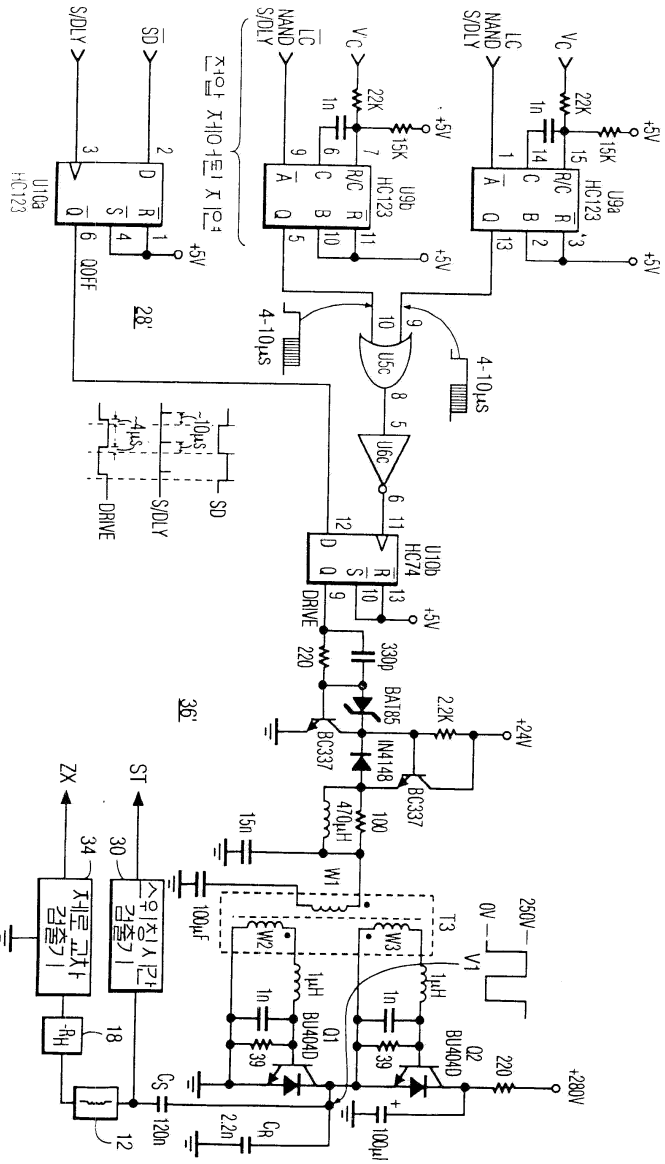
도면 11


ZX
LC
U4b
U5b
U7b
U8C
HC125
+5V
32
10K
100μ
LIN
타이밍 비교기
라인 중심
시간 상태 장치
자유 통과 필터

도면 12


22'
28'
디지털 비디오 프로세서
SD
LC
S/DLY
스위칭 시간 제어장치
DRIVE
B+
36'
V1
CS
S3
-RH
12
20'

도면 13



U10a
HC123
U9b
HC123
U9a
HC123
U5c
U6c
U10b
HC74
BAT85
BC337
IN4148
BC337
T3
W1
W2
W3
Q1
BU404D
Q2
BU404D
V1
250V
0V
+280V
+24V
+5V
4-10μs
DRIVE
S/DLY
SD
QOFF
ST
ZX
28'
36'