

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H04Q 1/20

(11) 공개번호 특2002 - 0004549
(43) 공개일자 2002년01월16일

(21) 출원번호 10 - 2000 - 0038563
(22) 출원일자 2000년07월06일

(71) 출원인 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416
(72) 발명자 최영
경기도성남시분당구정자동88느티마을305동1404호
(74) 대리인 이견주

심사청구 : 있음

(54) 유닛 이중화 보드의 절체회로

요약

본 발명은 유닛 이중화 기능을 갖는 통신시스템에 관한 것으로, 특히 Annex A를 절체 기준으로 하는 Working/Protection 모드의 운용 및 절체시 하드웨어적 동작과 소프트웨어적 동작을 동시에 수용하는 운용체계를 갖는 유닛 이중화 보드의 절체회로에 관한 것이다. 이를 해결하기 위하여 본 발명은 구동 및 보호 보드로 운용하는 유닛 이중화 보드의 절체회로에 있어서, 상기 유닛 이중화 보드 각각이; 중앙처리장치 보드의 소프트웨어 명령에 의해 보드의 활성화/비활성 상태를 결정하며, 최초 하드웨어 운용시 리셋상태를 유지하는 소프트웨어 블록과, 자기 보드에서 받은 시스템 클럭을 사용하여 상대 보드에서 오는 클럭을 감시하여 클럭이 활성화되는 시점을 결정하는 하드웨어 블록과, 하드웨어 운용시 상대 보드 및 자기 보드의 상태를 반영하여 하드웨어적으로 보드의 구동/보호 상태를 판단하는 하드웨어보드 상태 블록을 적어도 구비하며; 최초 하드웨어 운용시 상기 유닛 이중화 보드 중 하나의 보드를 자동으로 구동모드로 지정하여 하드웨어 절체를 운용함을 특징으로 한다.

대표도
도 2

색인어
이중화 보드, 절체, 운용

명세서

도면의 간단한 설명

도 1은 종래 Working/Protection 보드의 운용 및 절체 구성도

도 2는 본 발명의 실시예에 따른 Annex A를 절체 기준으로 하는 Working/Protection 보드의 절체회로 구성도

도 3은 본 발명의 실시예에 따라 각 보드에서 기준시간에 따른 동작상태를 도시한 도면

도 4는 본 발명의 실시예에 따른 응답신호에 의해 보드 상호간의 상태를 판단하기 위한 블록구성도

도 5는 본 발명의 실시예에 따른 각 보드의 상대 클럭 감시회로의 내부 상세구성도

도 6은 본 발명의 실시예에 따른 상대 클럭 감시회로에 사용되는 시스템클럭과 2분주된 상대 클럭의 타이밍도

도 7은 본 발명의 실시예에 따른 상대 클럭에 따라 보드의 상태를 감시하기위한 판단블록의 회로구현도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유니트 이중화 기능을 갖는 통신시스템에 관한 것으로, 특히 Annex A를 절체 기준으로 하는 구동/보호(Working/Protection) 모드의 운용 및 절체시 하드웨어적 동작과 소프트웨어적 동작을 동시에 수용하는 운용체계를 갖는 유니트 이중화 보드의 절체회로에 관한 것이다.

도 1은 중앙처리장치(CPU: Central Processing Unit)(10)의 명령에 의해 이중화 보드의 구동 보드(Working Board)(20)와 보호 보드(Protection Board)(30)를 설정하는 종래 유니트 이중화 보드를 도시한 것이다. 상기 중앙처리장치(10)의 명령에 의해 구동을 설정할 경우 상기 중앙처리장치(10)에서 보드 실패(Board Fail) 및 탈장 등의 신호를 감지하여 다시 명령을 내려 주어 구동을 설정해야 하므로 클럭(Clock)의 부재구간이 반응 시간만큼 발생하여 시스템의 안정성이 떨어지고 클럭의 부재구간이 지속될 경우 상대 대국장비는 LOF(Loss Of Frame)를 인식하여 절체를 수행하게 되므로 시스템의 안정성이 저하되는 문제가 발생하였다. 이는 대부분의 클럭 감시회로가 멀티바이브레이터 칩(Multivibrator chip)을 사용하게 되는데, 이때 감시에 필요한 RC 시정수 값만큼의 클럭 손실이 수반되기 때문이다.

최초의 운용시 하드웨어(H/W)적인 상호 감시 신호를 배제한 순수 소프트웨어 명령(S/W Command)에 의한 구동보드 설정을 기준으로 하였으나, 만약 중앙처리장치가 없을 경우 하드웨어적인 운용이 불가능하여 하드웨어적인 운용을 추가하게 되었고, 이에 따라 상호 감시에 필요한 탈장신호, 상대 보드의 하드웨어 활성(Active) 상태, Loss 등의 경보신호가 추가되어 운용하게 되었다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 상기의 문제점을 해결하기 위하여 감시신호의 추가 및 하드웨어 운용중 중앙처리장치 보드 삽입시 하드웨어 패스(Path)의 에러 프리(Error Free) 상태 유지, Annex A 절체 기준에 따른 구동 보드의 강제 설정 및 탈장보드의 경보에 의한 절체 기준 등을 추가하여 동작을 안정성 확보를 위한 유니트 이중화 보드의 절체회로를 제공함에 있다.

본 발명의 다른 목적은 보드 탈장시 클럭의 상태를 감시하여 절체로 인한 클럭의 공백상태가 발생하지 않도록 클럭의 감시회로를 추가한 유니트 이중화 보드의 절체회로를 제공함에 있다.

상기 목적을 달성하기 위해 본 발명은 구동 및 보호 보드로 운용하는 유니트 이중화 보드의 절체회로에 있어서, 상기 유니트 이중화 보드 각각이; 중앙처리장치 보드의 소프트웨어 명령에 의해 보드의 활성/비활성 상태를 결정하며, 최초 하드웨어 운용시 리셋상태를 유지하는 소프트웨어 블록과, 자기 보드에서 받은 시스템 클럭을 사용하여 상대 보드에서 오는 클럭을 감시하여 클럭이 활성화되는 시점을 결정하는 하드웨어 블록과, 하드웨어 운용시 상대 보드 및 자기 보드의 상태를 반영하여 하드웨어적으로 보드의 구동/보호 상태를 판단하는 하드웨어보드 상태블록을 적어도 구비하며; 최초 하드웨어 운용시 상기 유니트 이중화 보드 중 하나의 보드를 자동으로 구동모드로 지정하여 하드웨어 절체를 운용함을 특징으로 한다.

발명의 구성 및 작용

이하 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명한다. 우선 각 도면의 구성 요소들에 참조부호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 하기의 설명에서 구체적인 처리흐름과 같은 많은 특정 상세들은 본 발명의 보다 전반적인 이해를 제공하기 위해 나타나 있다. 이들 특정 상세들 없이 본 발명이 실시될 수 있다는 것은 이 기술분야에서 통상의 지식을 가진 자에게는 자명할 것이다. 그리고 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 공지 기능 및 구성에 대한 상세한 설명은 생략한다.

도 2는 본 발명의 실시예에 따른 Annex A를 절체 기준으로 하는 구동/보호(Working/Protection) 보드의 절체회로 구성도로서,

이중화 보드인 A 보드(200)와 B 보드(300) 각각은 내부에 소프트웨어 블록(210 또는 310)과 하드웨어 블록(220 또는 320) 하드웨어 보드 상태 블록(230 또는 330)을 구비하며, 상기 A, B 각 보드의 하드웨어 블록은 상대 클럭 감시 회로(221 또는 321)를 내부에 구비한다.

상기 소프트웨어 블록(210 또는 310)은 중앙처리장치 보드(100)의 소프트웨어 명령에 의해 보드의 활성/비활성(Act/Deact) 상태를 결정한다.

상기 상대 클럭 감시회로(221 또는 321)는 자기 보드에서 받은 시스템 클럭(Sys Clock, 도 6 참조)을 사용하여 상대편에서 오는 클럭(2분주 클럭, 도 6 참조)을 감시하여 클럭이 활성화되는 시점을 결정하는 블록으로, 활성/비활성시 클럭의 부재구간을 최소화하기 위한 블록이다.

상기 하드웨어 보드 상태 블록(230 또는 330)은 하드웨어 운용시 상대 보드 및 자기 보드의 상태를 반영하여 하드웨어적으로 보드의 구동/보호(Working/Protection) 상태를 판단한다.

상기 중앙처리장치 보드(100)는 각 보드의 하드웨어 보드 상태블록(230 또는 330)으로부터 보고 받은 SF(Signal Fail) 조건, 자기 활성(Act) 신호, 탈장신호, CPU_IN 신호를 통해 보드 상태를 판단하여 각 보드에 소프트웨어 명령을 통해 보드의 활성/비활성 상태를 결정하는 신호를 인가한다.

A, B 두 보드의 하드웨어 보드 상태 블록은 상호간 SF(Signal Fail) 조건, 상대편 활성 신호, 탈장신호, 응답신호를 통해 상대 보드의 상태를 판단한다.

소프트웨어 블록(210 또는 310)은 상기 중앙처리장치 보드(100)가 삽입 혹은 존재하고 각 보드의 삽입상태를 인식하여 초기화 값을 각 보드에 설정하기 이전까지의 운용상태인 최초 하드웨어 운용시 리셋(Reset)된 상태를 유지한다. 즉, 초기는 하드웨어 모드로 동작한다.

하드웨어 운용시 동일한 보드를 A/B 슬롯(Slot) 구분 없이 실장하여도 동일한 동작의 효과를 요구하므로 각 보드는 스스로 자신의 슬릿(Slit)을 인식하여야 하는데, 이때 응답 신호(REF Signal)를 이용하여 A 슬롯일 경우 "H" (하이), B 슬롯의 경우 "L" (로우)로 인식하도록 약속하면 각 보드는 초기동작시 상기 응답신호의 값에 따라 상응되는 동작을 수행한다.

각 보드는 내부 동작 오실레이터(OSC)에 따라 일정한 시간을 카운트하여 기준시간을 잡는다. 이를 도 3 및 도 4를 통해 설명한다. 상기 도 3은 본 발명의 실시예에 따라 각 보드에서 기준시간에 따른 동작상태를 도시한 도면이고, 상기 도 4는 응답신호에 의해 보드 상호간의 상태를 판단하기 위한 블록구성도로, 상기 도 3에서와 같이 기준시간은 3개의 영역으로 구분하여 설정하는데, t1 시간 동안은 하드웨어의 리셋에 의해 A, B 보드 모두 Act를 잡지 못한 비활성(Deact) 상태를 나타내고, t2 시간 동안 상기 A 보드(200)는 응답 신호에 의해 강제로 활성화(Act) 상태로 유지되고 상대 B 보드(300)에 자신이 활성화 상태임을 알려준다. 상기 B 보드(300)는 t2 시간동안 강제로 비활성화된 상태를 유지하고 상기 A 보드(200)에 자신이 비활성 상태임을 알려 상기 A 보드(200)가 완전히 활성화 상태가 되도록 한다. t3 시간은 상기 중앙처리장치 보드(100)에 보드의 삽입 혹은 존재함을 알려주는 시기로서 상기 중앙처리장치 보드(100)는 상기 t3 시간 이후에 소프트웨어적 액세스(Access)가 가능하다.

또한, 상대 클럭 감시회로(221 또는 321)는 도 5에 도시된 바와 같이 내부가 구성되는데, 상기 각 보드의 상대 클럭 감시회로(221 또는 321)는 시스템에서 동일한 위상의 시스템 클럭을 수신할 경우 클럭 실패(Fail)이나 보드의 탈장시 상대 보드의 클럭상태를 직접 감시하여 클럭을 바로 활성화시킴으로써 클럭의 부재구간을 최소화할 수 있다. 도 6과 같은 동일 위상의 시스템 클럭을 상기 A, B 보드의 감시블록에서 수신하고 각각을 2분주하여 상대 보드에 감시용으로 제공한다. 상기 2분주된 상대 클럭을 도 7에 도시된 상대 클럭에 따라 보드의 상태를 감시하기 위한 판단블록의 회로구현도의 D-F/F(D-FLIP/FLOP)(701, 703)를 사용하여 자신의 시스템 클럭을 칠 경우 출력이 "0", "1"을 반복하게 된다. 최종 XOR 게이트(705)에 공급되는 두 입력신호는 항상 서로 다른 위상을 한 클럭의 형태를 취하게 되므로 상기 XOR 게이트(705)에 의해 항상 "High" 레벨을 유지하게 된다. 감시하는 클럭이 Fail 되거나 탈장이 되어 상대편 입력 클럭이 "High" 나 "Low"로 될 경우 상기 XOR 게이트(705)의 입력이 동일하게 되어 상기 XOR 게이트(705)의 출력은 "Low", 즉 탈장이나 클럭 Fail 상태를 나타내게 된다.

한편, 본 발명의 상세한 설명에서는 구체적인 실시예를 들어 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구의 범위뿐 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

발명의 효과

상술한 바와 같이 본 발명은 유니트 이중화 보드의 절체회로를 구현함으로써 전원 인가시 응답 신호를 사용하여 A 슬롯을 자동으로 인식 Working을 잡음으로서 Annex A 기준을 만족하여 동작할 수 있는 효과가 있다.

본 발명의 다른 효과는 유니트 이중화 보드의 절체회로를 구현함으로써 소프트웨어가 없어도 하드웨어적으로 패스를 확인할 수 있고 하드웨어적인 절체 운용이 가능한 효과가 있다.

본 발명의 또 다른 효과는 유니트 이중화 보드의 절체회로를 구현함으로써 클럭 Fail 및 탈장을 2클럭 이내에 감지하여 Working/Protection을 결정하므로 절체 이후의 보드 안정성을 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

구동 및 보호 보드로 운용하는 유니트 이중화 보드의 절체회로에 있어서,

상기 유니트 이중화 보드 각각이;

중앙처리장치 보드의 소프트웨어 명령에 의해 보드의 활성/비활성 상태를 결정하며, 최초 하드웨어 운용시 리셋상태를 유지하는 소프트웨어 블록과,

자기 보드에서 받은 시스템 클럭을 사용하여 상대 보드에서 오는 클럭을 감시하여 클럭이 활성화되는 시점을 결정하는 하드웨어 블록과,

하드웨어 운용시 상대 보드 및 자기 보드의 상태를 반영하여 하드웨어적으로 보드의 구동/보호 상태를 판단하는 하드웨어보드 상태블록을 적어도 구비하며;

최초 하드웨어 운용시 상기 유니트 이중화 보드 중 하나의 보드를 자동으로 구동모드로 지정하여 하드웨어 절체를 운용함을 특징으로 하는 유니트 이중화 보드 절체회로.

청구항 2.

제 1항에 있어서,

상기 하드웨어보드 상태블록은 상기 최초 하드웨어 운용시 소정 시간동안 보드 상호간의 응답신호를 이용하여 구동모드로 지정되는 보드는 활성 상태를 유지하여 상대 보드로 자신의 활성 상태를 알리고, 다른 하나의 보드는 비활성 상태를 유지하여 상대 보드로 자신의 비활성 상태를 알려 활성 상태의 보드가 완전히 활성 상태가 되도록 하는 함을 특징으로 하는 유니트 이중화 보드 절체회로.

청구항 3.

제 2항에 있어서,

상기 이중화 보드는 최초 하드웨어 운용에 따라 하나의 보드가 자동으로 구동 보드로 지정되면 상기 중앙처리장치 보드에 보드의 삽입 혹은 존재를 알려 상기 중앙처리장치 보드와 소프트웨어적으로 액세스함을 특징으로 하는 유니트 이중화 보드 절체회로.

청구항 4.

제 3항에 있어서,

상기 각 보드의 하드웨어 블록은 상대 보드의 클럭을 직접 감시하여 탈장이나 클럭 실패를 판단할 수 있는 상대 클럭 감시회로를 구비함을 특징으로 하는 유니트 이중화 보드 절체회로.

청구항 5.

제 4항에 있어서,

상기 각 보드의 상대 클럭 감시회로는;

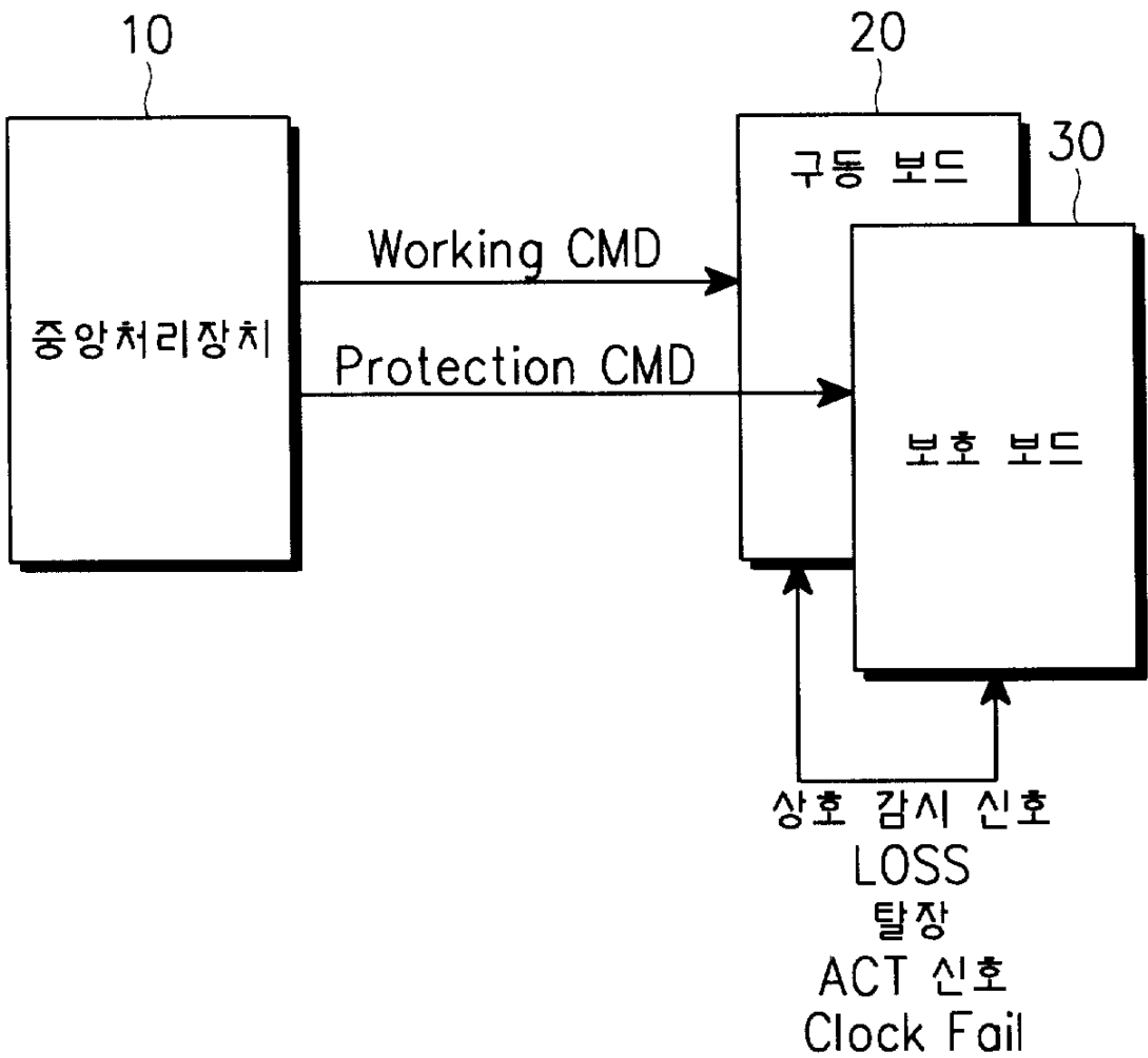
동일 위상의 시스템 클럭을 수신하여 각각을 2분주하여 상대 보드에 감시용으로 제공하는 2분주와,

보드 자신의 시스템 클럭과 상기 2분주된 상대 클럭을 출력하는 감시블록과,

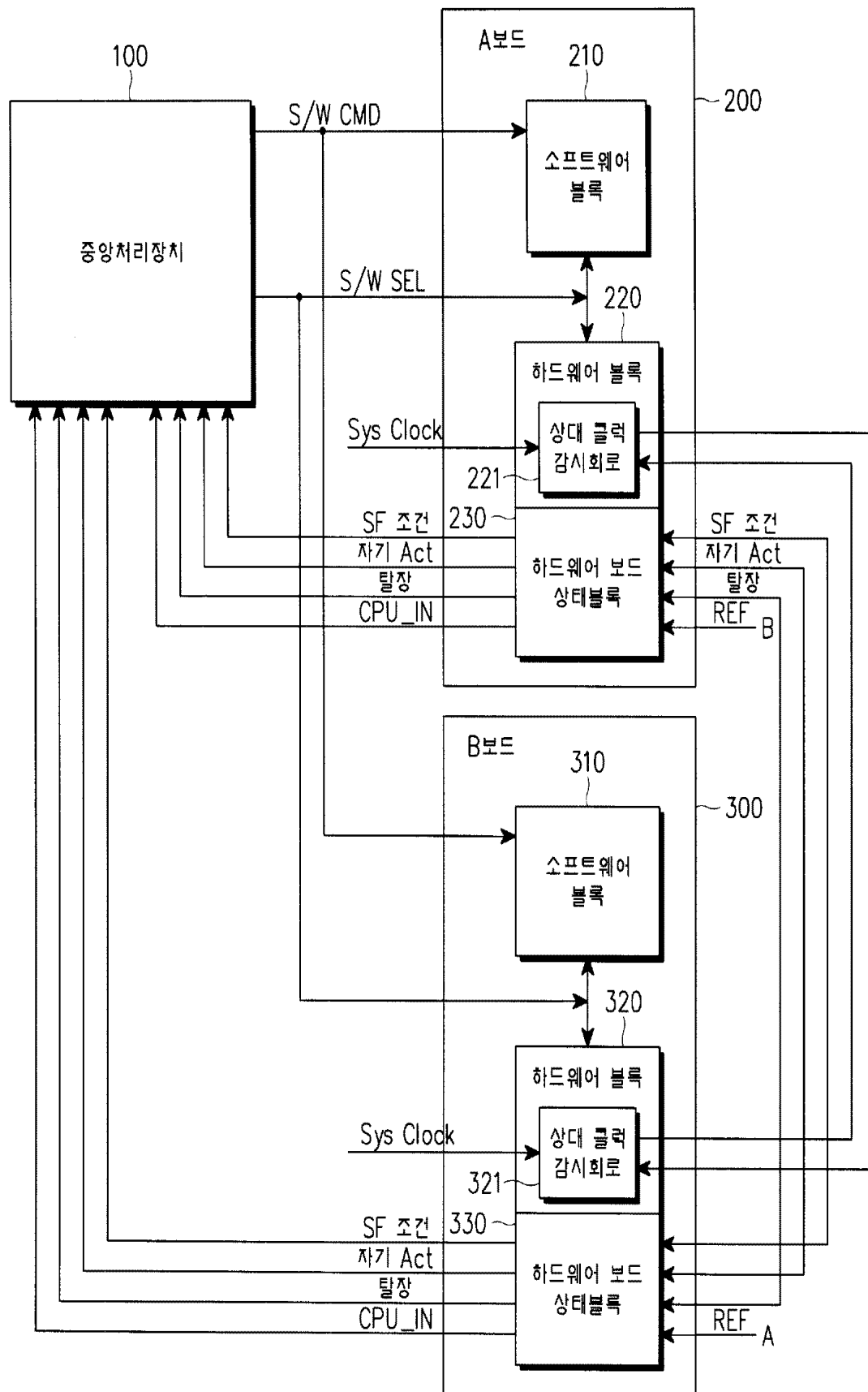
상기 감시블록의 출력 값에 의해 상대 보드의 탈장이나 클럭 실패 상태를 판단하는 판단블록으로 구성됨을 특징으로 하는 유니트 이중화 보드 절체회로.

도면

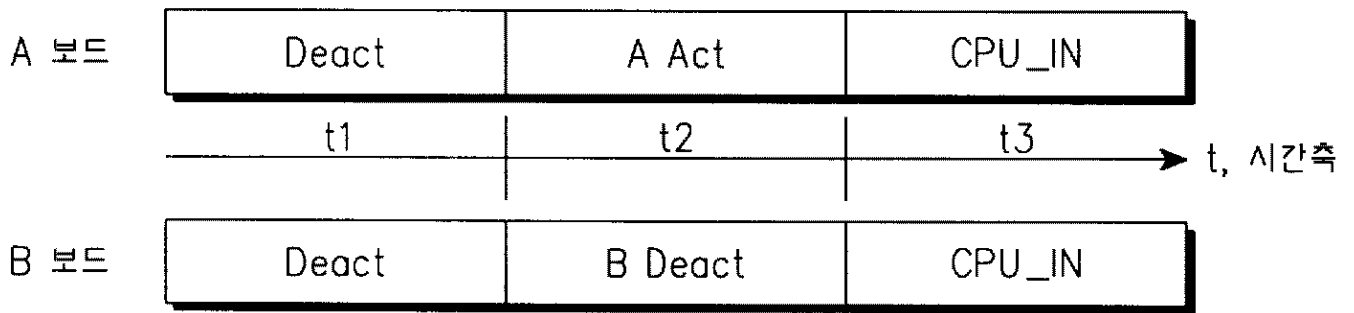
도면 1



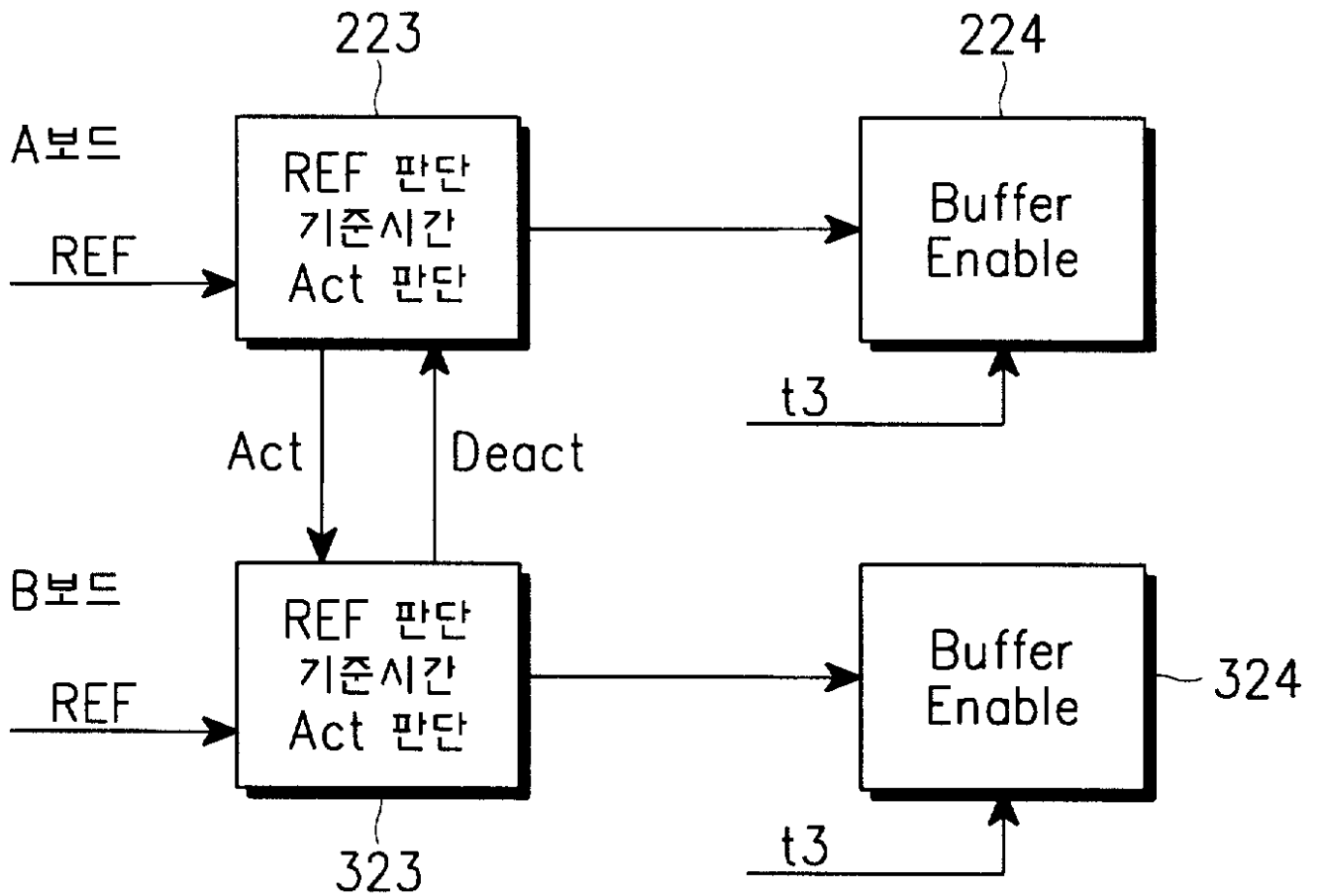
도면 2



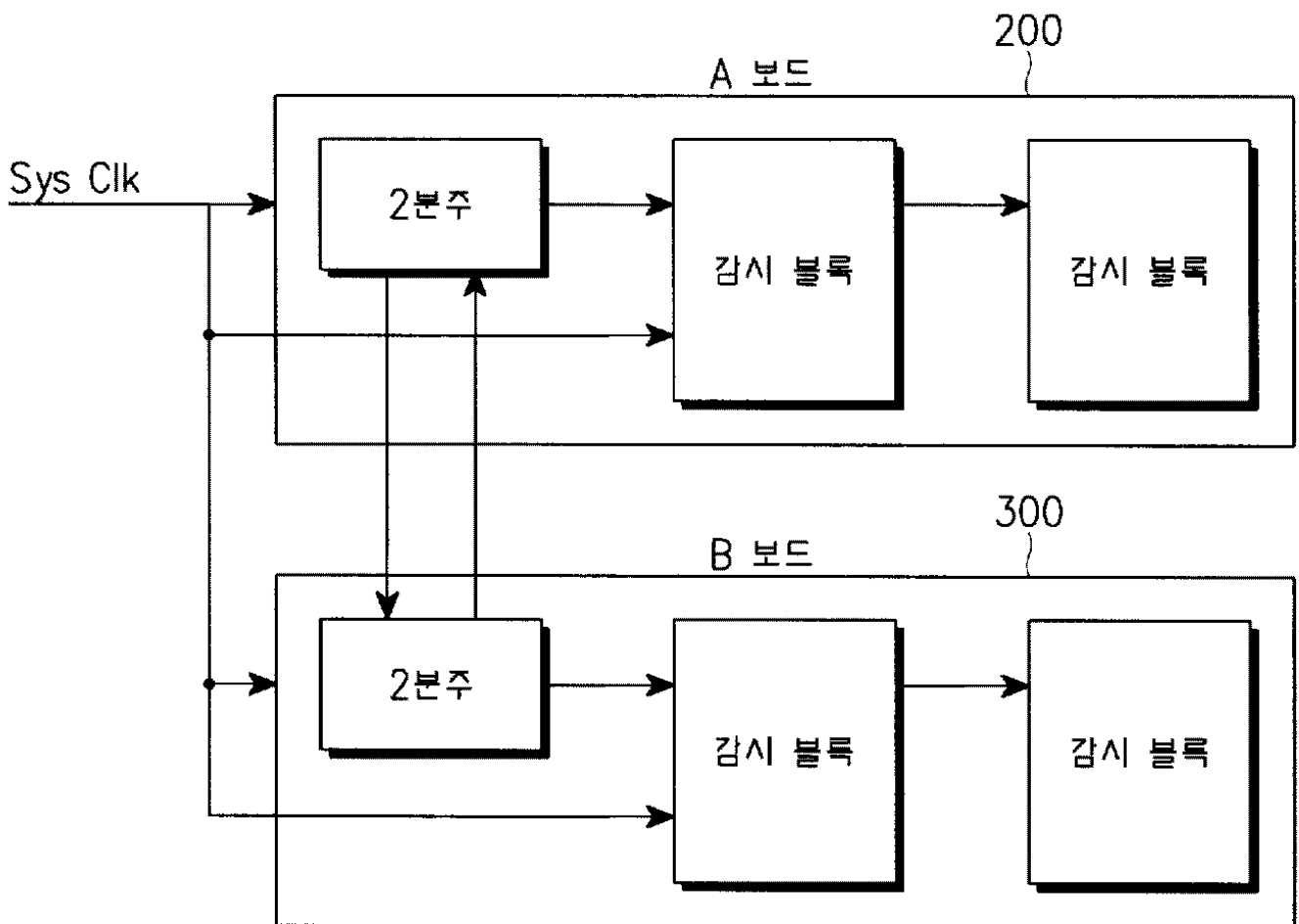
도면 3



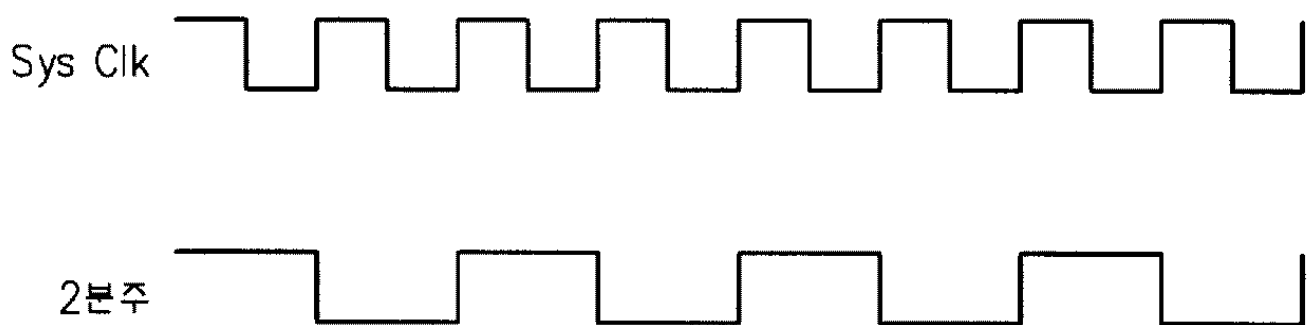
도면 4



도면 5



도면 6



도면 7

