

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月14日(14.03.2024)



(10) 国際公開番号

WO 2024/053215 A1

- (51) 国際特許分類:
H03K 17/16 (2006.01) H03K 19/0175 (2006.01)
- (21) 国際出願番号: PCT/JP2023/023587
- (22) 国際出願日: 2023年6月26日(26.06.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-143089 2022年9月8日(08.09.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 板坂 将希 (ITASAKA Masaki);
〒6158585 京都府京都市右京区西院溝崎

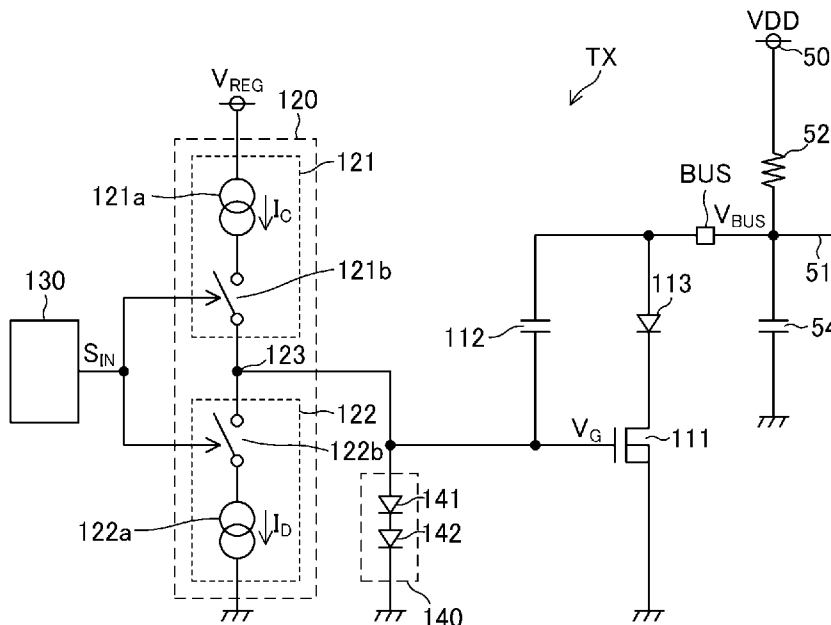
町2-1番地 ローム株式会社内 Kyoto (JP).
増田 信也 (MASUDA Shinya); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪府中央区天満橋京町2-6天満橋八千代ビル別館5F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: SIGNAL TRANSMITTING APPARATUS

(54) 発明の名称: 信号送信装置



(57) Abstract: In the present invention, an output terminal is connected to a power supply voltage application end through a pull-up resistor. An output transistor is provided between the output terminal and ground. A capacitor is connected between the gate of the output transistor and the output terminal. A charge-discharge circuit charges or discharges the gate of the output transistor in accordance with an input signal, turns on or off the output transistor accordingly, to thereby generate an output signal, corresponding to the input signal, at the output terminal. When switching on and off the output transistor, the charge-discharge circuit variably sets the values of charging current and discharging current for the gate

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))
-

of the output transistor.

(57) 要約：出力端子はプルアップ抵抗を介して電源電圧の印加端に接続される。出力トランジスタは出力端子及びグランド間に設けられる。出力トランジスタのゲート及び出力端子間にコンデンサが接続される。充放電回路は入力信号に応じて出力トランジスタのゲートを充電又は放電し、これによって出力トランジスタをオン又はオフすることにより入力信号に応じた出力信号を出力端子に生じさせる。充放電回路は、出力トランジスタをオン及びオフ間で切り替える際、出力トランジスタのゲートに対する充電電流及び放電電流の値を可変設定する。

明 細 書

発明の名称： 信号送信装置

技術分野

[0001] 本開示は、信号送信装置に関する。

背景技術

[0002] 出力端子から出力信号を送信する信号送信装置がある。信号送信装置の一種では、出力信号のスルーレートを制御することで放射ノイズの低減を図る。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-200103号公報

発明の概要

発明が解決しようとする課題

[0004] 但し、放射ノイズの低減に向けた技術には改善の余地がある。

[0005] 本開示は、放射ノイズの低減に寄与する信号送信装置を提供することを目的とする。

課題を解決するための手段

[0006] 本開示に係る信号送信装置は、プルアップ抵抗を介して電源電圧の印加端に接続されるよう構成された出力端子と、前記出力端子とグランドとの間に設けられた出力トランジスタと、前記出力トランジスタのゲート及び前記出力端子間に接続されたコンデンサと、入力信号に応じて前記出力トランジスタのゲートを充電又は放電するよう構成された充放電回路と、を備えて、前記出力トランジスタのゲートの充電又は放電を通じ前記出力トランジスタをオン又はオフすることにより前記入力信号に応じた出力信号を前記出力端子に生じさせ、前記充放電回路は、前記入力信号が第1レベルを有するときに前記出力トランジスタのゲートに充電電流を供給して前記出力トランジスタのゲート電圧を上昇させることにより前記出力トランジスタをオンとし、前

記入力信号が第2レベルを有するとき前記出力トランジスタのゲートから放電電流を引き込んで前記ゲート電圧を低下させることにより前記出力トランジスタをオフとし、前記充放電回路は、前記入力信号のレベルの変化にตอบสนองして前記出力トランジスタをオン及びオフ間で切り替える際、前記充電電流の値又は前記放電電流の値を可変設定する。

発明の効果

[0007] 本開示によれば、放射ノイズの低減に寄与する信号送信装置を提供することが可能となる。

図面の簡単な説明

- [0008] [図1]図1は、本開示の実施形態に係る通信システムの全体構成図である。
- [図2]図2は、本開示の実施形態に係るトランシーバの外観斜視図である。
- [図3]図3は、本開示の実施形態に係り、トランシーバにおける送信回路の構成図である。
- [図4]図4は、参考動作に係るタイミングチャートである。
- [図5]図5は、本開示の実施形態に属する第1実施例に係り、制御入力信号、充電電流及び放電電流の波形図である。
- [図6]図6は、本開示の実施形態に属する第1実施例に係り、送信回路の動作に関わるタイミングチャートである。
- [図7]図7は、本開示の実施形態に属する第1実施例に係り、充放電回路の構成図である。
- [図8]図8は、図7の充放電回路の動作に関わる幾つかの波形を示す図である。
- [図9]図9は、図7の充放電回路の動作説明図である。
- [図10]図10は、図7の充放電回路の動作説明図である。
- [図11]図11は、図7の充放電回路の動作説明図である。
- [図12]図12は、本開示の実施形態に属する第1実施例に係り、充放電回路の変形構成図である。
- [図13]図13は、本開示の実施形態に属する第2実施例に係り、制御入力信

号、充電電流及び放電電流の波形図である。

[図14]図14は、本開示の実施形態に属する第2実施例に係り、充放電回路の構成図である。

[図15]図15は、図14の充放電回路の動作に関わる幾つかの波形を示す図である。

[図16]図16は、本開示の実施形態に属する第3実施例に係り、送信回路の構成図である。

[図17]図17は、本開示の実施形態に属する第3実施例に係り、制御入力信号 S_{IN} との関係においてゲート電圧の波形を示した図である。

[図18]図18は、本開示の実施形態に属する第3実施例に係り、ブースト回路の構成図である。

[図19]図19は、本開示の実施形態に属する第4実施例に係り、充電用回路の構成図である。

[図20]図20は、図19の充電用回路の動作に関わる幾つかの波形を示す図である。

[図21]図21は、本開示の実施形態に属する第5実施例に係り、放電用回路の構成図である。

[図22]図22は、図21の放電用回路の動作に関わる幾つかの波形を示す図である。

発明を実施するための形態

[0009] 以下、本開示の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上、情報、信号、物理量、機能部、回路、素子又は部品等を参照する記号又は符号を記すことによって、該記号又は符号に対応する情報、信号、物理量、機能部、回路、素子又は部品等の名称を省略又は略記することがある。例えば、後述の“BUS”によって参照されるバス接続端子BUSは（図1参照）、バス接続端子BUSと表記されることもあるし、端子BUSと略記され

ることもあり得るが、それらは全て同じものを指す。

[0010] まず、本開示の実施形態の記述にて用いられる幾つかの用語について説明を設ける。ラインとは電気信号が伝播又は印加される配線を指す。グランドとは、基準となる0V（ゼロボルト）の電位を有する基準導電部を指す又は0Vの電位そのものを指す。基準導電部は金属等の導体を用いて形成されて良い。0Vの電位をグランド電位と称することもある。本開示の実施形態において、特に基準を設けずに示される電圧はグランドから見た電位を表す。

[0011] レベルとは電位のレベルを指し、任意の注目した信号又は電圧についてハイレベルはローレベルよりも高い電位を有する。任意の注目した信号又は電圧について、信号又は電圧がハイレベルにあるとは厳密には信号又は電圧のレベルがハイレベルにあることを意味し、信号又は電圧がローレベルにあるとは厳密には信号又は電圧のレベルがローレベルにあることを意味する。信号についてのレベルは信号レベルと表現されることがあり、電圧についてのレベルは電圧レベルと表現されることがある。任意の注目した信号について、当該信号がハイレベルであるとき、当該信号の反転信号はローレベルをとり、当該信号がローレベルであるとき、当該信号の反転信号はハイレベルをとる。

[0012] 任意の注目した信号又は電圧において、ローレベルからハイレベルへの切り替わりをアップエッジと称する。アップエッジが生じるタイミングをアップエッジタイミングと称する。アップエッジをライジングエッジに読み替えて良い。任意の注目した信号又は電圧において、ハイレベルからローレベルへの切り替わりをダウンエッジと称する。ダウンエッジが生じるタイミングをダウンエッジタイミングと称する。ダウンエッジをフォーリングエッジに読み替えて良い。

[0013] MOSFETを含むFET（電界効果トランジスタ）として構成された任意のトランジスタについて、オン状態とは、当該トランジスタのドレイン及びソース間が導通している状態を指し、オフ状態とは、当該トランジスタのドレイン及びソース間が非導通となっている状態（遮断状態）を指す。FE

Tに分類されないトランジスタについても同様である。MOSFETは、特に記述無き限り、エンハンスメント型のMOSFETであると解される。MOSFETは“metal-oxide-semiconductor field-effect transistor”の略称である。また、特に記述なき限り、任意のMOSFETにおいて、バックゲートはソースに短絡されていると考える良い。

- [0014] 任意のスイッチを1以上のFET（電界効果トランジスタ）にて構成することができ、或るスイッチがオン状態のときには当該スイッチの両端間が導通する一方で或るスイッチがオフ状態のときには当該スイッチの両端間が非導通となる。以下、任意のトランジスタ又はスイッチについて、オン状態、オフ状態を、単に、オン、オフと表現することもある。
- [0015] ハイレベル又はローレベルの信号レベルをとる任意の信号について、当該信号のレベルがハイレベルとなる期間をハイレベル期間と称し、当該信号のレベルがローレベルとなる期間をローレベル期間と称する。ハイレベル又はローレベルの電圧レベルをとる任意の電圧についても同様である。
- [0016] 任意の回路素子、配線（ライン）、ノードなど、回路を形成する複数の部位間についての接続とは、特に記述なき限り、電気的な接続を指すと解して良い。
- [0017] 図1に本開示の実施形態に係る通信システム1の全体構成図を示す。通信システム1は、トランシーバ10、マイクロコンピュータ20及び相手側装置30を備える。バスライン51、プルアップ抵抗52、逆流防止ダイオード53、コンデンサ54、データライン61、データライン62及びプルアップ抵抗63も、通信システム1の構成要素に含まれる。
- [0018] 図2はトランシーバ10の外観斜視図である。トランシーバ10は、半導体基板上に形成された半導体集積回路を有する半導体チップと、半導体チップを収容する筐体（パッケージ）と、筐体からトランシーバ10の外部に対して露出する複数の外部端子と、を備えた電子部品である。半導体チップを樹脂にて構成された筐体（パッケージ）内に封入することでトランシーバ10が形成される。尚、図2に示されるトランシーバ10の外部端子の数及び

トランシーバ10の筐体の種類は例示に過ぎず、それらを任意に設計可能である。図1には、上記複数の外部端子に含まれる電源端子VIN、バス接続端子BUS、グランド端子GND、受信データ出力端子RXD及び送信データ入力端子TXDが示されている。これら以外の外部端子（スリープ制御入力端子など）もトランシーバ10に設けられ得る。

[0019] 図示されない電圧源から電源端子VINに対して電源電圧VDDが供給される。電源電圧VDDは所定の正の直流電圧値を有する。トランシーバ10は電源電圧VDDに基づいて駆動する。グランド端子GNDはグランドに接続される。バス接続端子BUSはバスライン51の一端に接続され、バスライン51の他端は相手側装置30に接続される。即ちバス接続端子BUSはバスライン51を介して相手側装置30に接続される。尚、相手側装置30も電源電圧VDDを受ける端子とグランドに接続される端子を有し、電源電圧VDDに基づいて駆動する。

[0020] バスライン51はプルアップ抵抗52及び逆流防止ダイオード53を介して電源電圧VDDの印加端50に接続される。印加端50は電源電圧VDDが加わる端子である。逆流防止ダイオード53は、印加端50からバスライン51及びバス接続端子BUSに向かう向きに順方向を有する。逆流防止ダイオード53は、バスライン51から印加端50への電流の流れを阻止する。より具体的には、印加端50に対して逆流防止ダイオード53のアノードが接続され、逆流防止ダイオード53のカソードがプルアップ抵抗52の一端に接続され、プルアップ抵抗52の他端がバスライン51に接続される。

[0021] 但し、プルアップ抵抗52及び逆流防止ダイオード53の配置位置を、図1に示すものから逆にすることも可能である。即ち、印加端50をプルアップ抵抗52を介して逆流防止ダイオード53のアノードに接続し且つ逆流防止ダイオード53のカソードをバスライン51に接続するようにしても良い。また、逆流防止ダイオード53を設けずに、バスライン51をプルアップ抵抗52のみを介して印加端50に接続する変形も可能である。

[0022] コンデンサ54はバスライン51及びグランド間に接続される。即ち、コ

ンデンサ54の一端はバスライン51に接続され、コンデンサ54の他端はグラウンドに接続される。尚、コンデンサ54は互いに分離した複数のコンデンサにて構成されていても良い。コンデンサ54が省略されることがあっても良い。

[0023] 受信データ出力端子RXDはデータライン61の一端に接続され、データライン61の他端はマイクロコンピュータ20に接続される。送信データ入力端子TXDはデータライン62の一端に接続され、データライン62の他端はマイクロコンピュータ20に接続される。即ち、端子RXD及びTXDはデータライン61及び62を介してマイクロコンピュータ20に接続される。データライン61はプルアップ抵抗63を介して電源電圧VCCの印加端に接続される。電源電圧VCCは所定の正の直流電圧値を有する。電源電圧VCC及びVDDの値の一致、不一致は問わない。マイクロコンピュータ20は電源電圧VCCを受ける端子及びグラウンドに接続される端子を有し、電源電圧VCCに基づいて駆動する。

[0024] トランシーバ10は受信回路RXと送信回路TXを備える。受信回路RXは受信データ出力端子RXD及びバス接続端子BUSに接続される。送信回路TXは送信データ入力端子TXD及びバス接続端子BUSに接続される。

[0025] トランシーバ10と相手側装置30とは、バスライン51を介し半二重方式にて双方向通信を行う。本実施形態で想定される双方向通信は、シングルワイヤ方式によるシリアル通信（即ち1本のワイヤであるバスライン51を用いたシリアル通信）である。半二重方式の双方向通信において、トランシーバ10がマスタとして且つ相手側装置30がスレーブとして機能しても良いし、相手側装置30がマスタとして且つトランシーバ10がスレーブとして機能しても良い。トランシーバ10及び相手側装置30間の双方向通信は、例えば、LIN (Local Interconnect Network) 規格又はCXP1 (Clock Extension Peripheral Interface) 規格に準拠する双方向通信であって良い。

[0026] 半二重方式による双方向通信では、トランシーバ10及び相手側装置30

の内、何れか一方が送信側装置として動作し、他方が受信側装置として機能する。

[0027] トランシーバ10が受信側装置として機能するとき、相手側装置30がバスライン51を介して信号（以下、信号 S_R と称する）を送信し、受信回路RXはバス接続端子BUSにて相手側装置30から送信された信号 S_R を受信する。受信回路RXは受信した信号 S_R を端子RXDからデータライン61を介してマイクロコンピュータ20に伝達する。トランシーバ10が受信側装置として機能するとき、バス接続端子BUSは、相手側装置30から送信される信号を受ける入力端子（信号受信端子）として機能する。

[0028] トランシーバ10が送信側装置として機能するとき、マイクロコンピュータ20は、データライン62を介して信号（以下、信号 S_T と称する）をトランシーバ10に送信する。マイクロコンピュータ20からの信号 S_T は端子TXDにて受信される。トランシーバ10が送信側装置として機能するとき、送信回路TXはマイクロコンピュータ20から受信した信号 S_T をバスライン51を介して相手側装置30に送信する。相手側装置30はトランシーバ10及びマイクロコンピュータ20と同等のトランシーバ及びマイクロコンピュータの組にて構成されていて良く、この場合、トランシーバ10から受信された信号 S_T が、相手側装置30におけるトランシーバから相手側装置30におけるマイクロコンピュータに対して伝達される。トランシーバ10が送信側装置として機能するとき、バス接続端子BUSは、トランシーバ10から送信されるべき信号が現れる出力端子（信号送信端子）として機能する。

[0029] バスライン51を介した信号の送信は、バスライン51のレベルをハイレベル又はローレベルに制御することで実現される。バスライン51のレベルとバス接続端子BUSのレベルは同じである。バスライン51のレベルは0V以上且つ電源電圧VDD以下のレベルとなる。バスライン51が電圧($V_{DD} \times k_H$)以上のレベルを有するとき、バスライン51のレベルはハイレベルに該当し、バスライン51が電圧($V_{DD} \times k_L$)以下のレベルを有するとき、バスライン51のレベルはローレベルに該当する。ここで " $1 > k_H > 0$

、 $5 > k_L > 0$ ” が成立し、例えば、 $(k_H, k_L) = (0.7, 0.3)$ である。バスライン 51 及びバス接続端子 BUS における電圧を記号 “ V_{BUS} ” にて表す。

[0030] 以下、特に記述無き限り、トランシーバ 10 が送信側装置として機能するときの動作及び構成を説明する。送信回路 TX にとって電圧 V_{BUS} は出力電圧（送信回路 TX の出力電圧）に相当する。このため、送信回路 TX の構成又は動作に注目するときの電圧 V_{BUS} は、以下、出力電圧と称され得る。出力電圧 V_{BUS} にて示される信号を出力信号と称することができる。トランシーバ 10 における送信回路 TX は、バスライン 51 を介した信号の送信において、バスライン 51 のレベルをハイレベル及びローレベル間で遷移させる際、放射ノイズを低減すべく、出力電圧 V_{BUS} のスルーレートを制御する機能を持つ。

[0031] [送信回路 TX の基本構成]

図 3 に送信回路 TX の基本構成を示す。基本構成に係る送信回路 TX は、出力トランジスタ 111 と、コンデンサ（帰還コンデンサ） 112 と、逆流防止ダイオード 113 と、充放電回路 120 と、制御入力信号供給回路 130 と、ゲート電圧制限回路 140 と、を備える。尚、図 3 の基本構成では逆流防止ダイオード 53（図 1 参照）が設けられていないことが想定されているが、逆流防止ダイオード 53 の設置又は非設置は任意である（後述の任意の実施例についても同様）。以下では、特に記述なき限り、通信システム 1 に設けられ得る逆流防止ダイオード 53 の存在を無視する。

[0032] 出力トランジスタ 111 は N チャネル型の MOSFET である。出力トランジスタ 111 は出力端子として機能するバス接続端子 BUS とグランドとの間に設けられ、送信回路 TX はオープンドレイン構成の出力トランジスタ 111 を用いて信号の送信を行う。但し、グランドから出力トランジスタ 111 及びバス接続端子 BUS を介しバスライン 51 に向かう電流の流れを阻止するための逆流防止ダイオード 113 が、出力トランジスタ 111 及びバス接続端子 BUS 間に設けられる。具体的には、出力トランジスタ 111 のドレインは逆流防止ダイオード 113 のカソードに接続され、逆流防止ダイ

オード113のアノードがバス接続端子BUSに接続される。出力トランジスタ111のソースはグラウンドに接続される。出力トランジスタ111のゲート電圧（即ち出力トランジスタ111にゲートに加わる電圧）を記号“ V_G ”にて表す。出力トランジスタ111のゲート閾電圧を記号“ V_{G_TH} ”にて表す。ゲート閾電圧 V_{G_TH} は出力トランジスタ111の特性に依存した正の電圧値を持つ。出力トランジスタ111のゲート電圧 V_G がゲート閾電圧 V_{G_TH} 未満であるとき、出力トランジスタ111はオフ状態にあり、出力トランジスタ111のゲート電圧 V_G がゲート閾電圧 V_{G_TH} 以上であるとき、出力トランジスタ111はオン状態にある。

- [0033] 尚、送信回路TXにおいて逆流防止ダイオード113を非設置とする変形も可能であり、当該変形の採用時においては出力トランジスタ111のドレインが直接にバス接続端子BUSに接続される（後述の任意の実施例についても同様）。
- [0034] コンデンサ112は出力トランジスタ111のゲート及びバス接続端子BUS間に接続される。即ち、コンデンサ112の一端は出力トランジスタ111のゲートに接続され、コンデンサ112の他端はバス接続端子BUSに接続される。
- [0035] 充放電回路120は、制御入力信号 S_{IN} に応じて出力トランジスタ111のゲートを充電又は放電する。充放電回路120は出力トランジスタ111のゲートの充電により出力トランジスタ111をオン状態に制御でき、出力トランジスタ111のゲートの放電により出力トランジスタ111をオフ状態に制御できる。制御入力信号 S_{IN} はハイレベル又はローレベルの信号レベルを持つ二値信号である。ハイレベルの制御入力信号 S_{IN} は実質的に内部電源電圧 V_{REG} の電位を有し、ローレベルの制御入力信号 S_{IN} は実質的にグラウンド電位を有する。トランシーバ10内のレギュレータ（不図示）により電源電圧VDから正の直流電圧である内部電源電圧 V_{REG} が生成される。充放電回路120は充電用回路121と放電用回路122を備える。
- [0036] 充電用回路121は、制御入力信号 S_{IN} のハイレベル期間において、出力ト

ランジスタ 111 のゲートに対して充電電流を供給することにより出力トランジスタ 111 のゲート電圧 V_G を上昇させる。但し、ゲート電圧 V_G には上限があり、ゲート電圧 V_G が上限電圧を超えて上昇することは無い。ゲート電圧 V_G の上限電圧は内部電源電圧 V_{REG} である又は内部電源電圧 V_{REG} より低い所定電圧である。ゲート電圧 V_G の上限電圧は出力トランジスタ 111 のゲート閾電圧 V_{G_TH} より高い。ゲート電圧 V_G が十分に低い電圧（例えば 0 V）から上昇する過程において、ゲート電圧 V_G がゲート閾電圧 V_{G_TH} に達すると出力トランジスタ 111 がオフ状態からオン状態に切り替わる。詳細には、ゲート電圧 V_G が十分に低い電圧（例えば 0 V）から上昇する過程において、ゲート電圧 V_G がゲート閾電圧 V_{G_TH} 以上となると出力トランジスタ 111 のチャンネルの抵抗値が急峻に低下し、出力トランジスタ 111 のチャンネルの抵抗値がプルアップ抵抗 52 の抵抗値よりも十分小さくなることで、電圧 V_{BUS} が実質的に 0 V にまで低下する。出力トランジスタ 111 のチャンネルの抵抗値とは、出力トランジスタ 111 のドレイン及びソース間の抵抗値を指す。

- [0037] 放電用回路 122 は、制御入力信号 S_{IN} のローレベル期間において、出力トランジスタ 111 のゲートから放電電流を引き込むことにより出力トランジスタ 111 のゲート電圧 V_G を低下させる。但し、ゲート電圧 V_G には下限があり、ゲート電圧 V_G が下限電圧を下回って低下することは無い。ゲート電圧 V_G の下限電圧は 0 V である。ゲート電圧 V_G がゲート閾電圧 V_{G_TH} よりも高い電圧から低下する過程において、ゲート電圧 V_G がゲート閾電圧 V_{G_TH} を下回ると出力トランジスタ 111 がオン状態からオフ状態に切り替わる。詳細には、ゲート電圧 V_G がゲート閾電圧 V_{G_TH} よりも高い電圧から低下する過程において、ゲート電圧 V_G がゲート閾電圧 V_{G_TH} 未満になると出力トランジスタ 111 のチャンネルの抵抗値が急峻に増加し、出力トランジスタ 111 のチャンネルの抵抗値がプルアップ抵抗 52 の抵抗値よりも十分大きくなることで、出力電圧 V_{BUS} が電源電圧 V_{DD} まで高まる（但し、逆流防止ダイオード 53 が設けられる場合にあっては、出力電圧 V_{BUS} は、電源電圧 V_{DD} より逆流防止ダイオード 53 の順方向電圧だけ低い電圧にまで高まる）。

- [0038] 図3の構成例において、充電用回路121は充電用電流源121a及びスイッチ121bの直列回路により構成され、放電用回路122は放電用電流源122a及びスイッチ122bの直列回路により構成される。充電用電流源121aは内部電源電圧 V_{REG} の印加端とスイッチ121bとの間に設けられ、内部電源電圧 V_{REG} に基づき電流 I_C を生成する。スイッチ121bは充電用電流源121aとノード123との間に設けられる。放電用電流源122aはグラウンドとスイッチ122bとの間に設けられ、内部電源電圧 V_{REG} に基づき電流 I_D を生成する。スイッチ122bは放電用電流源122aとノード123との間に設けられる。ノード123は出力トランジスタ111のゲートに接続される。スイッチ121b及び122bは制御入力信号 S_{IN} に基づきオン又はオフに制御される。
- [0039] 制御入力信号 S_{IN} のハイレベル期間において、スイッチ121bはオンとなる一方でスイッチ122bはオフとなる。従って、制御入力信号 S_{IN} のハイレベル期間において、ゲート電圧 V_G を上昇させるための電流 I_C （以下、充電電流 I_C と称する）が充電用電流源121aからスイッチ121b及びノード123を介し出力トランジスタ111のゲートに供給される。制御入力信号 S_{IN} のローレベル期間において、出力トランジスタ111のゲート及び充電用回路121間の電荷のやり取りは無い。
- [0040] 制御入力信号 S_{IN} のローレベル期間において、スイッチ121bはオフとなる一方でスイッチ122bはオンとなる。従って、制御入力信号 S_{IN} のローレベル期間において、ゲート電圧 V_G を低下させるための電流 I_D （以下、放電電流 I_D と称する）が出力トランジスタ111のゲートからノード123及びスイッチ122bを介し放電用電流源122aへと引き込まれる。制御入力信号 S_{IN} のハイレベル期間において、出力トランジスタ111のゲート及び放電用回路122間の電荷のやり取りは無い。
- [0041] 制御入力信号供給回路130は、マイクロコンピュータ20から受信した信号 S_T に基づき制御入力信号 S_{IN} を生成し、制御入力信号 S_{IN} を充放電回路120に供給する。制御入力信号供給回路130は、例えば、信号 S_T の波形を

整形することで得られる二値信号を制御入力信号 S_{IN} として生成して良い。

[0042] 尚、制御入力信号 S_{IN} のハイレベル期間において充電電流 I_C を出力トランジスタ 111 のゲートに供給できる限り、充電用回路 121 の構成は任意である。制御入力信号 S_{IN} のローレベル期間において充電用回路 121 は充電電流 I_C の生成を停止して良い。何れにせよ、制御入力信号 S_{IN} のローレベル期間において充電用回路 121 から出力トランジスタ 111 のゲートに向かう充電電流 I_C はゼロである。同様に、制御入力信号 S_{IN} のローレベル期間において放電電流 I_D を出力トランジスタ 111 のゲートから引き込むことができる限り、放電用回路 122 の構成は任意である。制御入力信号 S_{IN} のハイレベル期間において放電用回路 122 は放電電流 I_D の生成を停止して良い。何れにせよ、制御入力信号 S_{IN} のハイレベル期間において出力トランジスタ 111 のゲートから放電用回路 122 に向かう放電電流 I_D はゼロである。

[0043] ゲート電圧制限回路 140 は出力トランジスタ 111 のゲート及びグラウンドに接続される。ゲート電圧制限回路 140 は2つのダイオード 141 及び 142 を有する。ダイオード 141 のアノードが出力トランジスタ 111 のゲートに接続され、且つ、ダイオード 141 のカソードがダイオード 142 のアノードに接続され、ダイオード 142 のカソードがグラウンドに接続される。ゲート電圧制限回路 140 はゲート電圧 V_G が所定の制限電圧 V_{LIM} 以上になることを抑止する機能を持ち、当該機能を持つ回路であれば任意である。ここにおける制限電圧 V_{LIM} はゲート閾電圧 V_{G_TH} よりも高く、図3の構成例では、ダイオード 141 及び 142 の順方向電圧の和に相当する。3以上のダイオードの直列回路にて回路 140 を形成しても良い。

[0044] 充電電流 I_C に基づくゲート電圧 V_G の上昇により出力トランジスタ 111 がオフ状態からオン状態に切り替わる過程において、出力電圧 V_{BUS} が低下し、出力電圧 V_{BUS} の低下はコンデンサ 112 を介して出力トランジスタ 111 のゲートにフィードバックされる。逆に、放電電流 I_D に基づくゲート電圧 V_G の低下により出力トランジスタ 111 がオン状態からオフ状態に切り替わる過程において、出力電圧 V_{BUS} が上昇し、出力電圧 V_{BUS} の上昇はコンデンサ 112 を介

して出力トランジスタ 111 のゲートにフィードバックされる。このため、充放電回路 120 にとって、コンデンサ 112 の静電容量値は、ミラー効果により、コンデンサ 112 の実際の静電容量値よりも等価的に大きく見える。つまり、コンデンサ 112 はミラー容量として機能する。

[0045] [参考動作]

図 4 に参考動作のタイミングチャートを示す。参考動作は図 3 の基本構成に係る送信回路 TX を用いて実現される信号送信動作である。時間の経過と共に、時刻 t_0 、 t_1 、 t_2 、 t_3 、 t_4 、 t_5 、 t_6 及び t_7 が、この順番で到来するものとする。時刻 t_0 において、制御入力信号 S_{IN} はローレベルを有し、且つ、ゲート電圧 V_G は 0 V であり、且つ、出力電圧 V_{BUS} は電源電圧 V_{DD} に等しい。参考動作では、制御入力信号 S_{IN} のハイレベル期間において充電電流 I_C が一定値を持つよう制御され、且つ、制御入力信号 S_{IN} のローレベル期間において放電電流 I_D が一定値を持つよう制御される。但し、実際には、制御入力信号 S_{IN} のローレベル期間においてゲート電圧 V_G が 0 V にまで低下した後は、出力トランジスタ 111 のゲート及び放電用回路 122 間に電流が流れないので “ $I_D = 0$ ” となる（図 4 では、制御入力信号 S_{IN} のローレベル期間において “ $I_D = 0$ ” となり得る様子を図示せず）。

[0046] 時刻 t_1 において制御入力信号 S_{IN} にアップエッジが生じる。このため、時刻 t_1 において、放電電流 I_D の生成が停止される一方で充電電流 I_C によるゲート電圧 V_G の上昇が開始される。時刻 t_2 においてゲート電圧 V_G がゲート閾電圧 V_{G_TH} 近辺に達すると、出力トランジスタ 111 のチャネルの抵抗値が十分に高い値から低下することで、時刻 t_2 より出力電圧 V_{BUS} が電源電圧 V_{DD} から 0 V に向けて低下し始める。時刻 t_3 にて出力電圧 V_{BUS} が実質的に 0 V にまで低下すると、以後、ゲート電圧 V_G はゲート電圧制限回路 140 による制限電圧 V_{LIM} にまで上昇し、制御入力信号 S_{IN} にダウンエッジが生じるまで制限電圧 V_{LIM} にて維持される。

[0047] その後、時刻 t_4 において制御入力信号 S_{IN} にダウンエッジが生じる。このため、時刻 t_4 において、充電電流 I_C の生成が停止される一方で放電電流 I_D によ

るゲート電圧 V_G の低下が開始される。時刻 t_5 においてゲート電圧 V_G がゲート閾電圧 V_{G_TH} 近辺にまで低下すると、出力トランジスタ111のチャンネルの抵抗値が十分に低い値から上昇することで、時刻 t_5 より出力電圧 V_{BUS} が0V又は0V近辺から電源電圧VDDに向けて上昇し始める。時刻 t_6 にて出力電圧 V_{BUS} が実質的に電源電圧VDDに達する。時刻 t_6 の後、ゲート電圧 V_G は更に低下してゆき、時刻 t_7 にて“ $V_G=0$ ”となる。以後、制御入力信号 S_{IN} に次のアップエッジが生じるまでは“ $V_G=0$ ”にて維持され、故に出力電圧 V_{BUS} も電源電圧VDDに保たれる。制御入力信号 S_{IN} に次のアップエッジが生じると、上述の時刻 t_1 以降と同様の動作が繰り返される。

[0048] 出力電圧 V_{BUS} にて示される出力信号は、制御入力信号 S_{IN} に応じた信号であり、具体的には制御入力信号 S_{IN} の論理反転信号であって且つスルーレートが適正に制御された信号である。相手側装置30にて当該出力信号を受信することにより、制御入力信号 S_{IN} （従ってマイクロコンピュータ20からの信号 S_T ）を認識及び復元することができる。出力信号のスルーレートの適正な制御によりバスライン51からの放射ノイズを抑制することができる。

[0049] 時刻 t_2 は出力電圧 V_{BUS} の低下の開始時刻に相当し、時刻 t_3 は出力電圧 V_{BUS} の低下の終了時刻に相当する。時刻 t_5 は出力電圧 V_{BUS} の上昇の開始時刻に相当し、時刻 t_6 は出力電圧 V_{BUS} の上昇の終了時刻に相当する。

[0050] 参考動作では、時刻 t_2 、 t_3 、 t_5 及び t_6 の夫々においてゲート電圧 V_G が急峻に変化する。このため、参考動作に係る出力電圧 V_{BUS} の波形において、時刻 t_2 、 t_3 、 t_5 、 t_6 に、夫々、角E1、E2、E3、E4が生じる。出力電圧 V_{BUS} の波形に含まれる角は放射ノイズを増大させる。出力電圧 V_{BUS} の波形において、これらの角を除去することができれば、放射ノイズの更なる抑制が図られる。但し、角E1～E4の内、角E4は、プルアップ抵抗52及びコンデンサ54によるローパスフィルタの作用により実際には発生しないことがある。

[0051] 以下、複数の実施例の中で、上記角を除去するための構成、動作又は応用技術等を説明する。本実施形態にて上述した事項は、特に記述無き限り且つ

矛盾無き限り、以下の各実施例に適用される。各実施例において、上述の事項と矛盾する事項がある場合には、各実施例での記載が優先されて良い。また矛盾無き限り、以下に示す複数の実施例の内、任意の実施例に記載した事項を、他の任意の実施例に適用することもできる（即ち複数の実施例の内の任意の2以上の実施例を組み合わせることも可能である）。

[0052] <<第1実施例>>

第1実施例を説明する。出力信号の波形における角部分を滑らかにするためには、ゲート電圧 V_G の波形の角部分を滑らかにすれば良い。第1実施例では、図4の角E1及びE3の部分を滑らかにする（換言すれば出力信号の波形から角E1及びE3を除去する）ための技術を説明する。第1実施例において、充電用電流源121aは電流 I_C の値を連続的に可変させる機能を持つ可変電流源として構成され、放電用電流源122aは電流 I_D の値を連続的に可変させる機能を持つ可変電流源として構成される。

[0053] 図5に、第1実施例に係る制御入力信号 S_{IN} 、充電電流 I_C 及び放電電流 I_D の各波形を示す。尚、実際には、制御入力信号 S_{IN} のローレベル期間においてゲート電圧 V_G が0Vにまで低下した後は、出力トランジスタ111のゲート及び放電用回路122間で電流が流れないので“ $I_D=0$ ”となる（図5では、制御入力信号 S_{IN} のローレベル期間において“ $I_D=0$ ”となり得る様子を明示せず）。

[0054] 制御入力信号 S_{IN} のローレベル期間において充電電流 I_C はゼロである。制御入力信号 S_{IN} のハイレベル期間において充電用電流源121aは0より大きな充電電流 I_C を出力トランジスタ111のゲートに供給する。但し、第1実施例に係る充電用電流源121aは、制御入力信号 S_{IN} にアップエッジが生じると、充電電流 I_C の値を充電初期値 $V_{AL_{C1}}$ に設定し、その後、時間の経過と共に充電電流 I_C の値を充電初期値 $V_{AL_{C1}}$ から充電基準値 $V_{AL_{C2}}$ に向けて連続的に増大させる（即ち徐々に増大させる）。制御入力信号 S_{IN} のハイレベル期間において、充電電流 I_C の値が充電基準値 $V_{AL_{C2}}$ に達した後は、充電電流 I_C の値を充電基準値 $V_{AL_{C2}}$ に維持して良い。

- [0055] 制御入力信号 S_{IN} のハイレベル期間の長さには下限が定められていて良い。充電電流 I_C の値が充電初期値 VAL_{C1} に設定された後、充電基準値 VAL_{C2} に到達するまでの時間 Tup_C1 は、制御入力信号 S_{IN} のハイレベル期間の下限長さよりも短い。仮に、制御入力信号 S_{IN} のアップエッジの後、充電電流 I_C の値が充電基準値 VAL_{C2} に達する前に制御入力信号 S_{IN} のダウンエッジが発生した場合には、即時に “ $I_C = 0$ ” とされる。
- [0056] 制御入力信号 S_{IN} のハイレベル期間において放電電流 I_D はゼロである。制御入力信号 S_{IN} のローレベル期間において放電用電流源 122a は 0 より大きな放電電流 I_D を出力トランジスタ 111 のゲートから引き込む。但し、第1実施例に係る放電用電流源 122a は、制御入力信号 S_{IN} にダウンエッジが生じると、放電電流 I_D の値を放電初期値 VAL_{D1} に設定し、その後、時間の経過と共に放電電流 I_D の値を放電初期値 VAL_{D1} から放電基準値 VAL_{D2} に向けて連続的に増大させる（即ち徐々に増大させる）。制御入力信号 S_{IN} のローレベル期間において、放電電流 I_D の値が放電基準値 VAL_{D2} に達した後は、放電電流 I_D の値を放電基準値 VAL_{D2} に維持して良い。
- [0057] 制御入力信号 S_{IN} のローレベル期間の長さには下限が定められていて良い。放電電流 I_D の値が放電初期値 VAL_{D1} に設定された後、放電基準値 VAL_{D2} に到達するまでの時間 Tup_D1 は、制御入力信号 S_{IN} のローレベル期間の下限長さよりも短い。仮に、制御入力信号 S_{IN} のダウンエッジの後、放電電流 I_D の値が放電基準値 VAL_{D2} に達する前に制御入力信号 S_{IN} のアップエッジが発生した場合には、即時に “ $I_D = 0$ ” とされる。
- [0058] 充電初期値 VAL_{C1} 及び充電基準値 VAL_{C2} は、“ $0 < VAL_{C1} < VAL_{C2}$ ” を満たす所定値を持つ。但し、“ $0 = VAL_{C1}$ ” であっても良い。放電初期値 VAL_{D1} 及び放電基準値 VAL_{D2} は、“ $0 < VAL_{D1} < VAL_{D2}$ ” を満たす所定値を持つ。但し、“ $0 = VAL_{D1}$ ” であっても良い。充電初期値 VAL_{C1} は放電初期値 VAL_{D1} と同じ値であっても良いし、相違していても良い。充電基準値 VAL_{C2} は放電基準値 VAL_{D2} と同じ値であっても良いし、相違していても良い。

[0059] 図6は第1実施例に係るタイミングチャートである。第1実施例によれば、時刻 t_2 近辺におけるゲート電圧 V_G の急峻な変化が参考動作よりも緩和される。結果、参考動作にて観測される角E1の部分の波形が、第1実施例では図4よりも滑らかとなり、放射ノイズの低減が図られる。また第1実施例によれば、時刻 t_5 近辺におけるゲート電圧 V_G の急峻な変化が参考動作よりも緩和される。結果、参考動作にて観測される角E3の部分の波形が、第1実施例では図4よりも滑らかとなり、放射ノイズの低減が図られる。

[0060] 図7に示す充放電回路200を図3の充放電回路120として用いることができる。充放電回路200はスイッチ121b及び122bと符号201~212によって参照される各部品を備える。符号201~212によって参照される各部品により図3の電流源121a及び122aが形成されることが考えられる。

[0061] 定電圧生成回路201は、一定の正の電圧値を有する電圧 V_{REF} を生成及び出力する。オペアンプ202の非反転入力端子に電圧 V_{REF} が加わる。オペアンプ202の反転入力端子及び出力端子は短絡される。故に、オペアンプ202はボルテージフォロアとして機能し、自身の出力端子から電圧 V_{REF} を低インピーダンスにて出力する。オペアンプ202の出力端子は抵抗204の一端に接続され且つ抵抗203を介してノード213に接続される。抵抗204の他端はノード214に接続される。ノード213はコンデンサ205を介してグラウンドに接続される。またノード213はスイッチ209の一端に接続され、スイッチ209の他端はグラウンドに接続される。更にノード213はスイッチ207の一端に接続され、スイッチ207の他端はノード215に接続される。ノード214はコンデンサ206を介してグラウンドに接続される。またノード214はスイッチ210の一端に接続され、スイッチ210の他端はノード215に接続される。スイッチ208の一端はノード214に接続され、スイッチ208の他端はグラウンドに接続される。

[0062] ノード215に加わる電圧を記号“ V_{CNT1} ”にて表す。 V/I 変換回路211及び212はノード215に接続されて電圧 V_{CNT1} を受ける。 V/I 変換回

路 2 1 1 は電圧 V_{CNT1} を電流 I_c に変換する。V/I 変換回路 2 1 2 は電圧 V_{CNT1} を電流 I_D に変換する。

[0063] V/I 変換回路 2 1 1 とノード 1 2 3 (図 3 参照) との間にスイッチ 1 2 1 b が介在する。制御入力信号 S_{IN} のハイレベル期間においてのみスイッチ 1 2 1 b がオンとなることで、V/I 変換回路 2 1 1 の変換にて得られた電流 I_c が充電電流 I_c として出力トランジスタ 1 1 1 のゲートに供給される。V/I 変換回路 2 1 2 とノード 1 2 3 (図 3 参照) との間にスイッチ 1 2 2 b が介在する。制御入力信号 S_{IN} のローレベル期間においてのみスイッチ 1 2 2 b がオンとなることで、V/I 変換回路 2 1 2 の変換にて得られた電流 I_D が放電電流 I_D として出力トランジスタ 1 1 1 のゲートから引き抜かれる。

[0064] 図 8 に図 7 の充放電回路 2 0 0 の動作に関わる幾つかの波形を示す。尚、図 8 の最下段に示される波形は、制御入力信号 S_{IN} のハイレベル期間における充電電流 I_c の波形と制御入力信号 S_{IN} のローレベル期間における放電電流 I_D の波形とを合成したものに相当する。充放電回路 2 0 0 において制御入力信号 S_{IN} に基づき信号 T_A 及び T_B が生成される。信号 T_A は制御入力信号 S_{IN} と同じ信号であり、信号 T_B は制御入力信号 S_{IN} の反転信号である。スイッチ 2 0 7 及び 2 0 8 に対して信号 T_A が供給される (即ち制御入力信号 S_{IN} が供給される)。スイッチ 2 0 7 及び 2 0 8 は信号 T_A のハイレベル期間においてオンとなり、信号 T_A のローレベル期間においてオフとなる。スイッチ 2 0 9 及び 2 1 0 に対して信号 T_B が供給される (即ち制御入力信号 S_{IN} の反転信号が供給される)。スイッチ 2 0 9 及び 2 1 0 は信号 T_B のハイレベル期間においてオンとなり、信号 T_B のローレベル期間においてオフとなる。

[0065] V/I 変換回路 2 1 1 は、電圧 V_{CNT1} が 0 V であるときには電流 I_c の値を充電初期値 VAL_{c1} に設定し、電圧 V_{CNT1} が 0 V から上昇するにつれて電流 I_c の値を増大させ、電圧 V_{CNT1} が電圧 V_{REF} に等しいときには電流 I_c の値を充電基準値 VAL_{c2} に設定する。V/I 変換回路 2 1 2 は、電圧 V_{CNT1} が 0 V であるときには電流 I_D の値を放電初期値 VAL_{D1} に設定し、電圧 V_{CNT1} が 0 V から上昇す

るにつれて電流 I_D の値を増大させ、電圧 V_{CNT1} が電圧 V_{REF} に等しいときには電流 I_D の値を放電基準値 V_{ALD2} に設定する。

[0066] 図9の状態を起点にして図7の回路動作を説明する。図9の状態では、制御入力信号 S_{IN} がハイレベルを有し、且つ、ノード213の電圧が電圧 V_{REF} に等しく（従って “ $V_{CNT1} = V_{REF}$ ” であり）且つノード214の電圧が0Vである。図9の状態を起点に制御入力信号 S_{IN} がローレベルに切り替わると、図10に示す如く、スイッチ207及び208がオフ状態に且つスイッチ209及び210がオン状態に切り替わる。このため、図9の状態にて0Vであったノード214の電圧がノード215に加わることで電圧 V_{CNT1} が急峻に0Vへと低下し、その後、抵抗204及びコンデンサ206の各値による時定数にて電圧 V_{CNT1} が電圧 V_{REF} に向けて徐々に（従って連続的に）上昇してゆく。図10の状態においてノード213の電圧は0Vである。

[0067] 電圧 V_{CNT1} が電圧 V_{REF} に達した後、制御入力信号 S_{IN} がハイレベルに切り替わると、図11に示す如く、スイッチ207及び208がオン状態に且つスイッチ209及び210がオフ状態に切り替わる。このため、図10の状態にて0Vであったノード213の電圧がノード215に加わることで電圧 V_{CNT1} が急峻に0Vへと低下し、その後、抵抗203及びコンデンサ205の各値による時定数にて電圧 V_{CNT1} が電圧 V_{REF} に向けて徐々に（従って連続的に）上昇してゆく。ノード213の電圧が電圧 V_{REF} に達した状態が図9の状態に相当する。以後、同様の動作が繰り返される。

[0068] 図5を参照して説明した充電電流 I_C 及び放電電流 I_D の変化特性が得られる限り、充放電回路120の回路構成は任意である。例えば、図12の充放電回路200aを充放電回路120として用いても良い。図7の充放電回路200を基準に、充放電回路200から抵抗203、コンデンサ205、スイッチ207、209及び210を削除しつつ充放電回路200にワンショットパルス生成回路218を追加することで、充放電回路200が充放電回路200aに変形される。ワンショットパルス生成回路218は制御入力信号 S_{IN} に基づき信号 T_A' を出力する。信号 T_A' は原則としてローレベル

を有する。ワンショットパルス生成回路218は、制御入力信号 S_{IN} にアップエッジが生じるタイミング及びダウンエッジが生じるタイミングの夫々において、信号 T_A' を所定の微小時間だけハイレベルとする。充放電回路200aにおいてスイッチ208には信号 T_A' が供給され、スイッチ208は信号 T_A' のハイレベル期間においてオンとなり、信号 T_A' のローレベル期間においてオフとなる。このため、充放電回路200aにおいて、ノード214の電圧は制御入力信号 S_{IN} にアップエッジ又はダウンエッジが生じるたびに0Vに急峻に低下した後、抵抗204及びコンデンサ206の各値による時定数にて電圧 V_{REF} に向けて徐々に（従って連続的に）上昇してゆく。充放電回路200aではノード214の電圧が常に電圧 V_{CNT1} と一致する。このため、充放電回路200aの V/I 変換回路211及び212にて生成される電流 I_C 及び I_D の波形は、充放電回路200におけるそれらと同等となる。

[0069] <<第2実施例>>

第2実施例を説明する。第2実施例では、図4の角E1及びE3の部分を滑らかにする（換言すれば出力信号の波形から角E1及びE3を除去する）ための他の技術を説明する。第2実施例において、充電用電流源121aは電流 I_C の値を段階的に可変させる機能を持つ可変電流源として構成され、放電用電流源122aは電流 I_D の値を段階的に可変させる機能を持つ可変電流源として構成される。尚、段階的な変化は、換言すれば、不連続な変化である。

[0070] 図13に、第2実施例に係る制御入力信号 S_{IN} 、充電電流 I_C 及び放電電流 I_D の各波形を示す。尚、実際には、制御入力信号 S_{IN} のローレベル期間においてゲート電圧 V_G が0Vにまで低下した後は、出力トランジスタ111のゲート及び放電用回路122間で電流が流れないので“ $I_D=0$ ”となる（図13では、制御入力信号 S_{IN} のローレベル期間において“ $I_D=0$ ”となり得る様子を図示せず）。

[0071] 制御入力信号 S_{IN} のローレベル期間において充電電流 I_C はゼロである。制御

入力信号 S_{IN} のハイレベル期間において充電用電流源 1 2 1 a は 0 より大きな充電電流 I_c を出力トランジスタ 1 1 1 のゲートに供給する。但し、第 2 実施例に係る充電用電流源 1 2 1 a は、制御入力信号 S_{IN} にアップエッジが生じると充電電流 I_c の値を充電初期値 $V A L_{c1}$ に設定し、制御入力信号 S_{IN} のアップエッジタイミングから所定時間 $T u p_C 2$ が経過した後に、充電電流 I_c の値を充電初期値 $V A L_{c1}$ から充電基準値 $V A L_{c2}$ に増大させる（即ち段階的に増大させる）。制御入力信号 S_{IN} のハイレベル期間において、充電電流 I_c の値を充電基準値 $V A L_{c2}$ にまで高めた後は、充電電流 I_c の値を充電基準値 $V A L_{c2}$ に維持して良い。

[0072] 制御入力信号 S_{IN} のハイレベル期間の長さには下限が定められていて良い。時間 $T u p_C 2$ は、制御入力信号 S_{IN} のハイレベル期間の下限長さよりも短い。仮に、制御入力信号 S_{IN} のアップエッジの後、充電電流 I_c の値が充電基準値 $V A L_{c2}$ に達する前に制御入力信号 S_{IN} のダウンエッジが発生した場合には、即時に “ $I_c = 0$ ” とされる。

[0073] 制御入力信号 S_{IN} のハイレベル期間において放電電流 I_D はゼロである。制御入力信号 S_{IN} のローレベル期間において放電用電流源 1 2 2 a は 0 より大きな放電電流 I_D を出力トランジスタ 1 1 1 のゲートから引き込む。但し、第 2 実施例に係る放電用電流源 1 2 2 a は、制御入力信号 S_{IN} にダウンエッジが生じると放電電流 I_D の値を放電初期値 $V A L_{D1}$ に設定し、制御入力信号 S_{IN} のダウンエッジタイミングから所定時間 $T u p_D 2$ が経過した後に、放電電流 I_D の値を放電初期値 $V A L_{D1}$ から放電基準値 $V A L_{D2}$ に増大させる（即ち段階的に増大させる）。制御入力信号 S_{IN} のローレベル期間において、放電電流 I_D の値を放電基準値 $V A L_{D2}$ にまで高めた後は、放電電流 I_D の値を放電基準値 $V A L_{D2}$ に維持して良い。

[0074] 制御入力信号 S_{IN} のローレベル期間の長さには下限が定められていて良い。時間 $T u p_D 2$ は、制御入力信号 S_{IN} のローレベル期間の下限長さよりも短い。仮に、制御入力信号 S_{IN} のダウンエッジの後、放電電流 I_D の値が放電基準値 $V A L_{D2}$ に達する前に制御入力信号 S_{IN} のアップエッジが発生した場合には

、即時に“ $I_D = 0$ ”とされる。

[0075] 値 $V_{AL_{C1}}$ 、 $V_{AL_{C2}}$ 、 $V_{AL_{D1}}$ 及び $V_{AL_{D2}}$ の設定方法は第1実施例で述べた通りである（後述の他の実施例でも同様）。

[0076] 第1実施例と同様に第2実施例によっても、図6に示す如く、時刻 t_2 近辺及び時刻 t_5 近辺におけるゲート電圧 V_G の急峻な変化が参考動作よりも緩和されるため、第1実施例と同様の効果が得られる。

[0077] 図13を参照して説明した充電電流 I_C 及び放電電流 I_D の変化特性が得られる限り、充放電回路120の回路構成は任意である。例として、図14に示す充放電回路250を図3の充放電回路120として用いることができる。図15に充放電回路250の動作に関わる幾つかの波形を示す。尚、図15の最下段に示される波形は、制御入力信号 S_{IN} のハイレベル期間における充電電流 I_C の波形と制御入力信号 S_{IN} のローレベル期間における放電電流 I_D の波形とを合成したものに相当する。

[0078] 充放電回路250はスイッチ121b及び122bと符号251~257によって参照される各部品を備える。符号251~257によって参照される各部品により図3の電流源121a及び122aが形成されることができると考えることができる。定電圧生成回路251は一定の正の電圧値を有する電圧 V_{REF1} を生成及び出力する。定電圧生成回路252は一定の正の電圧値を有する電圧 V_{REF2} を生成及び出力する。ここで、電圧 V_{REF1} よりも電圧 V_{REF2} の方が高い。スイッチ253の一端に電圧 V_{REF1} が加わり、スイッチ253の他端はノード258に接続される。スイッチ254の一端に電圧 V_{REF2} が加わり、スイッチ254の他端はノード258に接続される。ノード258に加わる電圧を記号“ V_{CNT2} ”にて表す。

[0079] V/I 変換回路255及び256はノード258に接続されて電圧 V_{CNT2} を受け取る。 V/I 変換回路255は電圧 V_{CNT2} を電流 I_C に変換する。 V/I 変換回路256は電圧 V_{CNT2} を電流 I_D に変換する。スイッチ制御回路257は制御入力信号 S_{IN} に基づきスイッチ253及び254のオン又はオフを制御するための信号 T_A 及び T_B を生成する。スイッチ253は信号 T_A のハイ

レベル期間においてオンとなり、信号T__Aのローレベル期間においてオフとなる。スイッチ254は信号T__Bのハイレベル期間においてオンとなり、信号T__Bのローレベル期間においてオフとなる。

[0080] スイッチ制御回路257には制御入力信号S_{IN}のアップエッジタイミング又はダウンエッジタイミングからの経過時間を計測するタイマが設けられる。スイッチ制御回路257は、制御入力信号S_{IN}のアップエッジタイミングから所定時間T_{up}_C2が経過するまでの第1期間と、制御入力信号S_{IN}のダウンエッジタイミングから所定時間T_{up}_D2が経過するまでの第2期間とにおいてのみ、信号T__Aをハイレベル且つ信号T__Bをローレベルに設定する。これにより、第1期間及び第2期間において、スイッチ253、254が、夫々、オン、オフとなり、結果 “ $V_{CNT2} = V_{REF1}$ ” となる。第1期間及び第2期間の何れとも相違する期間において、スイッチ制御回路257は、信号T__Aをローレベル且つ信号T__Bをハイレベルに設定することでスイッチ253、254を夫々オフ、オンとし、これによって “ $V_{CNT2} = V_{REF2}$ ” を実現する。

[0081] V/I変換回路255は、“ $V_{CNT2} = V_{REF1}$ ” であるときには電流I_Cの値を充電初期値VAL_{C1}に設定し、“ $V_{CNT2} = V_{REF2}$ ” であるときには電流I_Cの値を充電基準値VAL_{C2}に設定する。V/I変換回路256は、“ $V_{CNT2} = V_{REF1}$ ” であるときには電流I_Dの値を放電初期値VAL_{D1}に設定し、“ $V_{CNT2} = V_{REF2}$ ” であるときには電流I_Dの値を放電基準値VAL_{D2}に設定する。

[0082] V/I変換回路255とノード123（図3参照）との間にスイッチ121bが介在する。制御入力信号S_{IN}のハイレベル期間においてのみスイッチ121bがオンとなることで、V/I変換回路255の変換にて得られた電流I_Cが充電電流I_Cとして出力トランジスタ111のゲートに供給される。V/I変換回路256とノード123（図3参照）との間にスイッチ122bが介在する。制御入力信号S_{IN}のローレベル期間においてのみスイッチ122bがオンとなることで、V/I変換回路256の変換にて得られた電流I_Dが放電電流I_Dとして出力トランジスタ111のゲートから引き抜かれる。

[0083] 充電電流 I_c 又は放電電流 I_d の値が 2 段階で可変設定される例を説明したが、充電電流 I_c 又は放電電流 I_d の値が 3 段階以上で可変設定されるようにしても良い。即ち例えば、充電用電流源 121a は、制御入力信号 S_{IN} にアップエッジが生じると、まず充電電流 I_c の値を充電初期値 $V_{AL_{c1}}$ に設定し、制御入力信号 S_{IN} のアップエッジタイミングから第 1 所定時間が経過した後に充電電流 I_c の値を充電初期値 $V_{AL_{c1}}$ から充電中間値に増大させ、その後、更に第 2 所定時間が経過した後に充電電流 I_c の値を充電中間値から充電基準値 $V_{AL_{c2}}$ に増大させるようにしても良い。充電中間値は充電初期値 $V_{AL_{c1}}$ より大きく且つ充電基準値 $V_{AL_{c2}}$ より小さい。同様に例えば、放電用電流源 122a は、制御入力信号 S_{IN} にダウンプエッジが生じると、まず放電電流 I_d の値を放電初期値 $V_{AL_{d1}}$ に設定し、制御入力信号 S_{IN} のダウンプエッジタイミングから第 1 所定時間が経過した後に放電電流 I_d の値を放電初期値 $V_{AL_{d1}}$ から放電中間値に増大させ、その後、更に第 2 所定時間が経過した後に放電電流 I_d の値を放電中間値から放電基準値 $V_{AL_{d2}}$ に増大させるようにしても良い。放電中間値は放電初期値 $V_{AL_{d1}}$ より大きく且つ放電基準値 $V_{AL_{d2}}$ より小さい。

[0084] <<第 3 実施例>>

第 3 実施例を説明する。出力トランジスタ 111 のゲート電圧 V_G を 0V からゲート閾電圧 V_{G_TH} 付近にまで上昇させるまでの時間が長いと、制御入力信号 S_{IN} のアップエッジタイミングから出力電圧 V_{BUS} が低下し始めるまでの時間が長くなる。即ち、送信に関わるトランシーバ 10 の応答性が低下する。これは、特に第 1 又は第 2 実施例の方法を採用した場合に顕著となり得る。第 1 又は第 2 実施例の方法を採用した場合、制御入力信号 S_{IN} のアップエッジタイミングから充電電流 I_c が一定時間低く抑えられるためである。第 3 実施例では、ゲート電圧 V_G を速やかに上昇させるための技術を説明する。第 3 実施例を特に第 1 又は第 2 実施例と組み合わせて実施することができる。但し、第 3 実施例を第 1 又は第 2 実施例と組み合わせることは必須ではなく、また第 3 実施例を後述の他の実施例と組み合わせることもできる。

[0085] 第 3 実施例では、図 16 に示す如く、図 3 に示した送信回路 TX の構成を

基準に、ブースト回路150及び上昇抑制ダイオード114が送信回路TXに追加される。ブースト回路150は出力トランジスタ111のゲートに接続される。ブースト回路150は、制御入力信号 S_{IN} にアップエッジが生じたことを契機に作動し、ゲート電圧 V_G が所定電圧（例えばゲート閾電圧 V_{G_TH} ）に達するまで、出力トランジスタ111のゲートにブースト電流を供給する。ブースト電流は、充電用回路121からの充電電流 I_C とは別に出力トランジスタ111のゲートに対して供給され、これによってゲート電圧 V_G の上昇速度を高める。詳細には、充電用回路121からの充電電流 I_C のみにてゲート電圧 V_G を上昇させる場合との比較において、ブースト電流の追加供給によりゲート電圧 V_G の上昇速度を高める。

[0086] これにより、制御入力信号 S_{IN} のアップエッジに応答してゲート電圧 V_G を速やかにゲート閾電圧 V_{G_TH} 付近にまで上昇させることが可能となり、送信に関わるトランシーバ10の応答性の向上が図られる。

[0087] 一方、出力トランジスタ111がオフ状態からオン状態に切り替わった後、ゲート電圧 V_G がゲート閾電圧 V_{G_TH} を大きく超えて上昇した場合、その後、制御入力信号 S_{IN} のダウンエッジに応答してゲート電圧 V_G をゲート閾電圧 V_{G_TH} 付近にまで低下させるのに比較的大きな時間がかかる。これも、送信に関わるトランシーバ10の応答性低下の一要因となる。

[0088] これを考慮し、第3実施例では送信回路TXに上昇抑制ダイオード114を設けて、上昇抑制ダイオード114のアノードを出力トランジスタ111のゲートに接続し、上昇抑制ダイオード114のカソードを出力トランジスタ111のドレインに接続する。

[0089] 上昇抑制ダイオード114の設置によりゲート電圧 V_G が電圧 $(V_{D111} + V_{f114})$ 以下に制限される。電圧 $(V_{D111} + V_{f114})$ は、出力トランジスタ111のドレイン電圧 (V_{D111}) よりも上昇抑制ダイオード114の順方向電圧 (V_{f114}) だけ高い電圧を表す。このため、出力トランジスタ111がオン状態となることで出力トランジスタ111のドレイン電圧が実質的に0Vにまで低下した状態において、ゲート電圧 V_G は上昇抑制ダイオード114の順方向電圧

以下に制限される。ゲート閾電圧 V_{G_TH} と同一又はゲート閾電圧 V_{G_TH} よりも若干大きな電圧を順方向電圧として持つダイオードを上昇抑制ダイオード114として用いることができる。これにより、出力トランジスタ111がオフ状態からオン状態に切り替わった後、ゲート電圧 V_G がゲート閾電圧 V_{G_TH} を大きく超えて上昇することが抑止される。故に、送信に関わるトランシーバ10の応答性の向上が図られる。

[0090] 図17に、制御入力信号 S_{IN} との関係においてゲート電圧 V_G の波形を示す。図17において、波形611は第1又は第2実施例に係る送信回路TXでのゲート電圧 V_G の波形を表す。波形612は第1又は第2実施例と第3実施例とを組み合わせた送信回路TXでのゲート電圧 V_G の波形を表す。図17に示される信号 T_B の波形は後に参照される。ブースト回路150の設置によりゲート閾電圧 V_{G_TH} 近辺までのゲート電圧 V_G の上昇速度が高まること、波形611及び612の対比から見てとれる。また、上昇抑制ダイオード114の設置によりゲート電圧 V_G がゲート閾電圧 V_{G_TH} を超えて高まり難いことが見てとれる。

[0091] 図18にブースト回路150の構成例を示す。図18のブースト回路150は、電流源151と、Nチャネル型のMOSFETであるトランジスタ152~154と、抵抗155と、を備える。電流源151は内部電源電圧 V_{REG} に基づき内部電源電圧 V_{REG} の印加端からノード156に向けて定電流を出力する。但し、定電流の出力によりノード156の電圧が内部電源電圧 V_{REG} に達すると、電流源151は更なる定電流の出力を停止する。トランジスタ152のドレインには内部電源電圧 V_{REG} が加わる。トランジスタ152のソースは抵抗155の一端に接続されると共に出力トランジスタ111のゲートに接続される。抵抗155の他端はトランジスタ153のゲートに接続される。トランジスタ152のゲートとトランジスタ153及び154の各ドレインはノード156に接続される。トランジスタ153及び154の各ソースはグランドに接続される。トランジスタ154のゲートには信号 T_B が供給される。信号 T_B は第1実施例で述べたように制御入力信号 S_{IN} の反転信号で

ある（図17参照）。

[0092] 図18のブースト回路150の動作を説明する。制御入力信号 S_{IN} のローレベル期間においては信号 T_B がハイレベルを有するため、トランジスタ154はオンとなる。トランジスタ154がオンであるとき、電流源151から出力される定電流がトランジスタ154のチャネルを通じて流れるため、ノード156の電位は十分に低く、結果、トランジスタ152はオフ状態に維持される。ブースト電流はトランジスタ152がオンであるときのみトランジスタ152を介して出力トランジスタ111のゲートに供給されるため、トランジスタ152がオフであればブースト電流の供給は無い。また、制御入力信号 S_{IN} のアップエッジタイミングの直前では放電用回路122の機能によりゲート電圧 V_G が0Vとされているため、トランジスタ153はオフ状態となっている。

[0093] 制御入力信号 S_{IN} のアップエッジが生じると、信号 T_B がローレベルとなることでトランジスタ154がオフとなる。制御入力信号 S_{IN} のアップエッジタイミング直後においてゲート電圧 V_G が十分に低い状態ではトランジスタ153もオフである。故に、電流源151からの定電流によりノード156の電位が上昇することでトランジスタ152がオフからオンに切り替わり、内部電源電圧 V_{REG} の印加端からトランジスタ152を介しトランジスタ152のドレイン電流がブースト電流として出力トランジスタ111のゲートに供給される。

[0094] 制御入力信号 S_{IN} のアップエッジの後、ゲート電圧 V_G がトランジスタ153のゲート閾電圧（所定電圧）にまで高まるとトランジスタ153がオフからオンに切り替わる。そうすると、ノード156の電位低下を経てトランジスタ152がオンからオフへと切り替わり、ブースト電流の供給が終了する。トランジスタ153のゲート閾電圧（所定電圧）は、出力トランジスタ111のゲート閾電圧 V_{G_TH} と同じであるか、或いは、ゲート閾電圧 V_{G_TH} よりも若干高いと良い。

[0095] <<第4実施例>>

第4実施例を説明する。第4実施例では、図4の角E2の部分を滑らかにする（換言すれば出力信号の波形から角E2を除去する）ための技術を説明する。角E2の部分を滑らかにするためには、出力電圧 V_{BUS} の低下過程において出力電圧 V_{BUS} が0Vの近くまで低下してきたときに、充電電流 I_C を一時的に低下させれば良い。

[0096] 図19に第4実施例に係る充電用回路300Cを示す。充電用回路300Cを図3の充電用回路121として用いることができる。図20に図19の充電用回路300Cが充電用回路121として用いられた場合の幾つかの波形を示す。尚、図20に示される出力電圧 V_{BUS} の波形は、図4の参考動作から見て、角E2を滑らかにする対策のみが施されたと仮定したときの波形である。

[0097] 充電用回路300Cはスイッチ121bと符号301~308によって参照される各部品を備える。符号301~308によって参照される各部品により図3の充電用電流源121aが形成されることができると考えることができる。定電圧生成回路301は、一定の正の電圧値を有する電圧 V_{REF} を生成及び出力する。オペアンプ302の非反転入力端子に電圧 V_{REF} が加わる。オペアンプ302の反転入力端子及び出力端子は短絡される。故に、オペアンプ302はボルテージフォロアとして機能し、自身の出力端子から電圧 V_{REF} を低インピーダンスにて出力する。オペアンプ302の出力端子は抵抗303の一端に接続される。抵抗303の他端はノード311に接続される。ノード311はコンデンサ304を介してグラウンドに接続される。またノード311はスイッチ305の一端に接続され、スイッチ305の他端はグラウンドに接続される。

[0098] ノード311に加わる電圧を記号“ V_{CNT4} ”にて表す。 V/I 変換回路306はノード311に接続されて電圧 V_{CNT4} を受ける。 V/I 変換回路306は電圧 V_{CNT4} を電流 I_C に変換する。

[0099] コンパレータ307は出力電圧 V_{BUS} と所定の下方判定電圧 V_{DET_L} を比較し、比較結果を示す信号を出力する。具体的には、コンパレータ307の反転入力端子、非反転入力端子に対して、夫々、出力電圧 V_{BUS} 、下方判定電圧 V_{DET_L}

が入力され、コンパレータ307は、“ $V_{BUS} < V_{DET_L}$ ”の成立時にハイレベルの信号を出力し、“ $V_{BUS} > V_{DET_L}$ ”の成立時にローレベルの信号を出力する。

“ $V_{BUS} = V_{DET_L}$ ”のとき、コンパレータ307の出力信号はハイレベル又はローレベルを有する。下方判定電圧 V_{DET_L} は、電源電圧 V_{DD} よりも十分に小さな正の電圧値を有し、上述の電圧($V_{DD} \times k_L$)より低いと良い。

[0100] ワンショットパルス生成回路308はコンパレータ307の出力信号に基づき信号 T_C を出力する。信号 T_C は原則としてローレベルを有する。ワンショットパルス生成回路308は、コンパレータ307の出力信号にアップエッジが生じるタイミングにおいて、信号 T_C を所定の微小時間だけハイレベルとする。スイッチ305に信号 T_C が供給され、スイッチ305は信号 T_C のハイレベル期間においてオンとなり、信号 T_C のローレベル期間においてオフとなる。このため、充電用回路300Cにおいて、ノード311の電圧はコンパレータ307の出力信号にアップエッジが生じるたびに0Vに急峻に低下した後、抵抗303及びコンデンサ304の各値による時定数にて電圧 V_{REF} に向けて徐々に（従って連続的に）上昇してゆく。

[0101] V/I 変換回路306は、電圧 V_{CNT4} が0Vであるときには電流 I_c の値を充電初期値 V_{AL_C1} に設定し、電圧 V_{CNT4} が0Vから上昇するにつれて電流 I_c の値を増大させ、電圧 V_{CNT4} が電圧 V_{REF} に等しいときには電流 I_c の値を充電基準値 V_{AL_C2} に設定する。 V/I 変換回路306とノード123（図3参照）との間にスイッチ121bが介在する。制御入力信号 S_{IN} のハイレベル期間においてのみスイッチ121bがオンとなることで、 V/I 変換回路306の変換にて得られた電流 I_c が充電電流 I_c として出力トランジスタ111のゲートに供給される。

[0102] 充電用回路300Cを用いれば、制御入力信号 S_{IN} のハイレベル期間における出力電圧 V_{BUS} の低下過程において、出力電圧 V_{BUS} が所定の下方判定電圧 V_{DET_L} を下回ったとき、充電電流 I_c の値が一時的に充電基準値 V_{AL_C2} から低下することになる。詳細には、“ $V_{BUS} < V_{DET_L}$ ”の成立を契機に充電電流 I_c の値が充電基準値 V_{AL_C2} から充電初期値 V_{AL_C1} へと低下した後、所定時間をかけ

て徐々に（従って連続的に）充電基準値 $V_{AL_{c2}}$ へ戻る。

[0103] 充電用回路 121 において、“ $V_{BUS} < V_{DET_L}$ ” の成立を契機に充電電流 I_c の値を充電基準値 $V_{AL_{c2}}$ から充電初期値 $V_{AL_{c1}}$ へと低下させ、所定時間分、充電電流 I_c の値を充電初期値 $V_{AL_{c1}}$ に維持した後に、充電電流 I_c の値を充電初期値 $V_{AL_{c1}}$ から充電基準値 $V_{AL_{c2}}$ へと戻すようにしても良い。即ち充電電流 I_c の値を段階的に（不連続に）充電基準値 $V_{AL_{c2}}$ へ戻すようにしても良い。この際、充電電流 I_c の値を充電初期値 $V_{AL_{c1}}$ から複数段階を経て充電基準値 $V_{AL_{c2}}$ へ戻すようにしても良い。

[0104] 第4実施例によれば、図4の時刻 t_3 近辺におけるゲート電圧 V_G の急峻な変化が参考動作よりも緩和される。結果、参考動作にて観測される角 E2 の部分の波形が、第4実施例では図4よりも滑らかとなり、放射ノイズの低減が図られる。

[0105] 第4実施例を第1又は第2実施例と組み合わせることができ、更に第3実施例と組み合わせることもできる。第4実施例を第1又は第2実施例と組み合わせたとき、充放電回路 120 は、制御入力信号 S_{IN} のアップエッジにตอบสนองして充電電流 I_c の値を充電初期値 $V_{AL_{c1}}$ （図5又は図13参照）に設定した後、第1所定時間（ T_{up_C1} 又は T_{up_C2} ）をかけて充電電流 I_c の値を充電初期値 $V_{AL_{c1}}$ から充電基準値 $V_{AL_{c2}}$ へと連続的に又は不連続に（段階的に）増大させる。その後、制御入力信号 S_{IN} のハイレベル期間における出力電圧 V_{BUS} の低下過程において、出力電圧 V_{BUS} が所定の下方判定電圧 V_{DET_L} を下回ったとき、充放電回路 120 は、充電電流 I_c の値を充電基準値 $V_{AL_{c2}}$ から充電初期値 $V_{AL_{c1}}$ へと低下させ、その後、第2所定時間をかけて充電基準値 $V_{AL_{c2}}$ へ戻す（図20参照）。

[0106] <<第5実施例>>

第5実施例を説明する。第5実施例では、図4の角 E4 の部分を滑らかにする（換言すれば出力信号の波形から角 E4 を除去する）ための技術を説明する。角 E4 の部分を滑らかにするためには、出力電圧 V_{BUS} の上昇過程において出力電圧 V_{BUS} が電源電圧 V_{DD} の近くまで上昇してきたときに、放電電流 I

I_D を一時的に低下させれば良い。

[0107] 図19に第5実施例に係る放電用回路350Dを示す。放電用回路350Dを図3の放電用回路122として用いることができる。図20に図19の放電用回路350Dが放電用回路122として用いられた場合の幾つかの波形を示す。尚、図20に示される出力電圧 V_{BUS} の波形は、図4の参考動作から見て、角E4を滑らかにする対策のみが施されたと仮定したときの波形である。

[0108] 放電用回路350Dはスイッチ122bと符号351~358によって参照される各部品を備える。符号351~358によって参照される各部品により図3の放電用電流源122aが形成されることができると考えることができる。定電圧生成回路351は、一定の正の電圧値を有する電圧 V_{REF} を生成及び出力する。オペアンプ352の非反転入力端子に電圧 V_{REF} が加わる。オペアンプ352の反転入力端子及び出力端子は短絡される。故に、オペアンプ352はボルテージフォロアとして機能し、自身の出力端子から電圧 V_{REF} を低インピーダンスにて出力する。オペアンプ352の出力端子は抵抗353の一端に接続される。抵抗353の他端はノード361に接続される。ノード361はコンデンサ354を介してグラウンドに接続される。またノード361はスイッチ355の一端に接続され、スイッチ355の他端はグラウンドに接続される。

[0109] ノード361に加わる電圧を記号“ V_{CNT5} ”にて表す。 V/I 変換回路356はノード361に接続されて電圧 V_{CNT5} を受ける。 V/I 変換回路356は電圧 V_{CNT5} を電流 I_D に変換する。

[0110] コンパレータ357は出力電圧 V_{BUS} と所定の上方判定電圧 V_{DET_H} を比較し、比較結果を示す信号を出力する。具体的には、コンパレータ357の非反転入力端子、反転入力端子に対して、夫々、出力電圧 V_{BUS} 、上方判定電圧 V_{DET_H} が入力され、コンパレータ357は、“ $V_{BUS} > V_{DET_H}$ ”の成立時にハイレベルの信号を出力し、“ $V_{BUS} < V_{DET_H}$ ”の成立時にローレベルの信号を出力する。“ $V_{BUS} = V_{DET_H}$ ”のとき、コンパレータ357の出力信号はハイレベル又はローレベルを有する。上方判定電圧 V_{DET_H} は、電源電圧 V_{DD} よりも若干低い正

の電圧値を有し、上述の電圧 ($V_{DD} \times k_H$) より高いと良い。

- [0111] ワンショットパルス生成回路358はコンパレータ357の出力信号に基づき信号T_Dを出力する。信号T_Dは原則としてローレベルを有する。ワンショットパルス生成回路358は、コンパレータ357の出力信号にアップエッジが生じるタイミングにおいて、信号T_Dを所定の微小時間だけハイレベルとする。スイッチ355に信号T_Dが供給され、スイッチ355は信号T_Dのハイレベル期間においてオンとなり、信号T_Dのローレベル期間においてオフとなる。このため、放電用回路350Dにおいて、ノード361の電圧はコンパレータ357の出力信号にアップエッジが生じるたびに0Vに急峻に低下した後、抵抗353及びコンデンサ354の各値による時定数にて電圧 V_{REF} に向けて徐々に（従って連続的に）上昇してゆく。
- [0112] V/I 変換回路356は、電圧 V_{CNT5} が0Vであるときには電流 I_D の値を放電初期値 $V_{AL_{D1}}$ に設定し、電圧 V_{CNT5} が0Vから上昇するにつれて電流 I_D の値を増大させ、電圧 V_{CNT5} が電圧 V_{REF} に等しいときには電流 I_D の値を放電基準値 $V_{AL_{D2}}$ に設定する。 V/I 変換回路356とノード123（図3参照）との間にスイッチ122bが介在する。制御入力信号 S_{IN} のローレベル期間においてのみスイッチ122bがオンとなることで、 V/I 変換回路356の変換にて得られた電流 I_D が放電電流 I_D として出力トランジスタ111のゲートから引き抜かれる。
- [0113] 放電用回路350Dを用いれば、制御入力信号 S_{IN} のローレベル期間における出力電圧 V_{BUS} の上昇過程において、出力電圧 V_{BUS} が所定の上方判定電圧 V_{DET_H} を上回ったとき、放電電流 I_D の値が一時的に放電基準値 $V_{AL_{D2}}$ から低下することになる。詳細には、“ $V_{BUS} > V_{DET_H}$ ”の成立を契機に放電電流 I_D の値が放電基準値 $V_{AL_{D2}}$ から放電初期値 $V_{AL_{D1}}$ へと低下した後、所定時間をかけて徐々に（従って連続的に）放電基準値 $V_{AL_{D2}}$ へ戻る。
- [0114] 放電用回路122において、“ $V_{BUS} > V_{DET_H}$ ”の成立を契機に放電電流 I_D の値を放電基準値 $V_{AL_{D2}}$ から放電初期値 $V_{AL_{D1}}$ へと低下させ、所定時間分、放電電流 I_D の値を放電初期値 $V_{AL_{D1}}$ に維持した後に、放電電流 I_D の値を放

電初期値 $V_{AL_{D1}}$ から放電基準値 $V_{AL_{D2}}$ へと戻すようにしても良い。即ち、放電電流 I_D の値を段階的に（不連続に）放電基準値 $V_{AL_{D2}}$ へ戻すようにしても良い。この際、放電電流 I_D の値を放電初期値 $V_{AL_{D1}}$ から複数段階を経て放電基準値 $V_{AL_{D2}}$ へ戻すようにしても良い。

[0115] 第5実施例によれば、図4の時刻 t_6 近辺におけるゲート電圧 V_G の急峻な変化が参考動作よりも緩和される。結果、参考動作にて観測される角E4の部分の波形が、第5実施例では図4よりも滑らかとなり、放射ノイズの低減が図られる。尚、バスライン51に接続されたプルアップ抵抗52及びコンデンサ54（図3参照）の各値によっては、トランシーバ10側で何ら対策を施さなくとも、角E4の部分の波形は十分に滑らかとなり得る。故に、トランシーバ10において第5実施例による対策は必ずしも必要ではない。

[0116] 第5実施例を第1又は第2実施例と組み合わせることができ、更に第3実施例と組み合わせることもできる。第5実施例を第1又は第2実施例と組み合わせたとき、充放電回路120は、制御入力信号 S_{IN} のダウンエッジにตอบสนองして放電電流 I_D の値を放電初期値 $V_{AL_{D1}}$ （図5又は図13参照）に設定した後、第1所定時間（ T_{up_D1} 又は T_{up_D2} ）をかけて放電電流 I_D の値を放電初期値 $V_{AL_{D1}}$ から放電基準値 $V_{AL_{D2}}$ へと連続的に又は不連続に（段階的に）増大させる。その後、制御入力信号 S_{IN} のローレベル期間における出力電圧 V_{BUS} の上昇過程において、出力電圧 V_{BUS} が所定の上方判定電圧 V_{DET_H} を上回ったとき、充放電回路120は、放電電流 I_D の値を放電基準値 $V_{AL_{D2}}$ から放電初期値 $V_{AL_{D1}}$ へと低下させ、その後、第2所定時間をかけて放電基準値 $V_{AL_{D2}}$ へ戻す（図22参照）。

[0117] <<第6実施例>>

第6実施例を説明する。第6実施例では、上述の各技術に対する補足事項、応用技術又は変形技術などを説明する。

[0118] 通信システム1を自動車等の車両に搭載することができる。自動車等の車両において、LIN規格又はCXP1規格に準拠した双方向通信を行うシステムとして通信システム1を用いることができる。より具体的には例えば、

自動車に設けられたパワーウィンドウ、ミラー、電動シート又はドアロックなどのボディ制御を実現するための信号の通信に、トランシーバ10及び相手側装置30間の通信を用いることができる。

[0119] 但し、通信システム1は車載用途に限定されない。比較的低速の通信が行われる任意の用途に通信システム1を適用できる。

[0120] トランシーバ10は、入力信号に応じた出力信号を出力端子として機能するバス接続端子BUSに生じさせる（換言すればバス接続端子BUSから送信する）信号送信装置を内包する。信号送信装置の構成要素には送信回路TXが含まれ、更にバス接続端子BUSも含まれ得る。信号送信装置にとっての入力信号は制御入力信号 S_{IN} であると解して良い。制御入力信号 S_{IN} はマイクロコンピュータ20からの信号 S_T に基づく信号であるため、信号送信装置にとっての入力信号は信号 S_T であると解しても良い。トランシーバ10及びマイクロコンピュータ20の各機能を内包する半導体装置を形成しても良く、この場合、当該半導体装置内に信号送信装置を設けられることになる。

[0121] 任意の信号又は電圧に関して、上述の主旨を損なわない形で、それらのハイレベルとローレベルの関係は上述したものの逆とされ得る。

[0122] 各実施形態に示されたFET（電界効果トランジスタ）のチャンネルの種類は例示である。上述の主旨を損なわない形で、任意のFETのチャンネルの種類はPチャンネル型及びNチャンネル型間で変更され得る。

[0123] 不都合が生じない限り、上述の任意のトランジスタは、任意の種類（トランジスタ）であって良い。例えば、MOSFETとして上述された任意のトランジスタを、不都合が生じない限り、接合型FET、IGBT（Insulated Gate Bipolar Transistor）又はバイポーラトランジスタに置き換えることも可能である。任意のトランジスタは第1電極、第2電極及び制御電極を有する。FETにおいては、第1及び第2電極の内的一方がドレインで他方がソースであり且つ制御電極がゲートである。IGBTにおいては、第1及び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がゲートである。IGBTに属さないバイポーラトランジスタにおいては、第1及

び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がベースである。

[0124] 本開示の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本開示の実施形態の例であって、本開示ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

[0125] <<付記>>

上述の実施形態にて具体的構成例が示された本開示について付記を設ける。

[0126] 本開示の一側面に係る信号送信装置(10)は、プルアップ抵抗(52)を介して電源電圧(VDD)の印加端(50)に接続されるよう構成された出力端子(BUS)と、前記出力端子とグランドとの間に設けられた出力トランジスタ(111)と、前記出力トランジスタのゲート及び前記出力端子間に接続されたコンデンサ(112)と、入力信号(S_{IN})に応じて前記出力トランジスタのゲートを充電又は放電するよう構成された充放電回路(120)と、を備えて、前記出力トランジスタのゲートの充電又は放電を通じ前記出力トランジスタをオン又はオフすることにより前記入力信号に応じた出力信号を前記出力端子に生じさせ、前記充放電回路は、前記入力信号が第1レベル(例えばハイレベル)を有するときに前記出力トランジスタのゲートに充電電流(I_C)を供給して前記出力トランジスタのゲート電圧を上昇させることにより前記出力トランジスタをオンとし、前記入力信号が第2レベル(例えばローレベル)を有するときに前記出力トランジスタのゲートから放電電流(I_D)を引き込んで前記ゲート電圧を低下させることにより前記出力トランジスタをオフとし、前記充放電回路は、前記入力信号のレベルの変化に応答して前記出力トランジスタをオン及びオフ間で切り替える際、前記充電電流の値又は前記放電電流の値を可変設定する構成(第1の構成)である

- 。
- [0127] これにより、出力トランジスタをオン及びオフ間で切り替える際、出力トランジスタのゲート電圧波形の角部分を除去することができる。これに連動して、出力信号波形の角部分も除去することができ、放射ノイズの低減が図られる。
- [0128] 上記第1の構成に係る信号送信装置において、前記充放電回路は、前記入力信号のレベルの第2レベルから第1レベルへの切り替わりに応答して前記充電電流の値を所定の充電初期値（ $V A L_{c1}$ ）を設定した後、所定の充電基準値（ $V A L_{c2}$ ）に増大させる構成（第2の構成）であっても良い。
- [0129] これにより、出力トランジスタのオフからオンへの切り替わり時における出力信号波形の角部分（E1）を除去することができ、以って放射ノイズの低減が図られる。
- [0130] 上記第1又は第2の構成に係る信号送信装置において、前記充放電回路は、前記入力信号のレベルの第1レベルから第2レベルへの切り替わりに応答して前記放電電流の値を所定の放電初期値（ $V A L_{d1}$ ）を設定した後、所定の放電基準値（ $V A L_{d2}$ ）に増大させる構成（第3の構成）であっても良い。
- [0131] これにより、出力トランジスタのオンからオフへの切り替わり時における出力信号波形の角部分（E3）を除去することができ、以って放射ノイズの低減が図られる。
- [0132] 上記第1～第3の構成の何れかに係る信号送信装置において、前記出力トランジスタのゲートに接続されたブースト回路（150）を更に備え、前記ブースト回路は、前記入力信号のレベルが第2レベルから第1レベルに切り替わったとき、前記充放電回路による前記充電電流とは別に前記出力トランジスタのゲートに対しブースト電流を供給することで、前記出力トランジスタのゲート電圧の上昇速度を高める構成（第4の構成）であっても良い。
- [0133] これにより、信号送信装置の応答性が高まる。
- [0134] 上記第4の構成に係る信号送信装置において、前記ブースト回路は、前記入力信号のレベルが第2レベルから第1レベルに切り替わった後、前記出力

トランジスタのゲート電圧が所定電圧に上昇するまで前記出力トランジスタのゲートに前記ブースト電流を供給する構成（第5の構成）であっても良い。

[0135] 上記第1～第5の構成の何れかに係る信号送信装置において、前記出力トランジスタのゲートから前記出力トランジスタのドレインに向かう順方向を有する上昇抑制ダイオード（114）を、前記出力トランジスタのゲート及びドレイン間に設けた構成（第6の構成）であっても良い。

[0136] これにより、出力トランジスタのゲート電圧の過度な上昇が抑制される。これは、信号送信装置の応答性向上に寄与する。

[0137] 上記第1～第6の構成の何れかに係る信号送信装置において、前記入力信号が第1レベルを有する期間における前記出力信号の電圧の低下過程において、前記出力信号の電圧が所定の下方判定電圧（ V_{DET_L} ）を下回ったとき、前記充放電回路は、前記充電電流の値を低下させる構成（第7の構成）であっても良い。

[0138] これにより、出力信号波形に含まれ得る対応角部分（E2）を除去することができ、以って放射ノイズの低減が図られる。

[0139] 上記第1～第7の構成の何れかに係る信号送信装置において、前記入力信号が第2レベルを有する期間における前記出力信号の電圧の上昇過程において、前記出力信号の電圧が所定の上方判定電圧（ V_{DET_H} ）を上回ったとき、前記充放電回路は、前記放電電流の値を低下させる構成（第8の構成）であっても良い。

[0140] これにより、出力信号波形に含まれ得る対応角部分（E4）を除去することができ、以って放射ノイズの低減が図られる。

[0141] 上記第1～第8の構成の何れかに係る信号送信装置において、前記充放電回路は、前記入力信号が第1レベルを有する期間において前記出力トランジスタのゲートに前記充電電流を供給するよう構成された充電用回路（121）と、前記入力信号が第2レベルを有する期間において前記出力トランジスタのゲートから前記放電電流を引き込むよう構成された放電用回路（122）

）と、を有する構成（第9の構成）であっても良い。

[0142] 上記第1～第9の構成の何れかに係る信号送信装置において、前記出力トランジスタのドレインは、前記出力端子からグラウンドに向かう順方向を有する逆流防止ダイオード（113）を介して前記出力端子に接続される、又は、前記出力トランジスタのドレインは前記出力端子に直接接続される構成（第10の構成）であっても良い。

[0143] 上記第1～第10の構成の何れかに係る信号送信装置において、前記出力端子は、前記プルアップ抵抗と、前記電源電圧の印加端から前記出力端子に向かう順方向を有する逆流防止ダイオード（53）と、を介して、前記電源電圧の印加端に接続される構成（第11の構成）であっても良い。

符号の説明

- [0144]
- 1 通信システム
 - 10 トランシーバ
 - 20 マイクロコンピュータ
 - 30 相手側装置
 - 50 印加端
 - 51 バスライン
 - 52 プルアップ抵抗
 - 53 逆流防止ダイオード
 - 54 コンデンサ
 - 61、62 データライン
 - 63 プルアップ抵抗
 - VIN 電源端子
 - BUS バス接続端子
 - GND グラウンド端子
 - RXD 受信データ出力端子
 - TXD 送信データ入力端子
 - RX 受信回路

- TX 送信回路
- 1 1 1 出力トランジスタ
- 1 1 2 コンデンサ
- 1 1 3 逆流防止ダイオード
- 1 1 4 上昇抑制ダイオード
- 1 2 0 充放電回路
- 1 2 1 充電用回路
- 1 2 1 a 充電用電流源
- 1 2 2 放電用回路
- 1 2 2 a 放電用電流源
- 1 2 1 b、1 2 2 b スイッチ
- 1 3 0 制御入力信号供給回路
- 1 4 0 ゲート電圧制限回路
- 1 4 1、1 4 2 ダイオード
- 1 5 0 ブースト回路
- 1 5 1 電流源
- 1 5 2～1 5 4 トランジスタ
- 1 5 5 抵抗
- S_{IN} 制御入力信号
- V_G ゲート電圧
- V_{BUS} 電圧
- 2 0 0、2 0 0 a 充放電回路
- 2 0 1 定電圧生成回路
- 2 0 2 オペアンプ
- 2 0 3、2 0 4 抵抗
- 2 0 5、2 0 6 コンデンサ
- 2 0 7～2 1 0 スイッチ
- 2 1 1、2 1 2 V/I 変換回路

- 218 ワンショットパルス生成回路
- 250 充放電回路
- 251、252 定電圧生成回路
- 253、254 スイッチ
- 255、256 V/I変換回路
- 257 スイッチ制御回路
- 300C 充電用回路
- 350D 放電用回路
- 301、351 定電圧生成回路
- 302、352 オペアンプ
- 303、353 抵抗
- 304、354 コンデンサ
- 305、355 スイッチ
- 306、356 V/I変換回路
- 307、357 コンパレータ
- 308、358 ワンショットパルス生成回路

請求の範囲

- [請求項1] プルアップ抵抗を介して電源電圧の印加端に接続されるよう構成された出力端子と、
- 前記出力端子とグラウンドとの間に設けられた出力トランジスタと、
- 前記出力トランジスタのゲート及び前記出力端子間に接続されたコンデンサと、
- 入力信号に応じて前記出力トランジスタのゲートを充電又は放電するよう構成された充放電回路と、を備えて、前記出力トランジスタのゲートの充電又は放電を通じ前記出力トランジスタをオン又はオフすることにより前記入力信号に応じた出力信号を前記出力端子に生じさせ、
- 前記充放電回路は、前記入力信号が第1レベルを有するときに前記出力トランジスタのゲートに充電電流を供給して前記出力トランジスタのゲート電圧を上昇させることにより前記出力トランジスタをオンとし、前記入力信号が第2レベルを有するときに前記出力トランジスタのゲートから放電電流を引き込んで前記ゲート電圧を低下させることにより前記出力トランジスタをオフとし、
- 前記充放電回路は、前記入力信号のレベルの変化に応答して前記出力トランジスタをオン及びオフ間で切り替える際、前記充電電流の値又は前記放電電流の値を可変設定する
- 、信号送信装置。
- [請求項2] 前記充放電回路は、前記入力信号のレベルの第2レベルから第1レベルへの切り替わりに応答して前記充電電流の値を所定の充電初期値を設定した後、所定の充電基準値に増大させる
- 、請求項1に記載の信号送信装置。
- [請求項3] 前記充放電回路は、前記入力信号のレベルの第1レベルから第2レベルへの切り替わりに応答して前記放電電流の値を所定の放電初期値を設定した後、所定の放電基準値に増大させる

、請求項 1 又は 2 に記載の信号送信装置。

[請求項4] 前記出力トランジスタのゲートに接続されたブースト回路を更に備え、

前記ブースト回路は、前記入力信号のレベルが第 2 レベルから第 1 レベルに切り替わったとき、前記充放電回路による前記充電電流とは別に前記出力トランジスタのゲートに対しブースト電流を供給することで、前記出力トランジスタのゲート電圧の上昇速度を高める

、請求項 1 ～ 3 の何れかに記載の信号送信装置。

[請求項5] 前記ブースト回路は、前記入力信号のレベルが第 2 レベルから第 1 レベルに切り替わった後、前記出力トランジスタのゲート電圧が所定電圧に上昇するまで前記出力トランジスタのゲートに前記ブースト電流を供給する

、請求項 4 に記載の信号送信装置。

[請求項6] 前記出力トランジスタのゲートから前記出力トランジスタのドレインに向かう順方向を有する上昇抑制ダイオードを、前記出力トランジスタのゲート及びドレイン間に設けた

、請求項 1 ～ 5 の何れかに記載の信号送信装置。

[請求項7] 前記入力信号が第 1 レベルを有する期間における前記出力信号の電圧の低下過程において、前記出力信号の電圧が所定の下方判定電圧を下回ったとき、前記充放電回路は、前記充電電流の値を低下させる

、請求項 1 ～ 6 の何れかに記載の信号送信装置。

[請求項8] 前記入力信号が第 2 レベルを有する期間における前記出力信号の電圧の上昇過程において、前記出力信号の電圧が所定の上方判定電圧を上回ったとき、前記充放電回路は、前記放電電流の値を低下させる

、請求項 1 ～ 7 の何れかに記載の信号送信装置。

[請求項9] 前記充放電回路は、前記入力信号が第 1 レベルを有する期間において前記出力トランジスタのゲートに前記充電電流を供給するよう構成された充電用回路と、前記入力信号が第 2 レベルを有する期間におい

て前記出力トランジスタのゲートから前記放電電流を引き込むよう構成された放電用回路と、を有する

、請求項 1 ～ 8 の何れかに記載の信号送信装置。

[請求項10]

前記出力トランジスタのドレインは、前記出力端子からグランドに向かう順方向を有する逆流防止ダイオードを介して前記出力端子に接続される、又は、前記出力トランジスタのドレインは前記出力端子に直接接続される

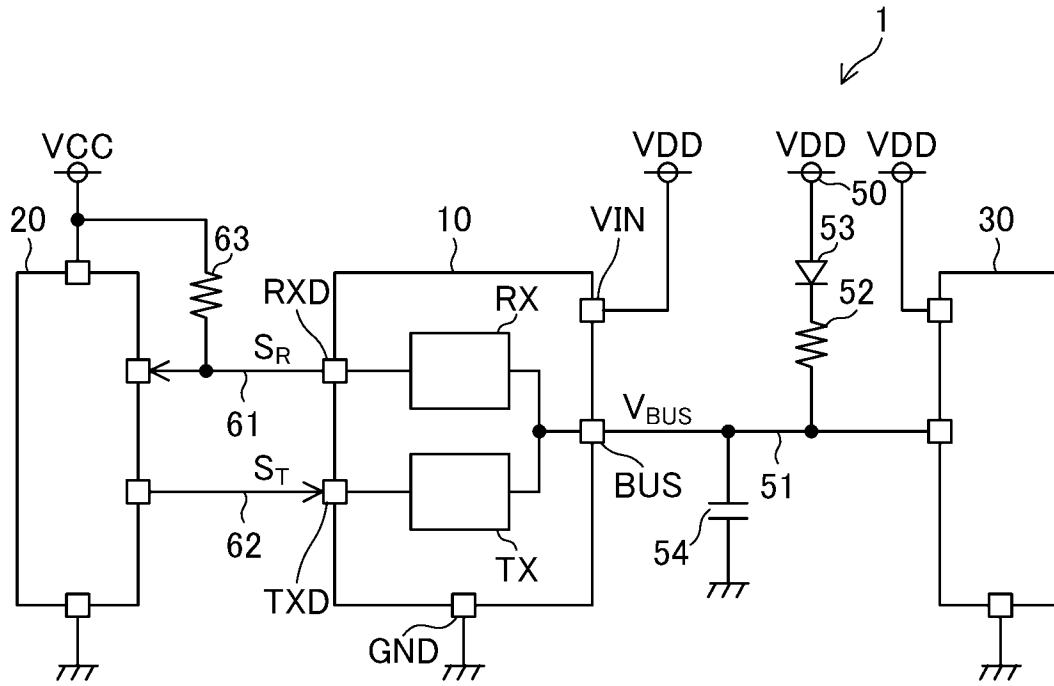
、請求項 1 ～ 9 の何れかに記載の信号送信装置。

[請求項11]

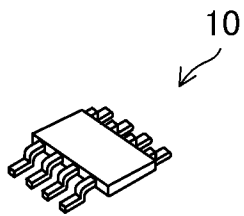
前記出力端子は、前記プルアップ抵抗と、前記電源電圧の印加端から前記出力端子に向かう順方向を有する逆流防止ダイオードと、を介して、前記電源電圧の印加端に接続される

、請求項 1 ～ 10 の何れかに記載の信号送信装置。

[図1]

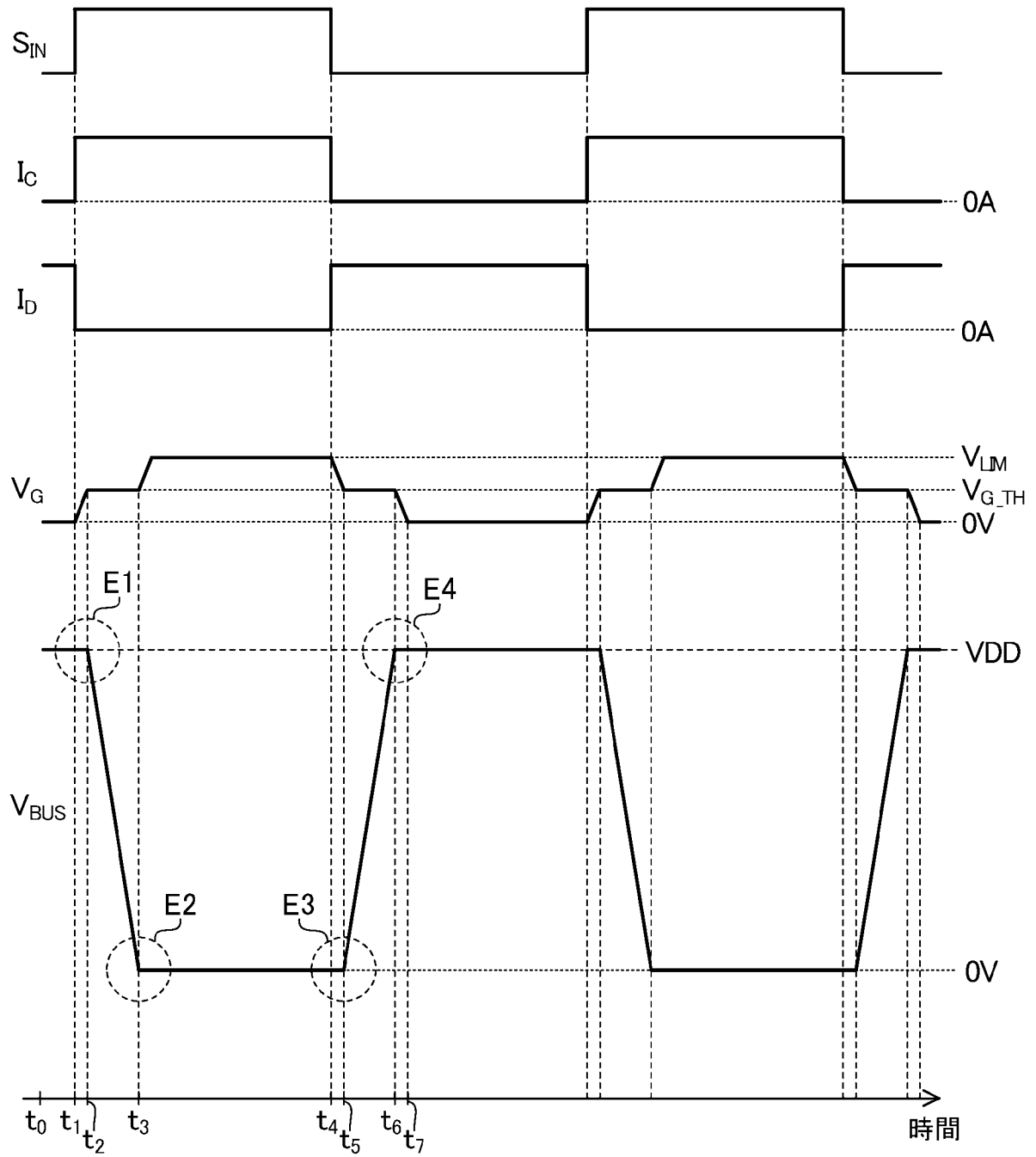


[図2]

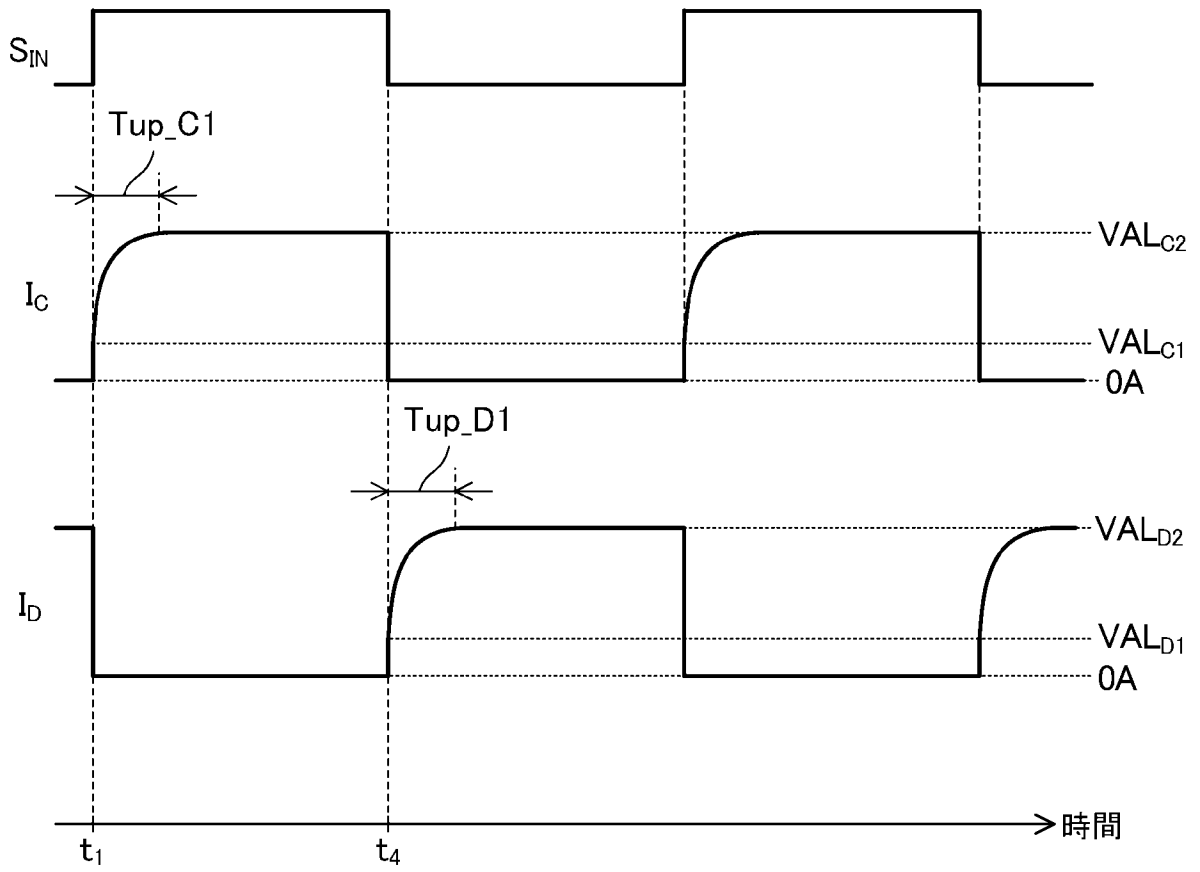


[図4]

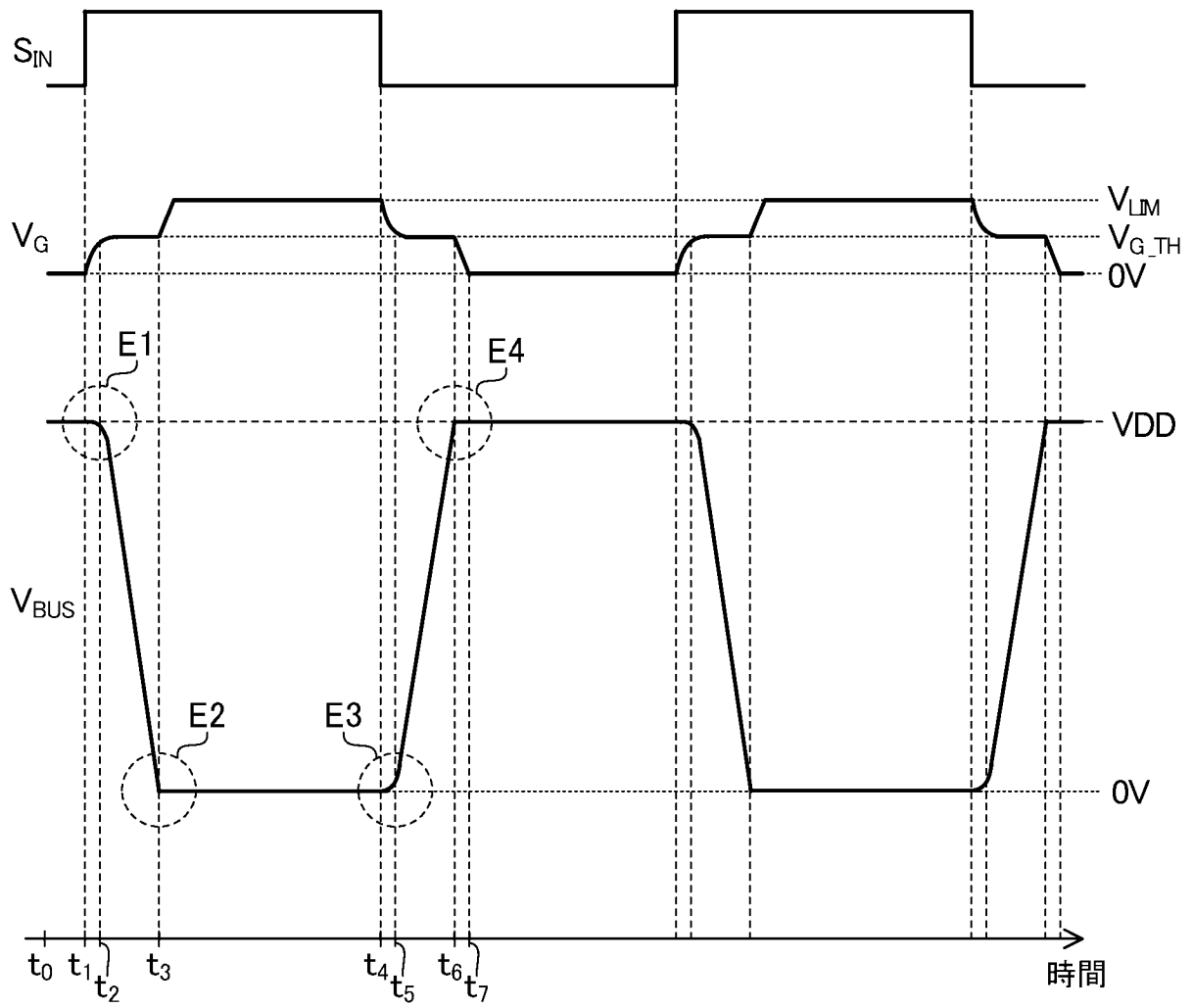
参考動作



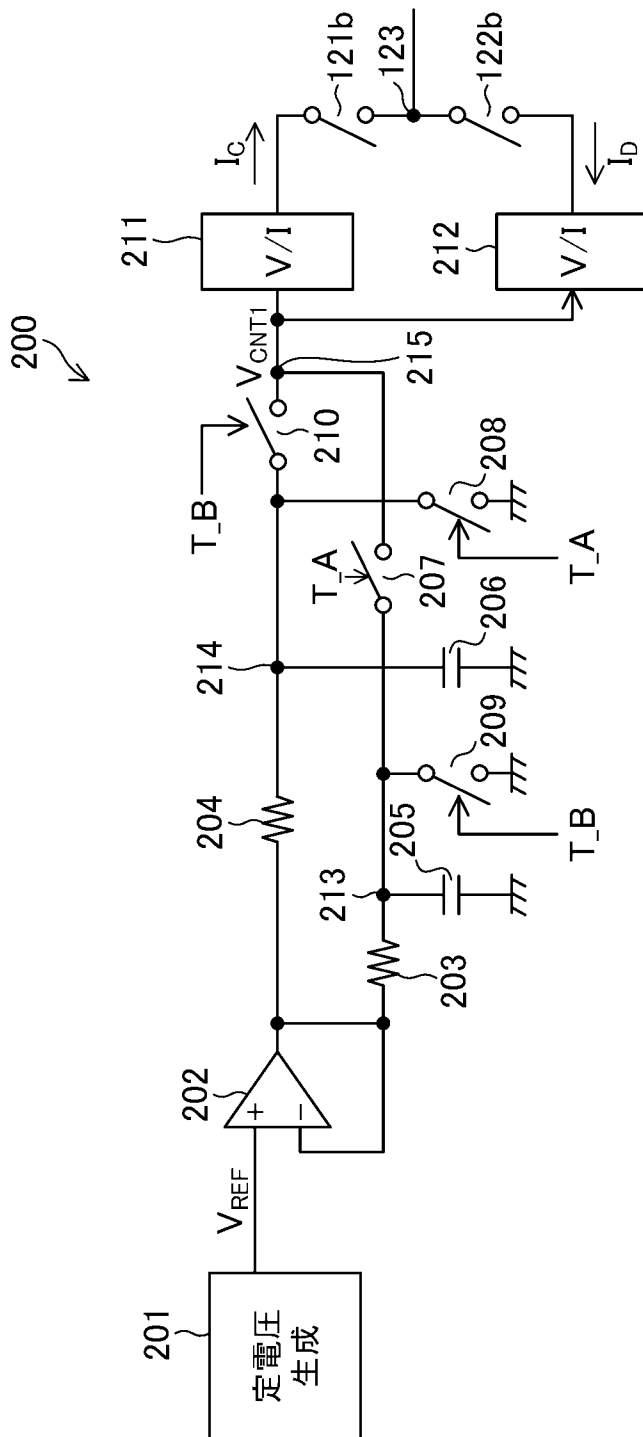
[図5]



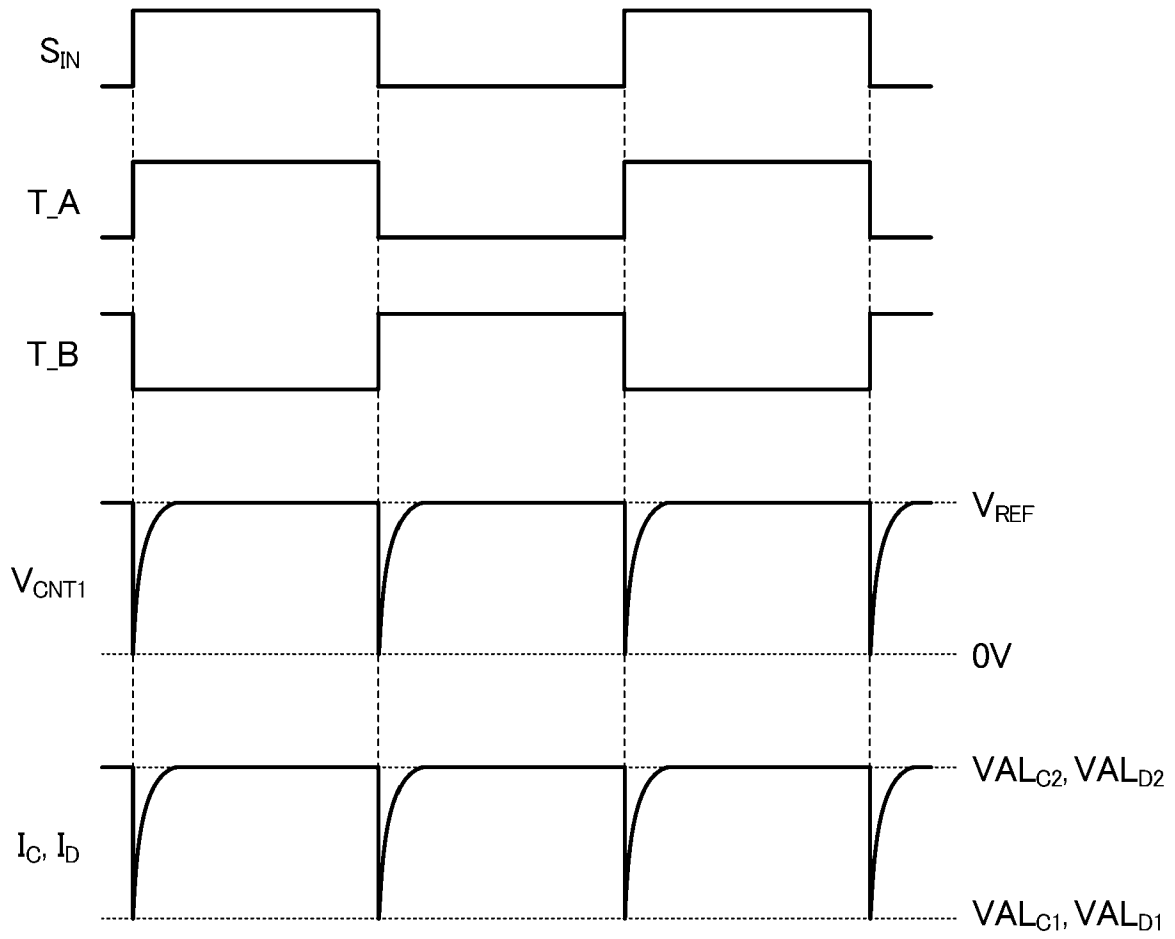
[図6]



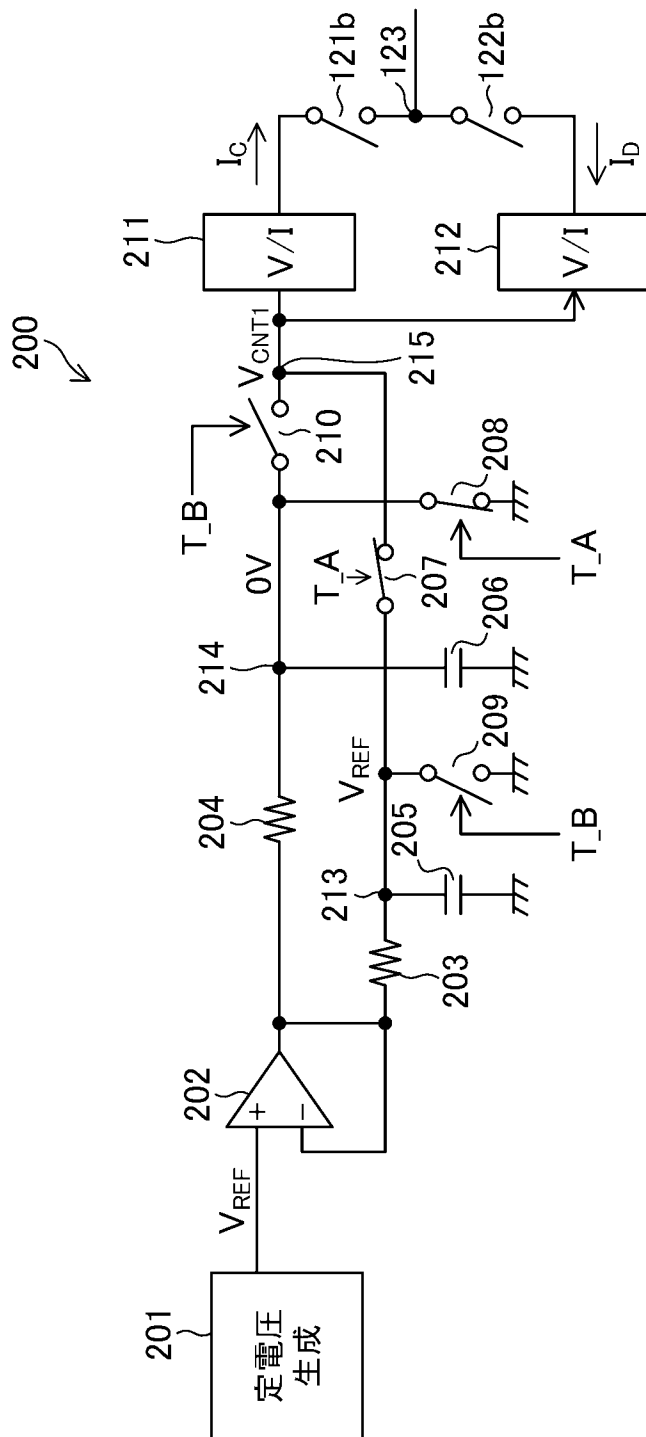
[図7]



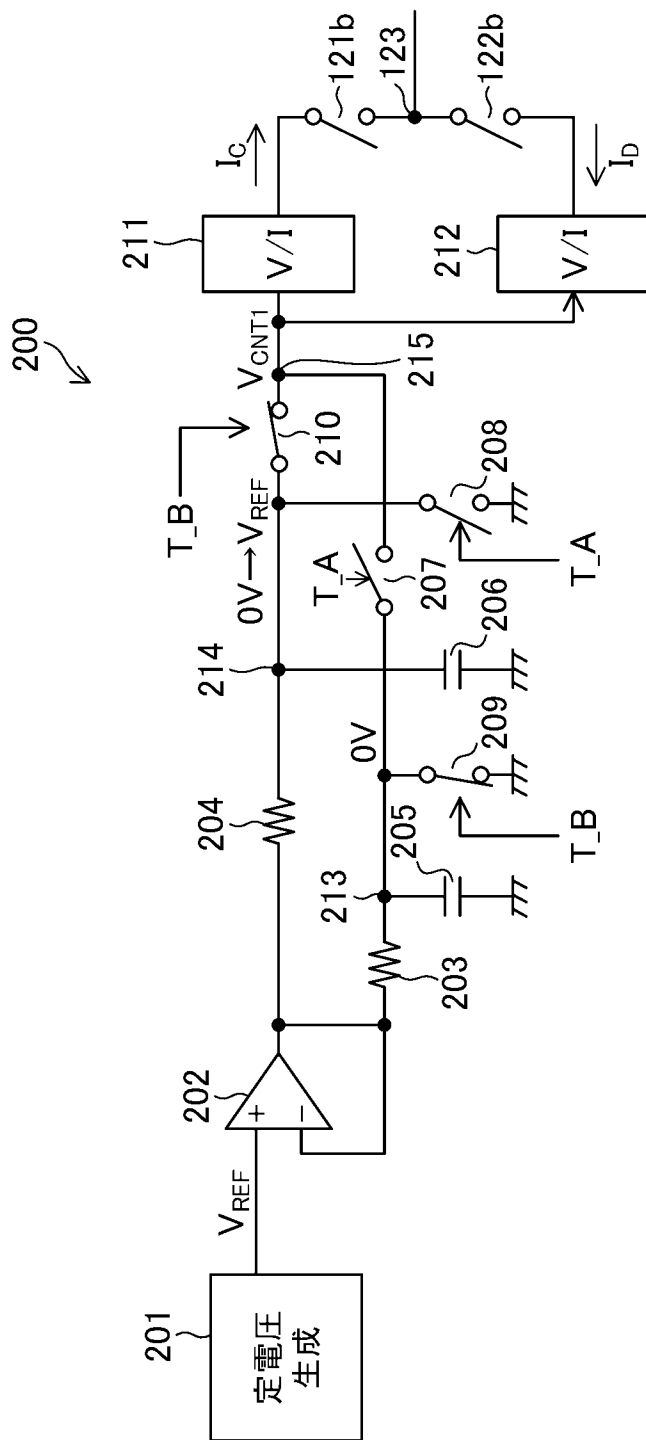
[図8]



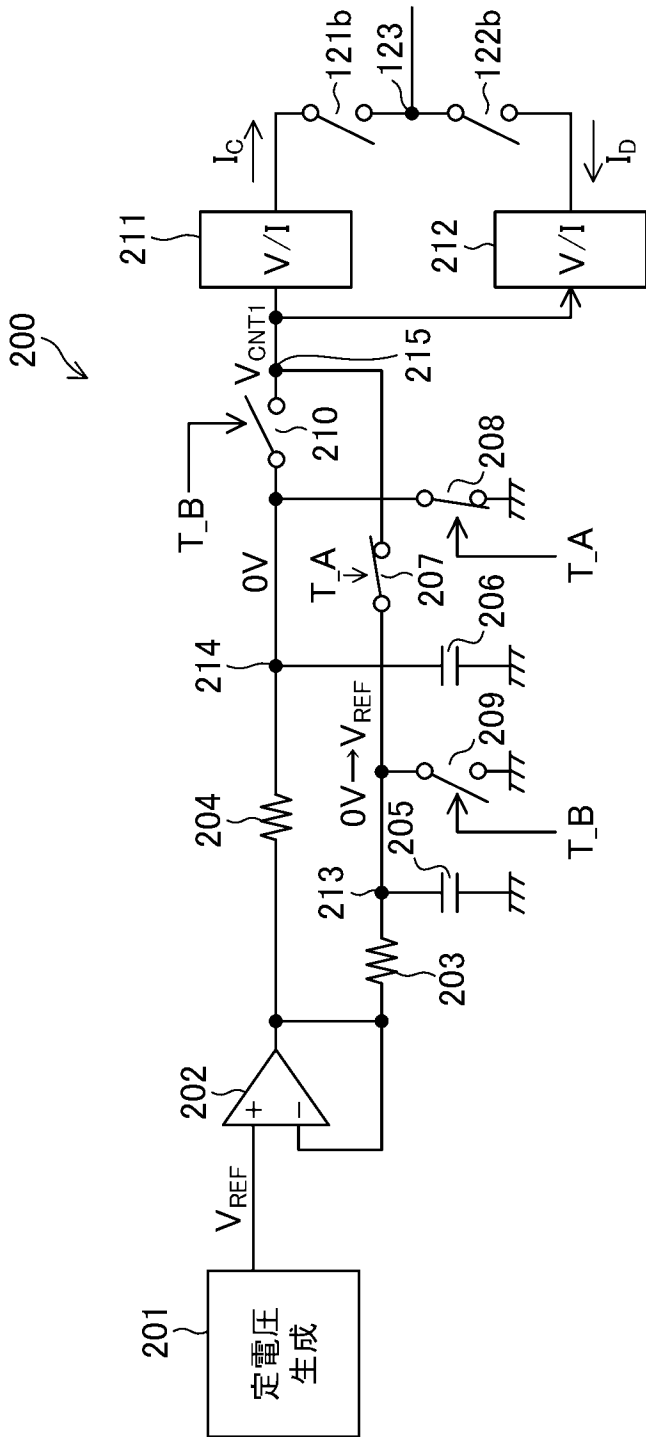
[図9]



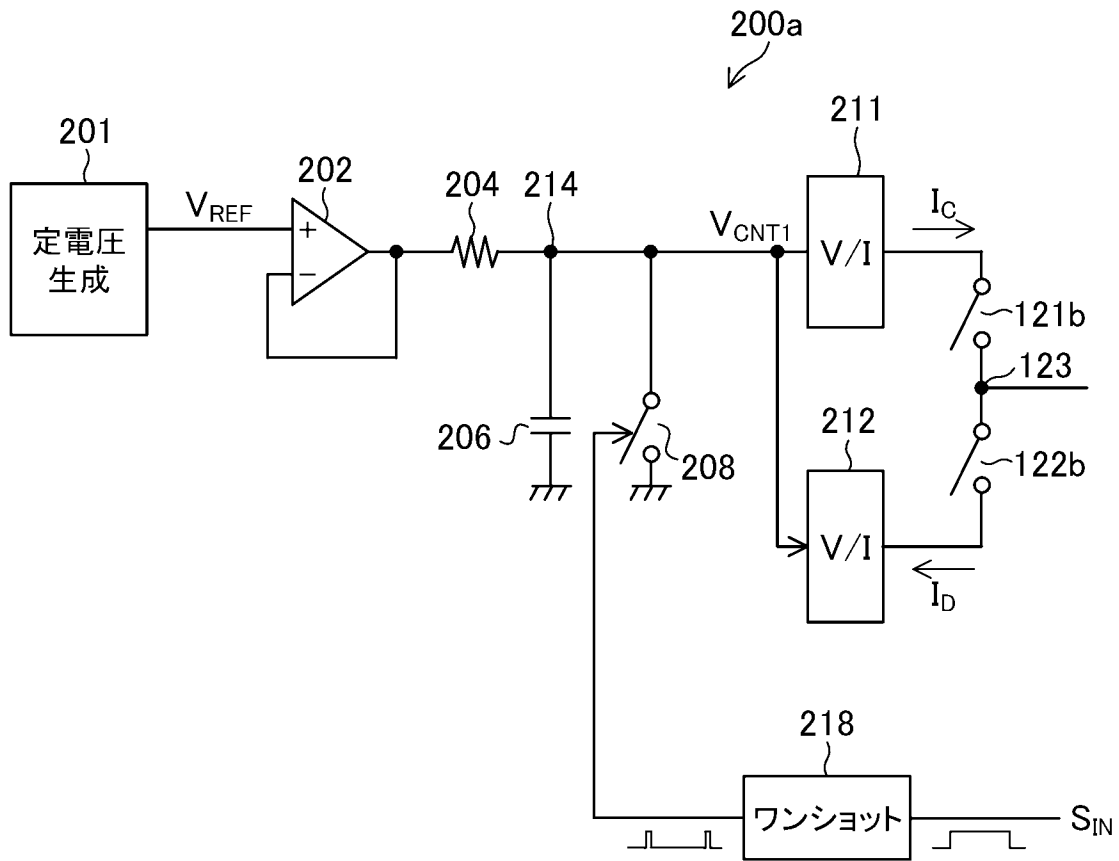
[図10]



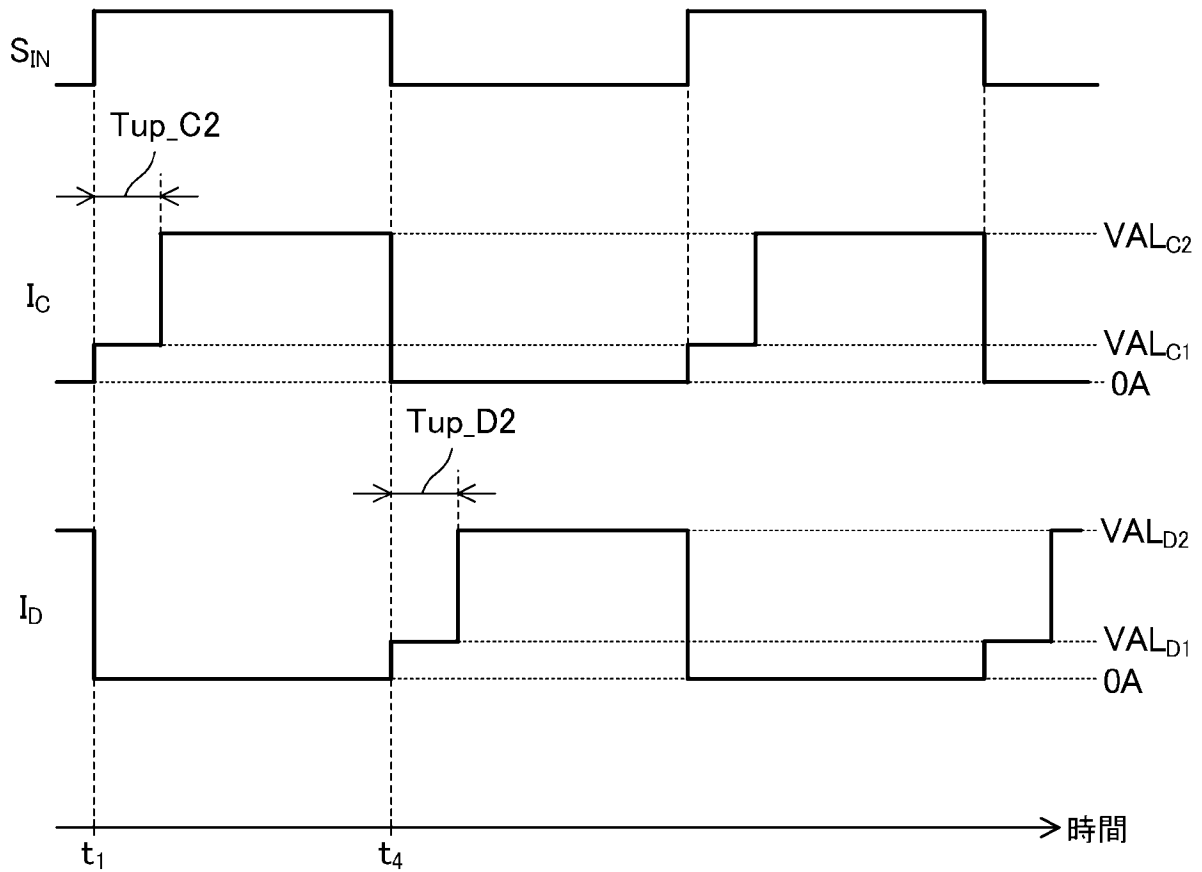
[図11]



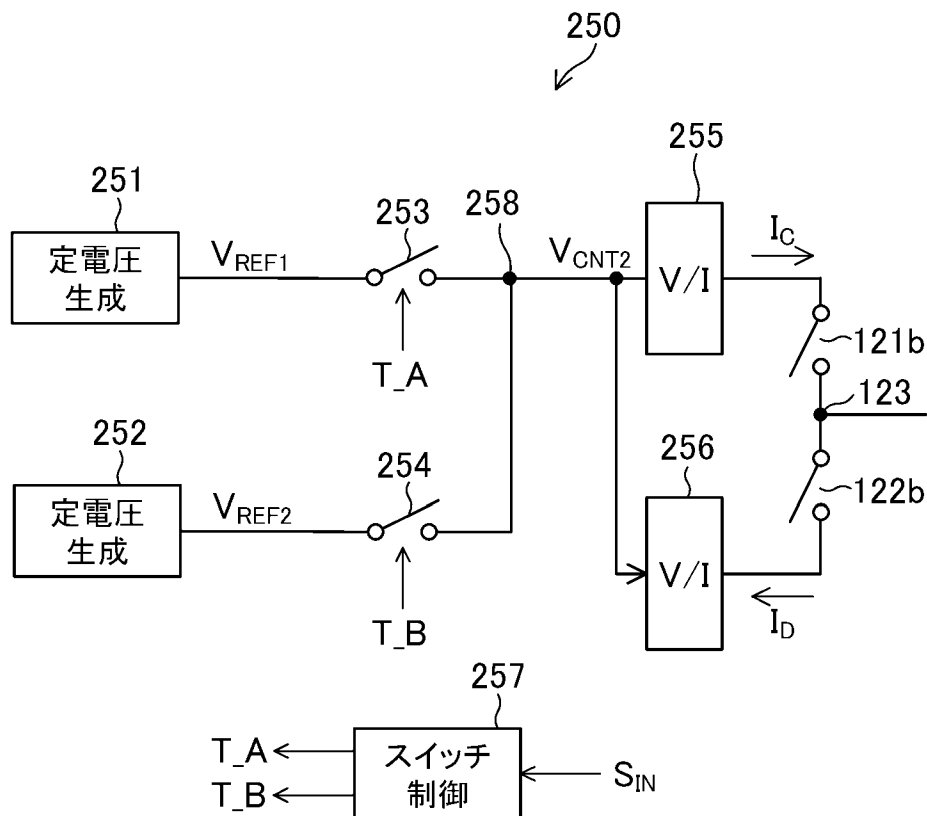
[図12]



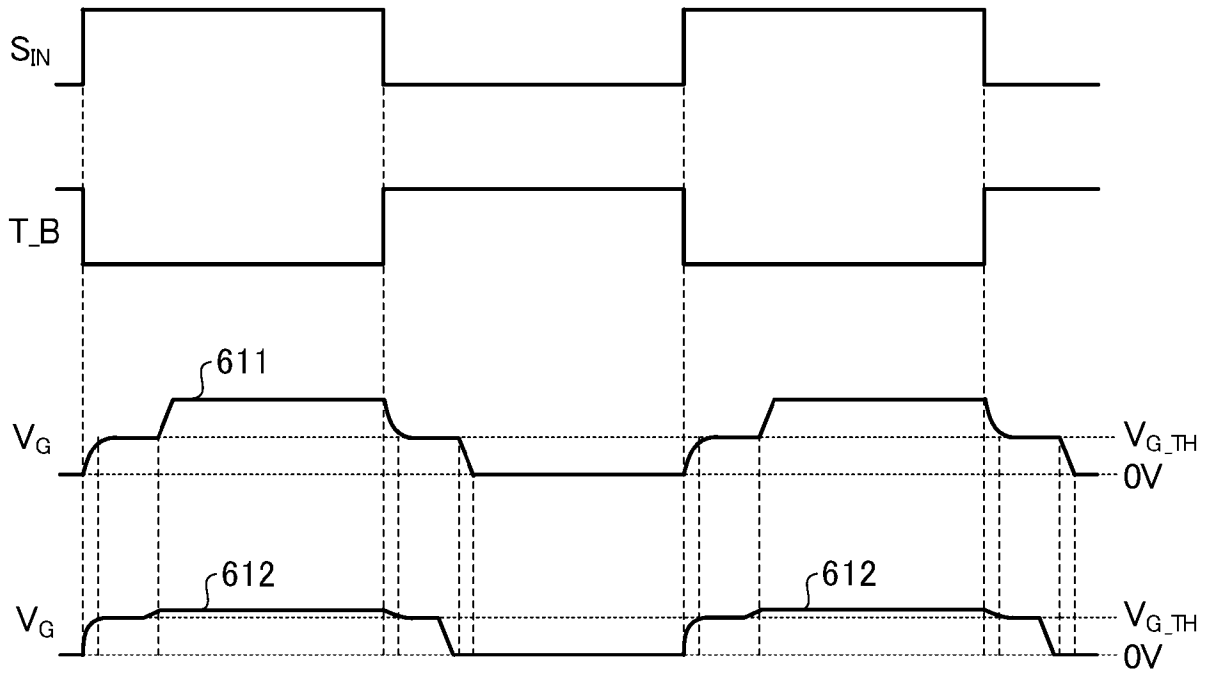
[図13]



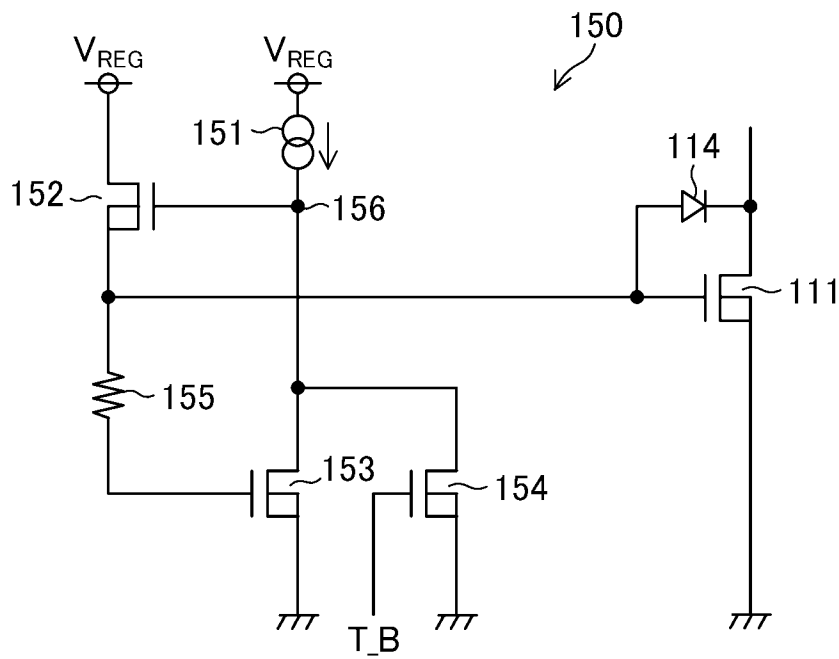
[図14]



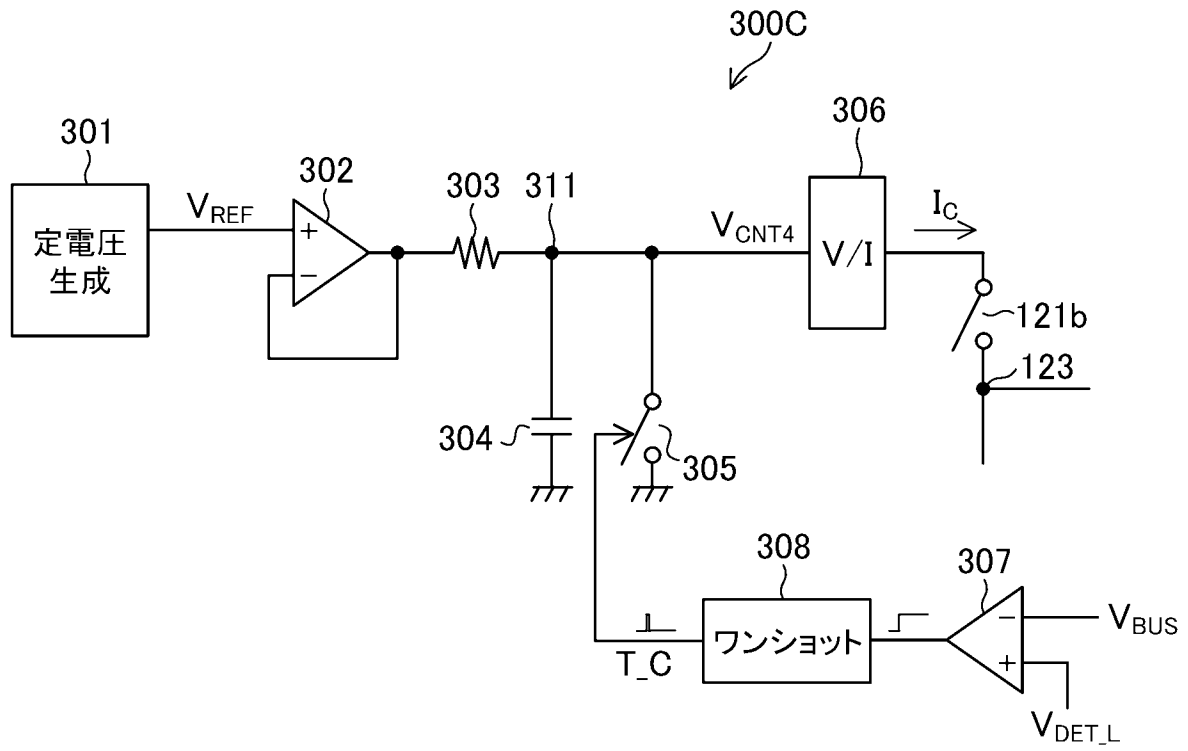
[圖17]



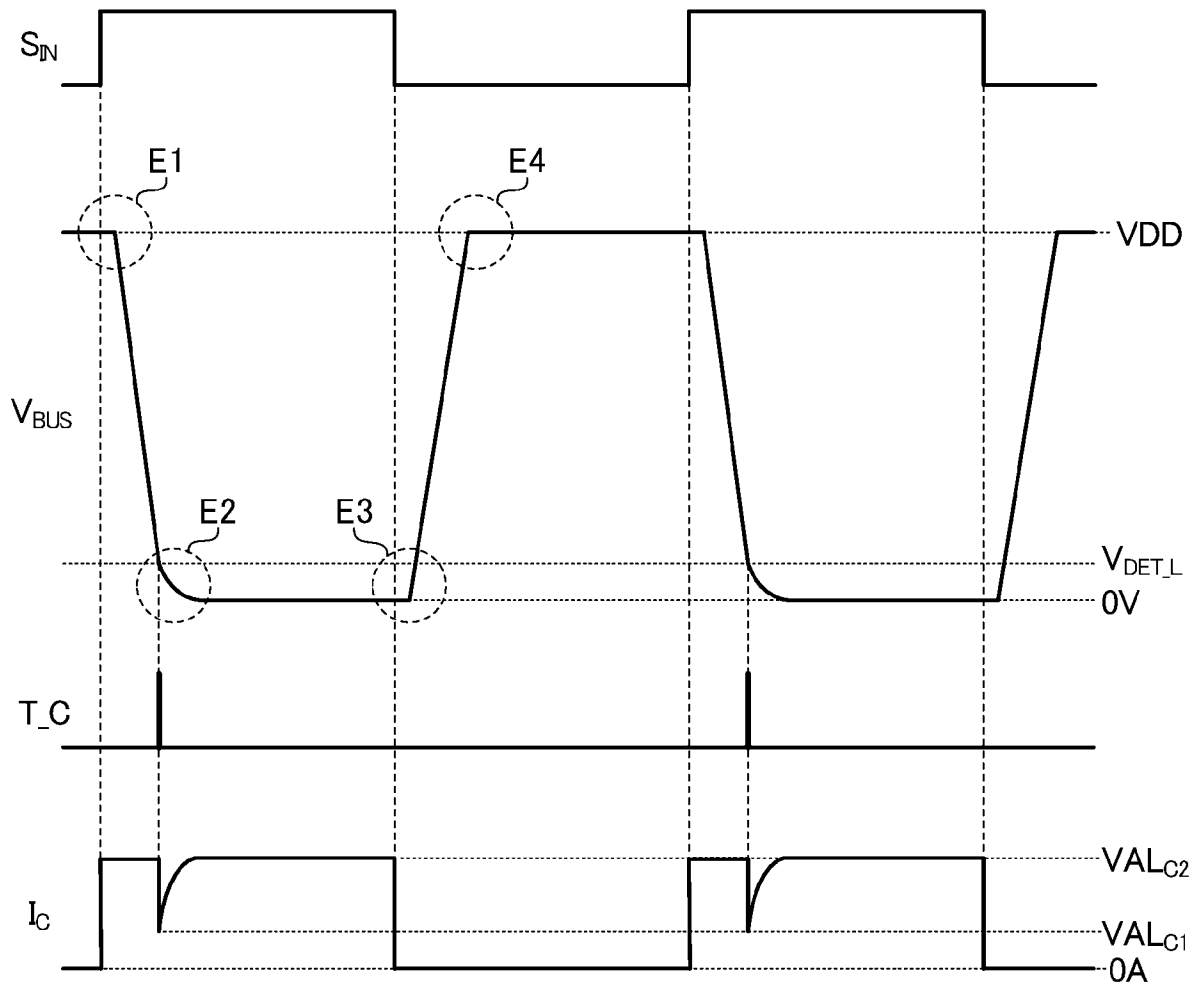
[圖18]



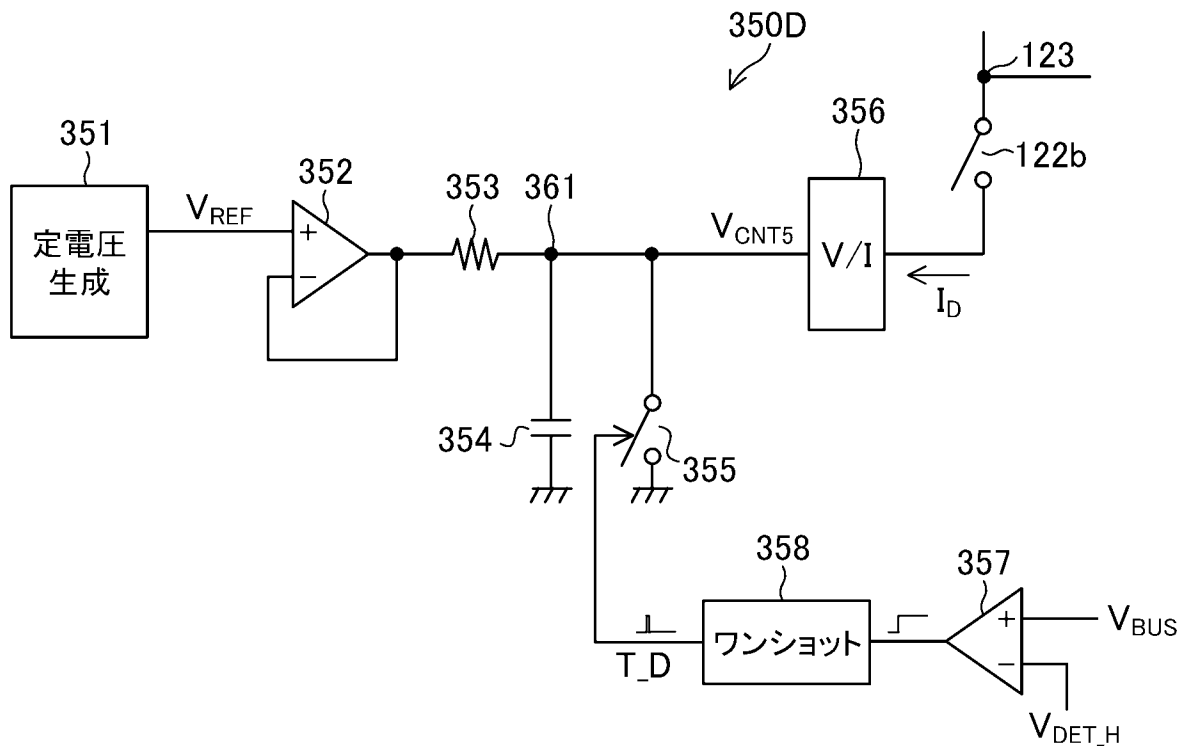
[図19]



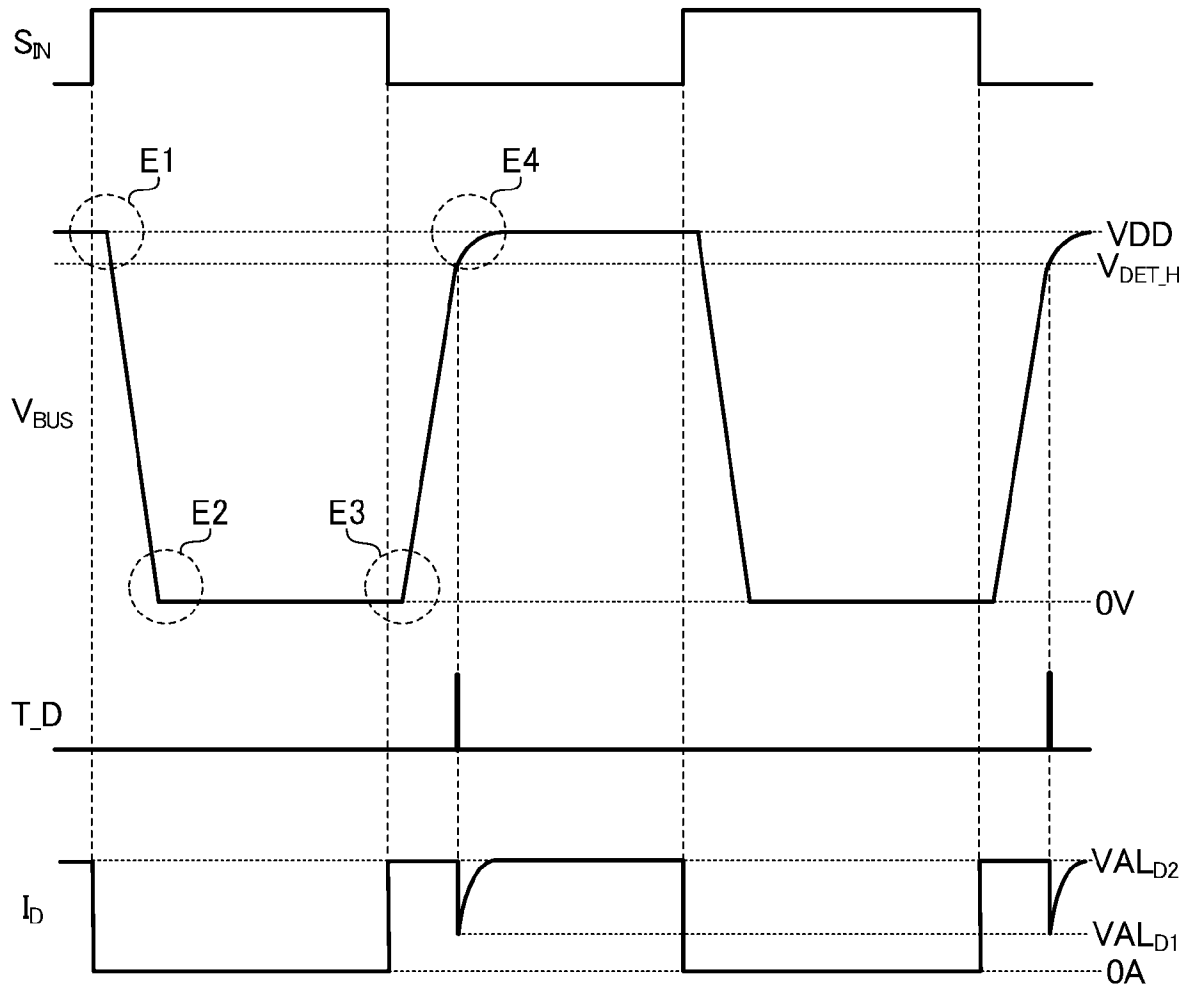
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/023587

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H03K 17/16</i> (2006.01)i; <i>H03K 19/0175</i> (2006.01)i FI: H03K19/0175 220; H03K17/16 H		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03K17/16; H03K19/0175		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-200103 A (ROHM CO LTD) 02 November 2017 (2017-11-02) paragraphs [0020]-[0049], fig. 1	1, 9-11
Y	paragraphs [0020]-[0049], fig. 1	2-6
A	paragraphs [0020]-[0049], fig. 1	7, 8
Y	US 2010/0259300 A1 (BROADCOM CORPORATION) 14 October 2010 (2010-10-14) paragraphs [0033]-[0037]	2-6
Y	JP 2010-512081 A (ATMEL GERMANY GMBH) 15 April 2010 (2010-04-15) paragraphs [0020]-[0031]	4-6
Y	JP 2007-288774 A (TOYOTA CENTRAL RES & DEV LAB INC) 01 November 2007 (2007-11-01) paragraphs [0003]-[0005]	6
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 01 August 2023		Date of mailing of the international search report 15 August 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/023587

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2017-200103 A	02 November 2017	(Family: none)	
US 2010/0259300 A1	14 October 2010	(Family: none)	
JP 2010-512081 A	15 April 2010	US 2008/0205498 A1 paragraphs [0025]-[0036]	
		KR 10-2009-0086467 A	
		CN 101584169 A	
JP 2007-288774 A	01 November 2007	US 2008/0012610 A1 paragraphs [0015]-[0016]	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/16(2006.01)i; H03K 19/0175(2006.01)i FI: H03K19/0175 220; H03K17/16 H		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K17/16; H03K19/0175 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2017-200103 A (ローム株式会社) 02.11.2017 (2017-11-02) 段落 [0020] - [0049], 図1	1、9-11
Y	段落 [0020] - [0049], 図1	2-6
A	段落 [0020] - [0049], 図1	7, 8
Y	US 2010/0259300 A1 (BROADCOM CORPORATION) 14.10.2010 (2010-10-14) [0033] - [0037]	2-6
Y	JP 2010-512081 A (アトメル オートモーティブ ゲゼルシャフト ミット ベシュレンクテル ハフツング) 15.04.2010 (2010-04-15) 段落 [0020] - [0031]	4-6
Y	JP 2007-288774 A (株式会社豊田中央研究所) 01.11.2007 (2007-11-01) 段落 [0003] - [0005]	6
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	01.08.2023	国際調査報告の発送日 15.08.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 小林 正明 5W 4241 電話番号 03-3581-1101 内線 3534	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2023/023587

引用文献	公表日	パテントファミリー文献	公表日
JP 2017-200103 A	02.11.2017	(ファミリーなし)	
US 2010/0259300 A1	14.10.2010	(ファミリーなし)	
JP 2010-512081 A	15.04.2010	US 2008/0205498 A1 [0025]-[0036] KR 10-2009-0086467 A CN 101584169 A	
JP 2007-288774 A	01.11.2007	US 2008/0012610 A1 [0015]-[0016]	