

(19)  
(12)(KR)  
(B1)(51) 。 Int. Cl.<sup>6</sup>  
G06F 13/00(45)  
(11)  
(24)2004 08 16  
10-0436098  
2004 06 04

(21) 10-1997-0008475

(65)

10-1997-0066899

(22) 1997 03 13

(43)

1997 10 13

(30) 623,482 1996 03 28 (US)

(73) , 60196, , 1303

(72) , 78734, , 106

, 78745, , 7806 - A

, 78660, , 1103

, 78748, , 10559

(74)

:

(54) , ,

가 (810)

, (3) , , , 가

(8) , 가

가 가

가 , 가

[illegible]

(DRAM), 가 ,

(DRAM)

(inexpensive)

DRAM

DRAM

가 . DRAM

, DRAM 가

가 DRAM

(Row Address Strobe)) CAS( (Column Address Strobe)) RAS(

DRAM 가 , DRAMW 가

[illegible]

, '\$' 가 16 16  
 , '%' 가 2 2  
 , 가  
 2 (202)  
 (3), (205), (206) DRAM(207) (3) E- (202)  
 xternal Bus) (205), (206) DRAM(207) (3) E- ( ; E  
 s Arbitration bus), / 기록(R/  $\overline{W}$ ) (205), (206) DRAM(207) (3) E- ( (Bu  
 (205) (205), (206) DRAM(207) E- (3) (3)  
 ) E- (205), (206) DRAM(207) (RAS) (CAS) DRAM (3)  
 ) (WE) DRAM(207) (3) E- (CS) (DRAMW  
 (BR) (BR) (BD) (206) (compilation) (BR),  
 3 (3)  
 (8), (9), (12), (13), (14) (10) (8) S  
 - (8) E- (12) (13) (14) S- (23) 3  
 (8) M- (23) (9) (14) M- (23)  
 (3)  
 (9) CPU(2), (MMU)/ (4) (6) CPU(2), MMU/ (4), (4)  
 6) (10) K- (25) CPU(2) (6) MMU/ (4)  
 U(2) MMU/ (4) M- (23) (10) (3) (3) CP  
 ) (10) (3) (3)  
 4 (8) (8) (8) (802), (8  
 04), (806), (808), (810) (802), (8  
 E- (802) (802) M- (23)  
 (MData) (802) (802)  
 (804) (804) (804) M- (23) (804)  
 (804) (WE) (CS) DRAM (DRAMW) (RAS)  
 (CAS) (TA) E- (810) (804)  
 DRAM\_ CS\_ (808)  
 (804) int\_ext\_ (가 ) (806) (BD)  
 (806) (BG) (BR) (BD)  
 E- int\_ext\_  
 (808) (808) (TS) / 기록(R/  $\overline{W}$ )  
 E- (808) (808) (MADDR) ,  
 (MTS) (MSIZE) / 기록(R/  $\overline{W}$ ) M-  
 (8) (810)  
 (810)  
 (810) 12a 12c 13a 13e  
 (CSCRO-CSCR7) (CSARO-7), (CSMRO-CSMR7)  
 (CSAR) 12a  
 (BA31 BA16)  
 가  
 (CSMR) 12b CSMR  
 CSMR

12b , BAM31 BAM16

'AND' . 2 , CSAR

가 1 ,  
가 0 ,

CSAR

. CPU, SC, SD, UC UD

CSMR

가

(SC),

CPU

(UD)

. CSMR

(SD),

(UC)

가 1 ,

가 (assert)

. CSMR

가 0 ,

12c

(CSCR)

CSCR

, CSO , 0(CSO)  
가(boot)  
ROM

, CSO

, CSO

(assert)

. CSO

ROM

CSMR(CSMRO)

, CSO

1 CSO

[ 1]

집적회로 핀 A	집적회로 핀 B	부트 CS0 포트 사이즈
0	0	32-비트 포트
0	1	8-비트 포트
1	0	16-비트 포트
1	1	16-비트 포트

2

(3)

. CSO

[ 2]

집적회로 핀 C	부트 CS0 내부 자동 확인
0	디스에이블됨
1	15의 대기상태와 함께 인에이블됨

12c

(WS[3:0])

AA( )

EMAA( )

) 가 1

, WS[3:0]

가

EMAA

(assert)

WS[3:0]

EMAA

(hit)

가

1 ,

(804)

(assert)

(205)

(TA)

. EMAA가

0 ,

(804)

(205)

TA 가

TA

AA

(assert)

AA

가

1

TA WS[3:0]

(assert)

(804)

. AA

가

0

가

(205)

PS[1:0]( )

가

가

. PS

가

가

PS 가 2 00 ,

32

[31:0]

PS 가 2 01 ,  
 8 [31:24]  
 PS 가 2 10 , 16 [31:16]  
 BRST( ; Burst Enable) 가 (burstability)  
 BRST 가 1 , , 8 16 가  
 (longword) , 8 8, 16 32 가  
 BRST 가 0 ,  
 ASET( ; Address Setup Enable) (indicator) 가  
 (assert) . ASET 가 0 , 가  
 (assert) . ASET 가 1 , 가  
 (assert)  
 WRAH( ; Write Address Hold Enable)  
 . WRAH 0 ,  
 . WRAH 가 1 ,  
 (assert)  
 RDAH( ; Read Address Hold Enable) 가  
 (assert) . RDAH 0 ,  
 . RDAH 가 1 가 ,  
 (assert)  
 WR( ; Write Enable) (assert) 가 1  
 . WR 가 0 가 ,  
 가 ,  
 RD( ; Read Enable) (assert) . RD 가 0  
 가 , . RD 가 1 가 ,  
 (810) DRAM (DCRR), DRAM (DCTR),  
 (DCAR0-DCAR1), (DCMR0-DCMR1)  
 (DCCR0-DCCR1)  
 DCCR 13a . DRAM (RC11-RC0) (804)  
 13a , 16  
 13b DCTR DRAM DRAM  
 (804) DRAM  
 (RAS) (CAS) . DCTR , DRAM (804)  
 (DAEM) DRAM  
 . DAEM DRAM  
 , DAEM 가 0 가 ,  
 , DAEM 가 1 ,  
 DRAM  
 EDO( ; Extended Data Out) DRAM EDO DRAM  
 EDO CAS (assert) (804)  
 (804)가 EDO DRAM CAS  
 RCD(RAS CAS ) (assert) CAS (assert)  
 (non-page)  
 . RCD 가 0 , RAS CAS (assert)  
 (assert) . RCD 가 1 , RAS CAS (assert)  
 (assert)  
 2 RSH1-RSH0( - RAS ) CAS (assert) RAS 가 (asser  
 t) RA  
 S 가 2 00 , RAS CAS (assert) 1 (as  
 1/2 , 가 2 01 , RAS CAS  
 sert) 2 1/2 , 가 2 10 , RAS CAS  
 (assert) 3 1/2

CRP1-CRP0( - CAS-RAS ) 가 - - (back-to-back) DRAM  
 . CRP 가 2 00 , RAS CAS 1 1/2 (ass  
 ert) . CRP 가 2 01 , RAS CAS 2 1/2  
 (assert) . CRP 가 2 10 , RAS CAS  
 3 1/2 (assert) ) EDO DRAM CAS  
 CAS( 가 3 CAS EDO

[ 3]

CAS	EDO	CAS 액티브 시간 (시스템 클럭의 수)
0	0	1.5
0	1	1.0
1	0	2.5
1	1	2.0

CP(CAS ; CAS Prechsrge Timing) EDO , DRAM CAS 가

CAS . 4 CP EDO

[ 4]

CP	EDO	CAS 인액티브 시간(시스템 클럭의 수)
0	0	0.5
0	1	1.0
1	0	1.5
1	1	2.0

CSR(RAS CAS CAS ; CAS Setup Time for CAS Before RAS Refresh)

. CSR 가 0 CAS (assert) RAS (assert)  
 (assert) . CSR 가 1 , CAS RAS (assert) 1 2  
 (assert) . DRAM (DCAR) 13c DRAM DRAM 가

DRAM DRAM (DCMR) 13d DCMR DCMR

13d , BAM31 BAM17

DRAM  
DCAR

'AND' . 2

DRAM 가 1 , DRAM  
가 0 ,

DCAR

. SC, SD, UC UD  
DRAM  
-DRAM

DCMR

가  
(SC), DRAM

. DCMR

(UC)  
가 1 ,

가  
(assert) DRAM

DRAM

-DRAM  
DRAM

. DCMR  
. DRAM

13e DRAM

(DCCR)

DCCR

. DCCR , PS[1:0](  
가 2 00 ,

) DRAM

PS

[31:0]

. PS 32 가 2 01 ,

8

[

31:24] , PS 가 2 10 , 16 PS 가 2 11 [31:16] 16 , [31:16] BPS[1:0] . BPS 가 2 00 DRAM 512 DRAM . BPS 가 2 01 2 K 1K , BPS 가 2 10 , (PS[1:0]) (BPS[1:0]) DRAM (column address phase) 14a 14c PM[1:0]( ; Page Mode Select) DRAM . PM 가 2 00 , . PM 가 2 11 , WR( ; Write Enable) DRAM (assert) . WR 가 1 , DRAM RD( ; Read Enable) DRAM (assert) . RD 가 1 , DRAM 2 , (205) (3) DRAM(207) (3) DRAM DRAM (205) (TS) , / (R/  $\overline{W}$ ) (3) (assert) (205) (3) , TS, R/  $\overline{W}$  , ( 2 (205) ) . TS (assert) (3) , RAS( (3) ) (assert) . CAS (assert) , (205)가 (3) , 가 (3) , 가 가 . 가 , 가 가 . (205)가 가 ( 가 (3)) (3) , 가 (assert) , (3) 가 가 3 (4) (3) K- (25) (3) , (9) CPU(2), MMU/ , K- (25)



(6) RAM, ROM, FLASH, DRAM, M- (23) (9) M- (23)

(8) (8) S- (8) M- (23) E- (focal point) (3)

S- (12 13)

(9) K- (25)

(23) (9) M- (23) E- (14)

(12 13) S-

2 (205) 가 (3)

DRAM (8) (8) 4

(202) 가 (205)( 2 ) , TS(

) 가 (assert) , R/  $\overline{W}$

4 5

TS , R/  $\overline{W}$  가 (205)

(808)( 4 ) (806)( 4 ) (3)가

E- . BG BD 가 E-

(806)  $\overline{int\_ext\_}$  (assert) . BD 가 E-

ership) (806) . BR 가 E- (mast

가 (assert) (205)가 DRAM(207) (206)

G (assert) (806)  $\overline{int\_ext\_}$  (806) B

(assert) ,  $\overline{int\_ext\_}$  (804)

(808)

) , TS 가 (808) (assert)

R/  $\overline{W}$  (202) 가 가

(808) 가 DRAM(207)

DRAM\_ (DRAM\_hit) (assert)

가 (206) 가 (808)

(assert) (206) , CS\_

(206) 가

(808) , CS\_ (assert) 가

OM, FLASH, (206) SRAM, ROM, EEPROM, EPR

가

DRAM

5 (205) DRAM(207)

DRAM\_ 가 DRAM(207)

(804) (810) DCTR ( 13b ) DAEM(Drive Address

s during External Master DRAM accesses) 가 (205) DRAM(207)

(804)

DAEM 가 ( 1 ) , (804)

(808)가 E-

DCTR RCD 1/2 , RAS (804) (assert)

14a 14c (808) E-

(808)

1/2 , CAS (804)

(assert) , DRAMW (804) DRAM(207) D

RAM(207) DRAMW (804) DRAM(207) 가

, TA( ; Transfer Acknowledg) (assert)

6 9 (804)

6 DRAM(207)  
 (810) DCTR DAEM 가 (assert) 1 6 , Cl  
 k(Clock) 가 . , , (205) 1  
 , R/  $\overline{W}$  (TS) , R/  $\overline{W}$  (3)가 DRAM(207)  
 1 , R/  $\overline{W}$  (205)가 (205) TS  
 (tri-state)  
 TS 가 (8) (808)  
 , DRAM(207) (205)  
 (808)가 DRAM(207)  
 (804) DRAMW (assert) DRAM(  
 1/2 (804) (804)  
 207) RAS (assert) 1/  
 가 가 , 가 (808) , DRAM(207)  
 2 , 가 (808)가 DRAM(207) (80  
 4) 가 CAS (assert)  
 1/2 (804) (205)  
 TA (assert)  
 TA 가 (assert) (805) RAS , CAS , TA  
 , DRAM(207) (tri-state)  
 , DRAM 6 6  
 (205) (TS) , R/  $\overline{W}$  1  
 (3) , R/  $\overline{W}$  (3)가 DRAM(207)  
 (assert)  
 (205)가 , TS  
 (205) (tri-state)  
 TS 가 (8) (808)  
 DRAM(207) (205)  
 (808)가 DRAM(207)  
 (804) DRAMW (804)  
 (808)가 1/2 (804)  
 가 DRAM(207) RAS (assert)  
 가 (808) DRAM(207) 가  
 (808)가 1/2 (804  
 가 DRAM(207) CAS (asser  
 )  
 t)  
 1/2 (804) TA (assert)  
 . TA 가 , E- DRAM(207)  
 (205)  
 TA 가 (assert) , RAS , CAS , TA  
 (804) (tri-state)  
 7 DRAM(207)  
 (810) DCTR DAEM 가 (assert) 2 7 , Cl  
 k(Clock) 가 . , , (205) 1  
 , R/  $\overline{W}$  (TS) , R/  $\overline{W}$  (3)가 DRAM(207)  
 1 , R/  $\overline{W}$  (205)가 (205) TS  
 (tri-state)  
 TS 가 (8) (808)  
 , DRAM(207) (205)

(808)가 DRAM(207) ,  
 (804) , DRAMW (assert) ,  
 1/2 가 RAS (804) 가 DRAM(  
 207) 가 (assert) ,  
 가 , 가 (808) , DRAM(207)  
 2 , DRAM(207) . 1/  
 4) 가 (808)가 DRAM(207) CAS (assert) (80  
 1/2 (804) (205)  
 TA (assert) ,  
 TA 가 (assert) , (804) CAS TA  
 , DRAM(207) - (tri-state) . RAS  
 가 (assert) . RAS  
 DRAM 가 (1),  
 DRAM 가 (2),  
 (3) (assert)  
 , DRAM 7 . 7  
 (205) , (TS) , R/  $\overline{W}$  1  
 (3) 1 , R/  $\overline{W}$  (3)가 DRAM(207)  
 (assert)  
 (205)가 , TS  
 (205) - (tri-state) .  
 TS 가 (808) 가  
 , DRAM(207) , DRAM(207)  
 (808)가 1/2 (804  
 가 DRAM(207) CAS (asser  
 ) t) TA (assert)  
 1/2 . TA 가 , E- DRAM(207) TA (assert)  
 (205) . TA 가 (assert) , CAS TA  
 (804) DRAM(207) -  
 (tri-state)  
 8 DRAM(207)  
 (810) DCTR DAEM 가 (assert) 2 . 8 , Cl  
 k(Clock) 가  
 8  
 $\overline{W}$  (205) 1 (TS) , R/  
 (3) (3) 1 , R/  $\overline{W}$   
 (3)가 DRAM(207)  
 (205)가 (205) TS  
 , - (tri-state) . TS 가  
 (8) (808) , DRAM(207)  
 (205)  
 (808)가 DRAM(207) (804) ,  
 DRAMW (assert) . 1/2 (804)  
 가 DRAM(207) RAS (assert)  
 가 , 가 (808) , DRAM(207)  
 2 , DRAM(207) . 1/  
 4) 가 (808)가 DRAM(207) CAS (assert) (80  
 1/2 (804) (205)  
 TA (assert) ,  
 TA 가 (assert) , (804) RAS , CAS TA  
 , DRAM(207) - (tri-state) .  
 , DRAM 8 . 8  
 (205) , (TS) , R/  $\overline{W}$  1

(3) 1, R/  $\overline{W}$  (3)가 DRAM(207)  
(assert)  
(205)가 , TS (808) DRAM(207) T  
S 가 , (8) (205) (804)  
(808)가 DRAM(207) (804)  
DRAMW  
(808)가 1/2 (804)  
가 가 DRAM(207) RAS (assert)  
(808) , DRAM(207)  
가 가 DRAM(207)  
(808)가 1/2 (804)  
가 CAS (asser  
) t) 1/2 (804) TA (assert)  
. TA 가 , E- DRAM(207)  
(205) TA 가 (assert) , RAS , CAS  
TA (tri-state) (804) DRAM(207)  
9 (assert) (810) DCTR DAEM 가 (assert) . DAEM 가  
9 DRAM(207) (808)  
(810) DCTR DAEM 가 (assert) 4  
. 9 , Clk(Clock) 가  
(205) 1 , R/  $\overline{W}$  (TS) , R/  $\overline{W}$   
(3) 1 , R/  $\overline{W}$  (3)가 DRAM(207)  
(205)가 (205) TS  
가 , (804)  
CAS (assert) (804) DRAM(207)  
1/2 (804) (205) TA  
(assert)  
TA 가 (assert) , (805) RAS , CAS , TA  
, DRAM(207) (tri-state)  
, DRAM 9 - 9  
(205) (TS) , R/  $\overline{W}$  1  
(3) 1 , R/  $\overline{W}$  (3)가 DRAM(207)  
(assert)  
(205)가 , TS  
1/2 (804) DRAM(207)  
RAS (assert) 가 DRAM(207)  
(804)  
CAS (assert) TA (assert)  
1/2 (804)  
. TA 가 , E- DRAM(207)  
(205) TA 가 (assert) , RAS , CAS , TA  
, DRAM(207) (tri-state)  
6 9 , CAS 가 (assert) DRAM(207)  
14a 14c 가  
DRAM  
DRAM

, DRAM (3) CAS , DRAM  
 1 DRAM  
 가  
 가  
 5 , CS\_ 가 (206) , 가 (20  
 5) (assert) , (804)  
 (810) CSCR ( 12c ) EMAA(External Master Automatic Acknowledg  
 e) 가 (assert) . EMAA 가 (assert)  
 ( WS[3:0]) 1), (804) 12c CSCR  
 TA (assert) . CSCR (TA; Transfer Acknowledge)  
 EMAA 가 (assert) , (804) (206) , CS(Chip S  
 elect) , WE(Write Enable) , TA (3)  
 (205) (206) , EMAA 가 , (804)  
 CS WE(Write Enable) (206) TA( )  
 , (804) (205) ( )  
 TA  
 10, 11, 15 16 (804)  
 10 가 (810) CSCR EMAA 가 (804)가 TA( )  
 , Clk(Clock) 가 (assert) 1 10  
 , R/  $\overline{W}$  (TS) , R/  $\overline{W}$  (205) 1  
 1 , R/  $\overline{W}$  (205)가 (206)  
 , TS (205)  
 (206) (TA) (tri-  
 state) 가 (8) (804) (206)  
 TS 가 (205) CS(Chip Select)  
 (assert) , (804) (TA)  
 , (804) (205)  
 (206) (WE) (assert)  
 assert) , (804) CS WE 가 (tri-state)  
 , TA  
 , 10 10  
 (205) (TS) , R/  $\overline{W}$  1  
 (3) 1 , R/  $\overline{W}$  (205)가 (206)  
 (assert)  
 TS 가 (804) (TA) (tri-state)  
 가 (8) (804) (206)  
 (assert) , (205) (CS)  
 ((804) (TA) (assert)  
 (206) (205)  
 (804) (TA) CS  
 (206) (205)  
 (tri-state)  
 (804) TA (tri-state)  
 15 (206)가 (810) CSCR EMAA 가 (804)가 (TA)  
 (assert) 1

A 15, Clk(Clock) 가 (205) (804) TA (tri-state) , T  
 (205) (3) 1  
 , R/  $\overline{W}$  (TS) , R/  $\overline{W}$  (205)가 (206)  
 , TS (205)  
 ) (206) (TA) (tri-state) (804)  
 TS 가 (8) (804) (206)  
 가 (205) (CS)  
 (assert) (205) ( )  
 TA (804) , (205) (WE) (TA) ( )  
 assert) , (205) ( )  
 (assert) , TA CS WE 가 (tri-state)  
 . TA (205)  
 (assert) . TA (assert) (205) , (assert)  
 (810) CSCR WS[3:0] , CS WE (assert)  
 , 15 15  
 (205) , (TS) , R/  $\overline{W}$  1  
 (3) 1 , R/  $\overline{W}$  (205)가 (206)  
 (assert)  
 TS (804) (TA) (tri-state) (8) (804) (206)  
 가 (205) (CS)  
 (assert) , (205) TA  
 , (206) (205) TA (assert) (tri-state)  
 (205) , TA CS 가 (205)  
 . TA (assert) (205)  
 (assert) . TA (assert) (205)  
 (810) CSCR WS[3:0] , CS  
 (assert)  
 11 (206)가 (804)가 (TA) 3  
 , Clk(Clock) 가 (810) CSCR EMAA 가 (assert)  
 ) 1 , R/  $\overline{W}$  (TS) , R/  $\overline{W}$  (205)가 (206)  
 , TS  
 (205) (206) (tri-state)  
 TS 가 (8) (804) (206)  
 가 (205) (CS)  
 (assert) , (804) (TA)  
 , (205) (206)  
 (804) (205)  
 (206) (WE) (assert)  
 (assert) , (804) (TA)  
 , TA CS WE 가 (tri-state)  
 , 11 11 ,

(205) , (TS) , R/  $\overline{W}$  1 (3)가 (206)  
 (3) . 1 , R/  $\overline{W}$  (assert)  
 (TA) - (tri-state) (8) (804) (206)  
 TS 가 (205) (CS) (asse  
 ) (assert) . ((804) (TA) (802)  
 rt) . (206) (8) (804) (TA) CS .  
 (206) (804) (205) (tri-state) .  
 , TA (tri-state) .  
 16 (206)가 (810) CSCR EMAA 가 (TA) 4  
 . (804) (tri-state) , TA  
 (205) ( )  
 16 , Clk(Clock) 가 . 16 (205) 1  
 (TS) , R/  $\overline{W}$  (205)가 (206)  
 . 1 , R/  $\overline{W}$  , TS  
 (205) (206) (TA) - (tri-state) . (804)  
 TS 가 (205) (8) (804) (206)  
 (assert) . (205) (CS)  
 TA . (804) , (205) ( )  
 (assert) . (205) (WE)  
 (assert) . (205) ( ) TA  
 (assert) . TA CS WE 가 - (tri-state)  
 . TA (205) (205)  
 (assert) . TA (assert)  
 205) (810) CSCR WS[3:0]  
 , CS WE (assert)  
 (205) (TS) , R/  $\overline{W}$  16 . 16 ,  
 (3) . 1 , R/  $\overline{W}$  (3)가 (206)  
 (assert)  
 TS (804) (TA) - (tri-state) (8) (804) (206)  
 가 (205) (CS)  
 (assert) . (205) TA  
 (206) (205) TA (assert) .  
 (205) , TA CS 가 - (tri-state)  
 . TA (205) (205)  
 (assert) . TA (assert) (205)  
 (810) CSCR WS[3:0] (205)  
 (assert) , CS  
 (205)가 (3) (804)  
 가  
 (3) . 가

가 가 .  
 , 가 , 가 가 .  
 , (205)가 가 (3)  
 (3) (205)가 (3) , , 가  
 (206) (assert) ,  
 (3) , 가  
 , . 가  
 5 ,  $\overline{\text{int\_ext\_}}$  가 (808) 가  
 , (3)가 MTS(Master Transfer Start)  
 가 . MTS 가 (assert) , (3)  
 MTS 가 (assert) , (808) , (202)  
 가 (MADDR) ,  $\text{MR}/\overline{\text{W}}$  M  
 (808) 가 DRAM(207)  
 (808) DRAM\_ (assert) ,  
 가 (206) (206) CS\_  
 (assert) . (206) , 가 가  
 (206) 가 , CS\_ (808) 가 가  
 가 , (206) SRAM, ROM, EEPROM,  
 가  
 DRAM\_ 가 DRAM(207) (assert) ,  
 (804) (804) (808)가 TS, R/  $\overline{\text{W}}$  , E-  
 . (804) (806)가 (BR) (BD)  
 E- (804) RAS, CAS DRAMW E-  
 가 (802) R/  $\overline{\text{W}}$  가 R/  $\overline{\text{W}}$   
 (assert) (804)  
 TA  
 DRAM\_ 가 DRAM(207)  
 (804) (808)가 E-  
 (804) CS WE  $\text{R}/\overline{\text{E-}}$  TS, R/  $\overline{\text{W}}$  ,  
 (802) R/  $\overline{\text{W}}$  가 R/  $\overline{\text{W}}$  가 (as  
 sert) AA가 (assert) (804)  
 TA 가 (assert) TA (assert) TA 가  
 (assert) (802) (804) MTA(Master Transfer Acknowledge)  
 M- (23)  
 (3)  
 , , 가  
 , 가  
 , ,  
 , 12a 12c 13a 13e (810) 가, DRAM  
 , DRAM  
 ,



(57)

1.

(3) ,  
 CPU(2) ,  
 (3) (207)  
 ,  
 (3)가 (transfer acknowledge)  
 (external acknowledge) (810) ,  
 , 가 1 ,  
 (assert) , 가 2 ,  
 , (804) ,  
 (804) (801)  
 , (3).

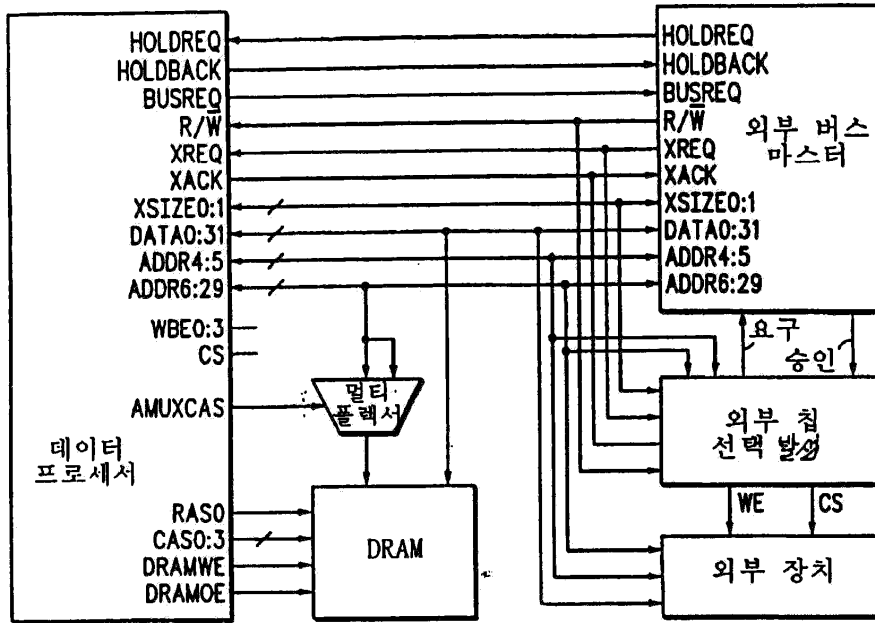
2.

,  
 (207) ,  
 (205) , (207) 1 ,  
 (assert) (205) ,  
 (3) ,  
 (3) ,  
 (207) (205)  
 (3) (806) , (205)  
 가 (207) 1  
 , (806) ,  
 (205) (207) (3)가  
 , (810),  
 가 2 가 1 ,  
 1 (804) , (806) ,  
 , (810) , (804) ,  
 .

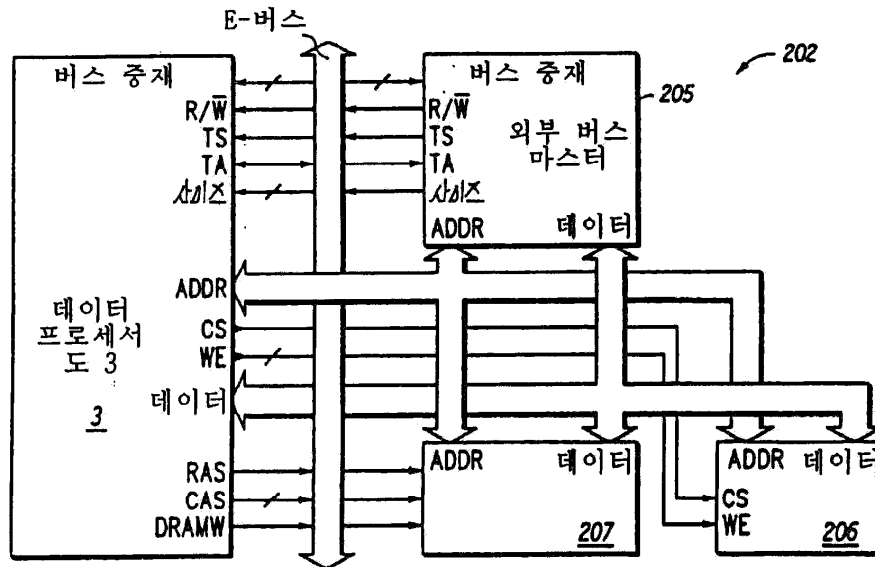
3.

(3) (207) ,  
 1 (205)  
 , 가 1 , (806)  
 (assert) ,  
 가 (assert) , (808)  
 ,  
 (810) , (3)가  
 ,  
 가 2 , 가 (assert) ,  
 가 3 가 (assert) ,  
 , .

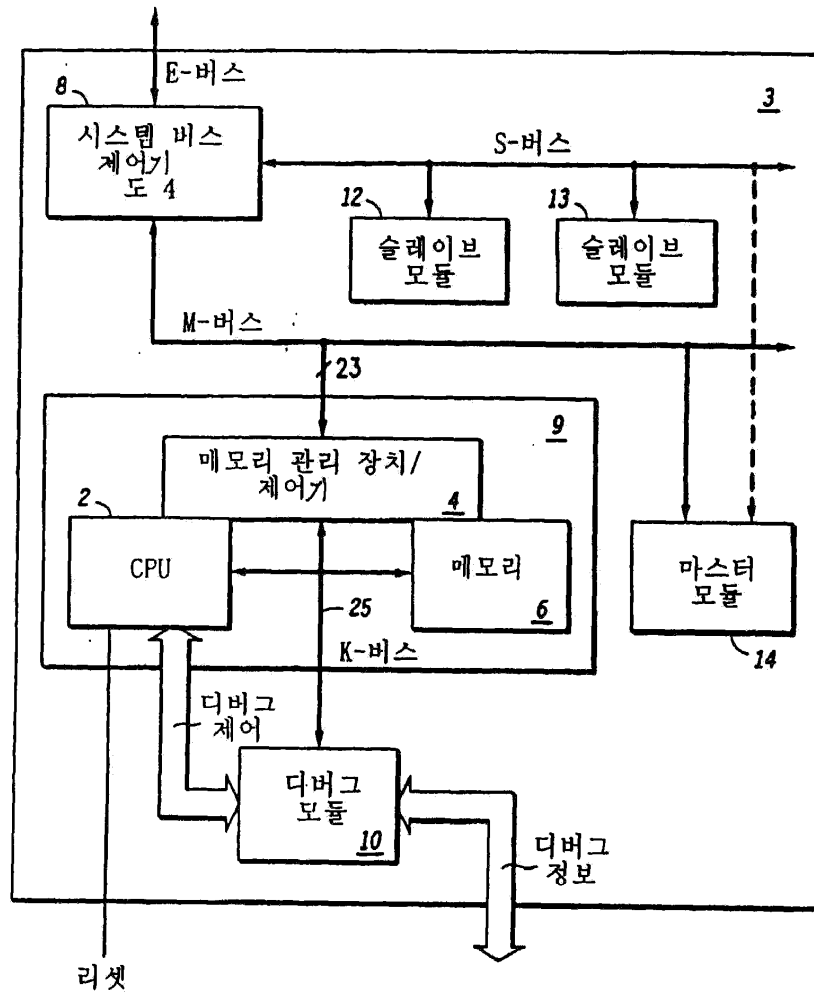
1



2

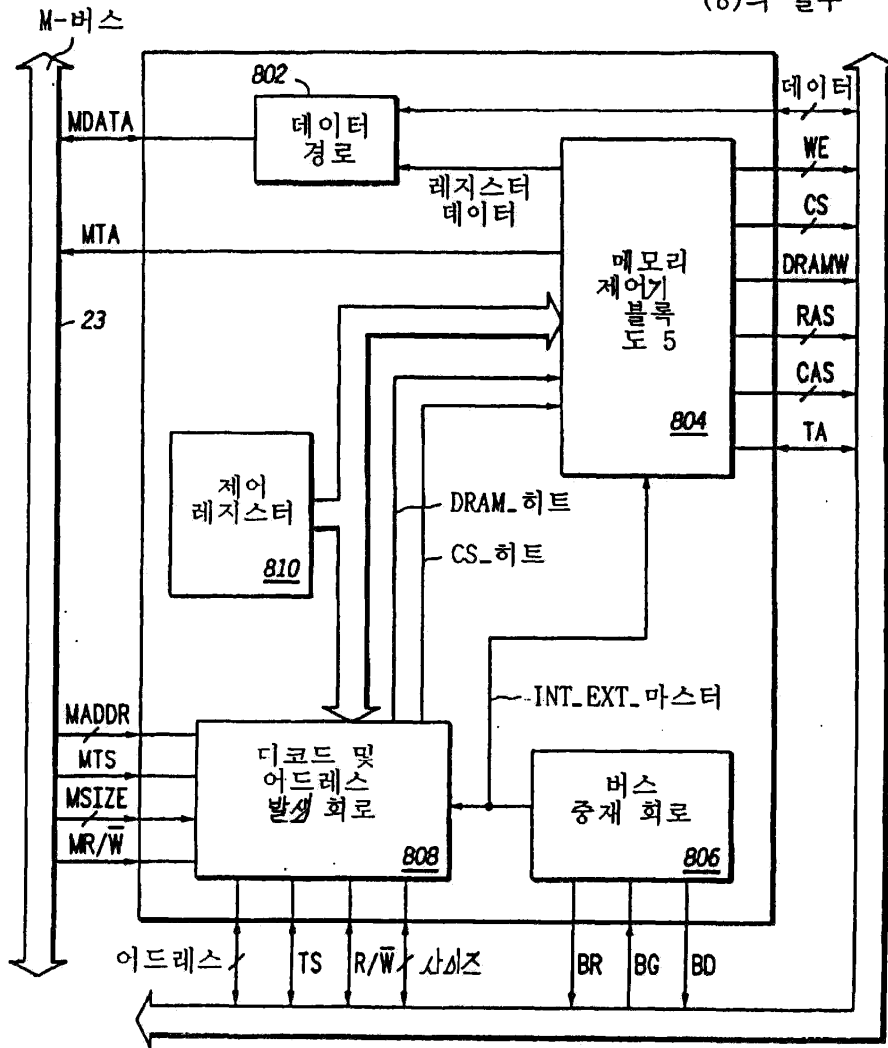


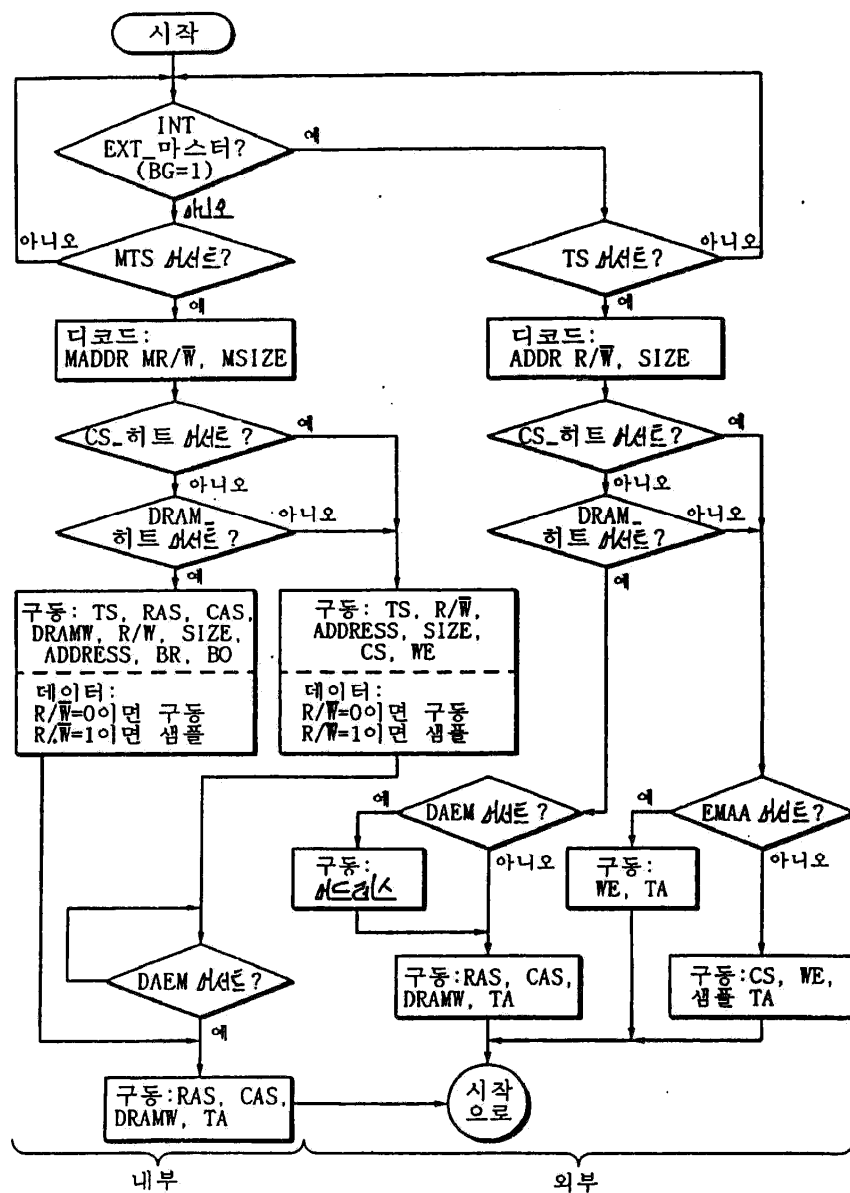
3

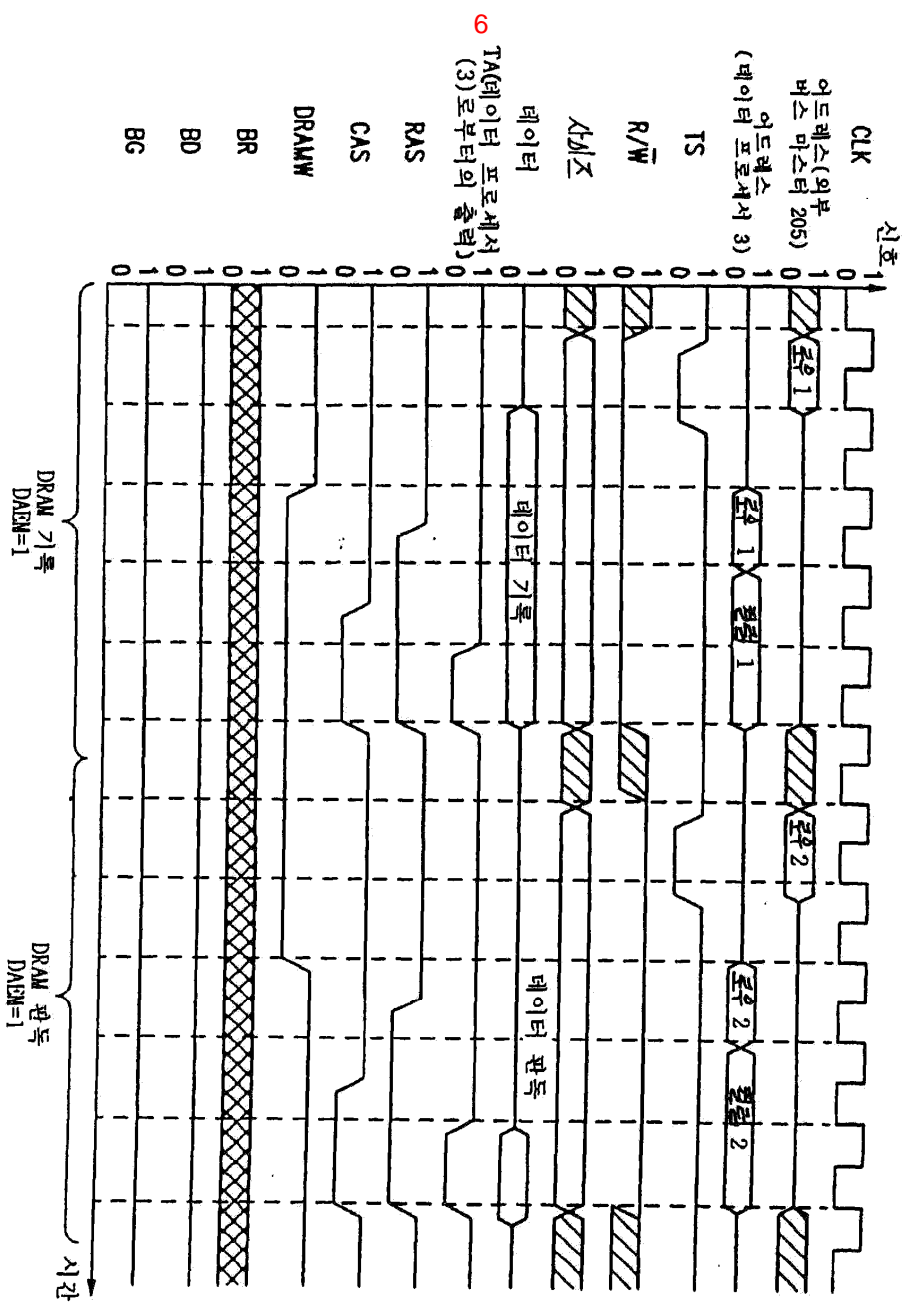


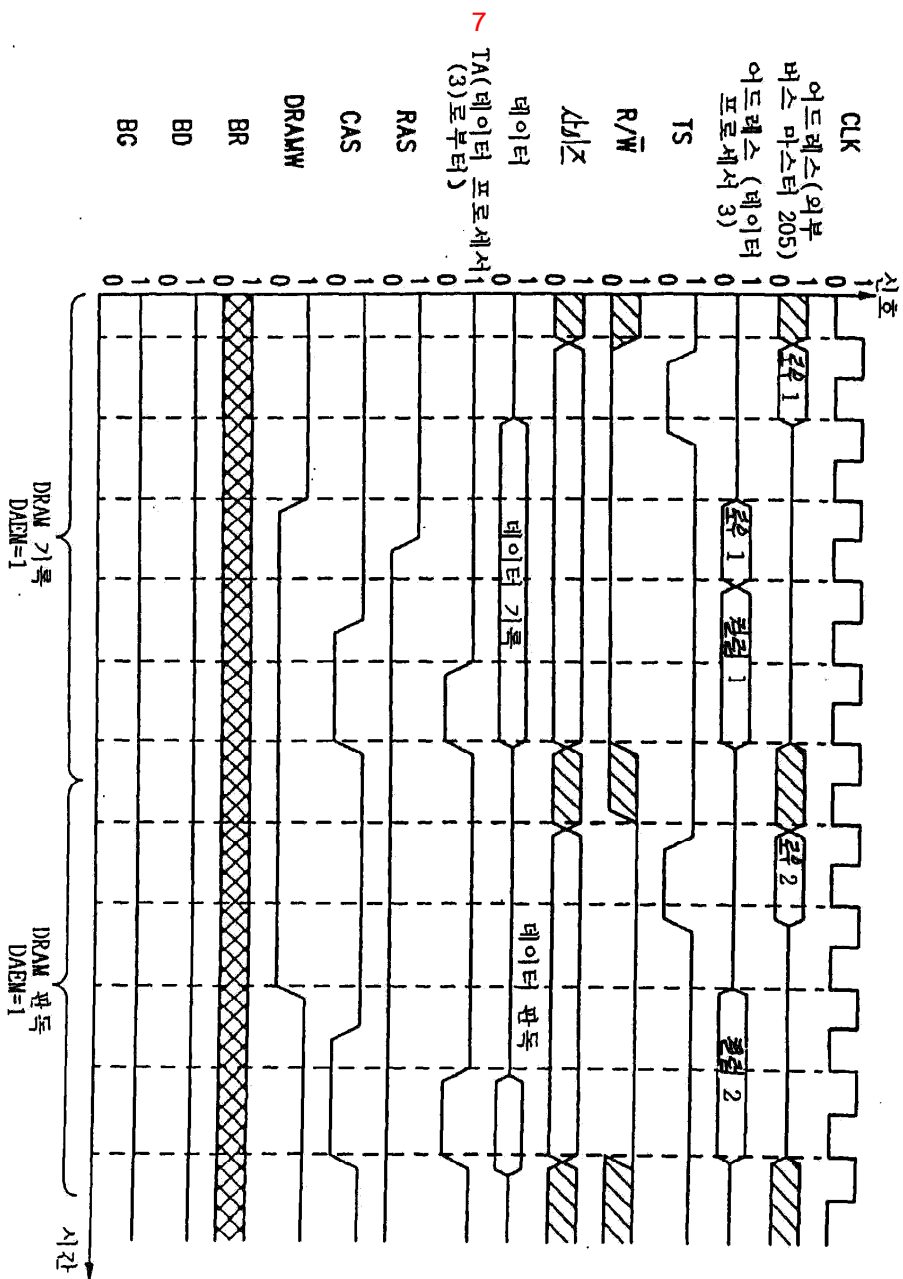
4

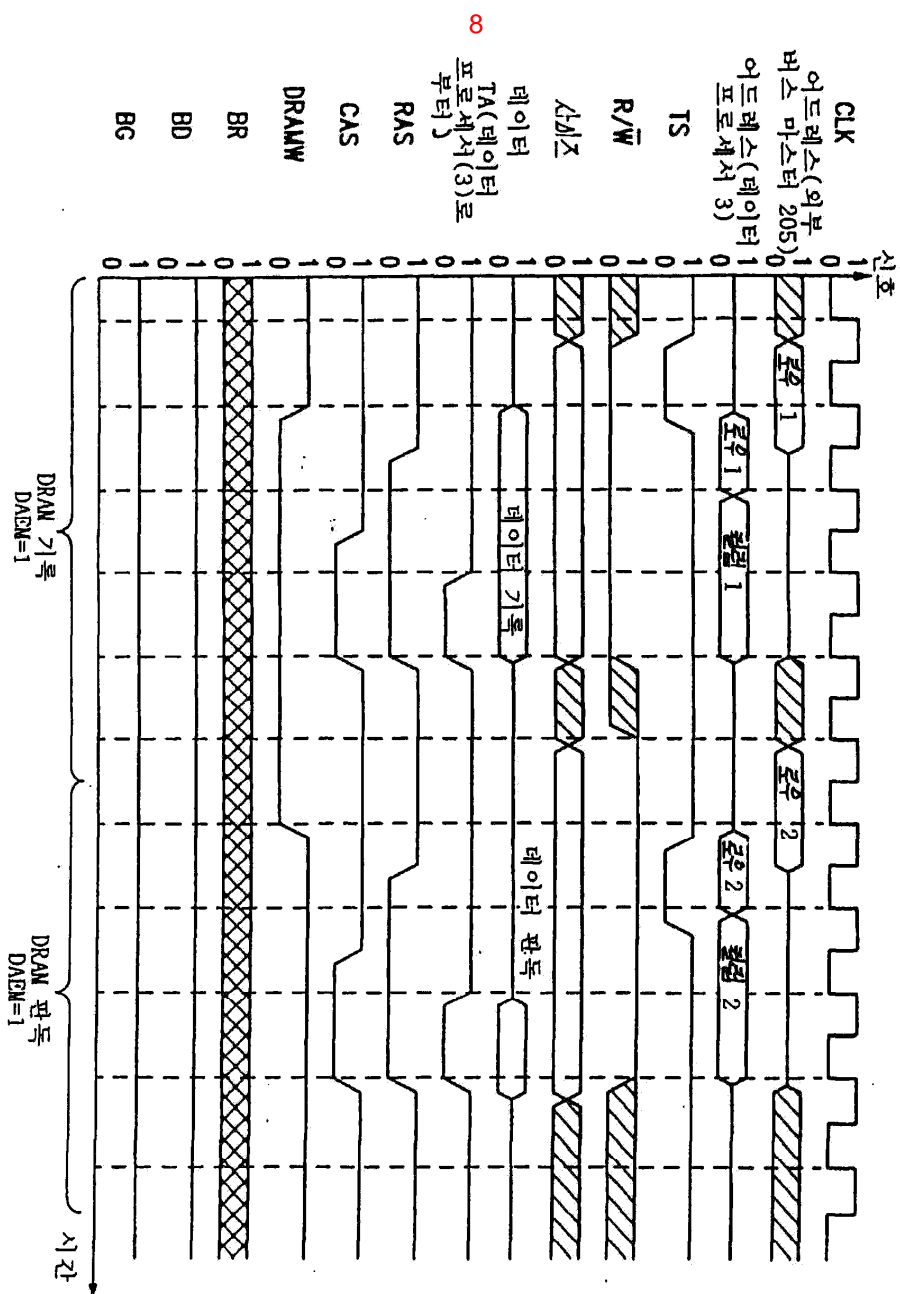
시스템 버스 제어기  
(8)의 일부



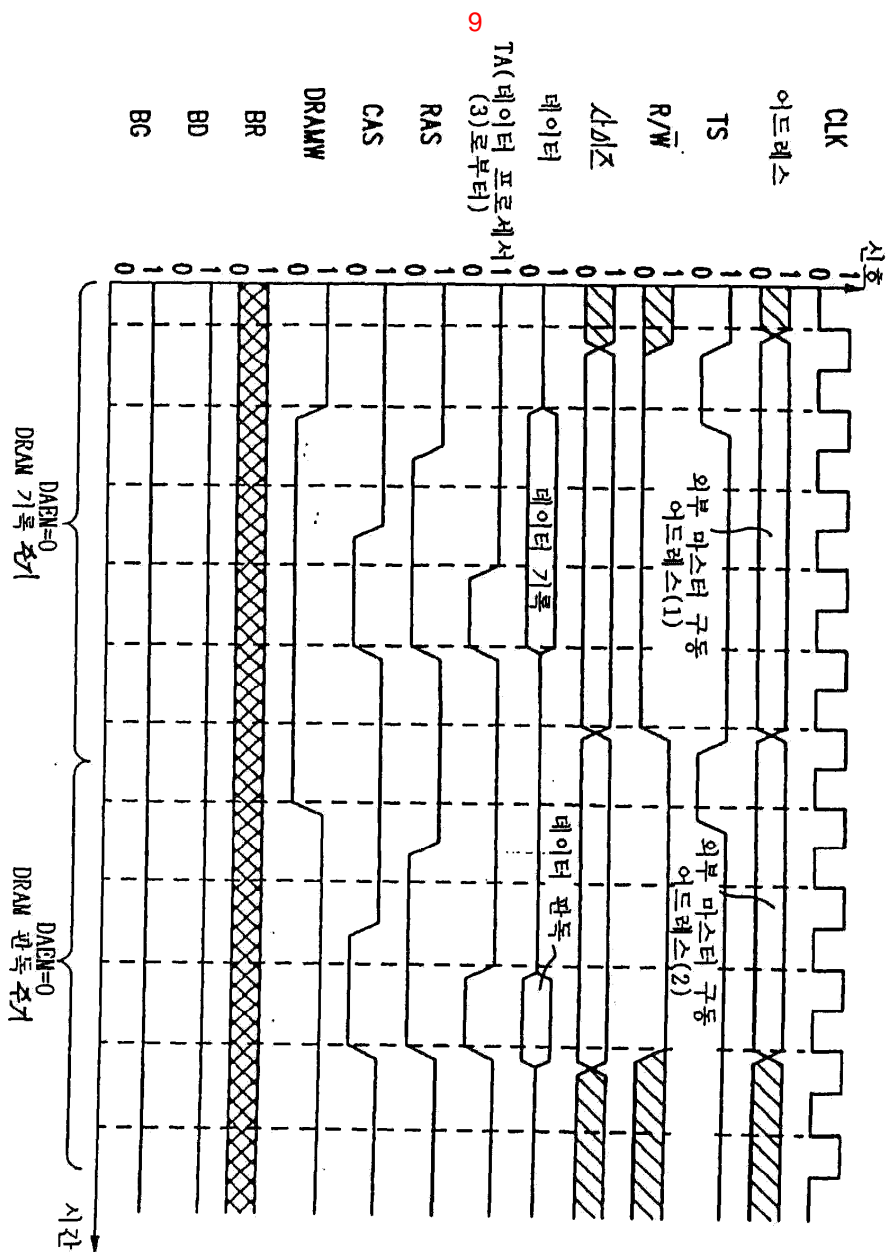




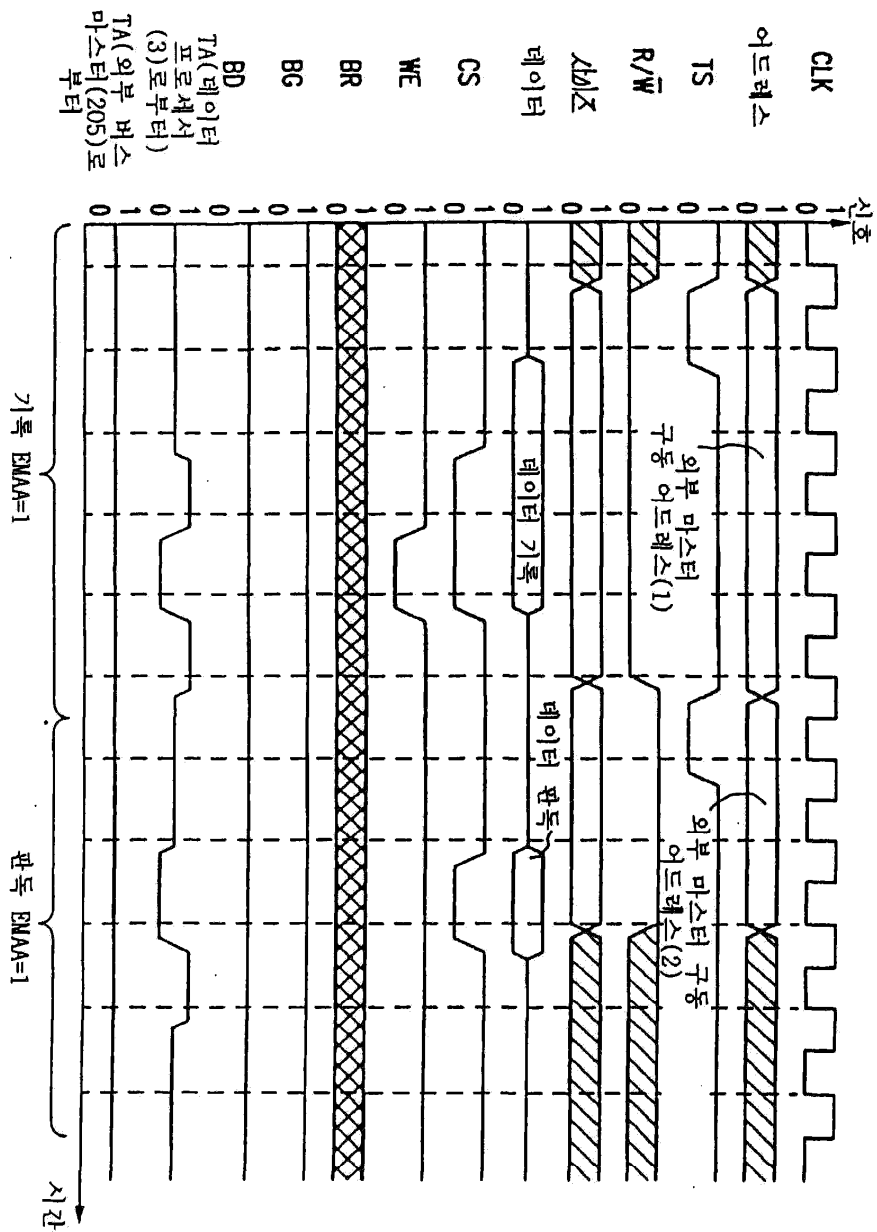




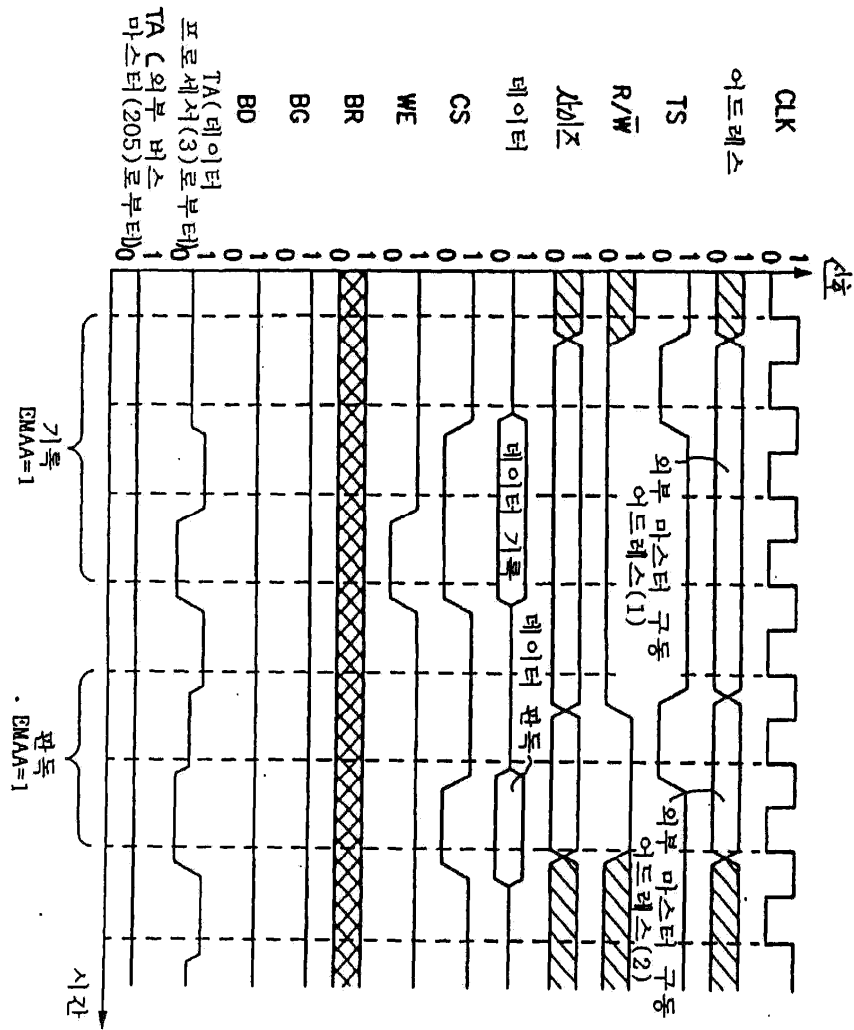




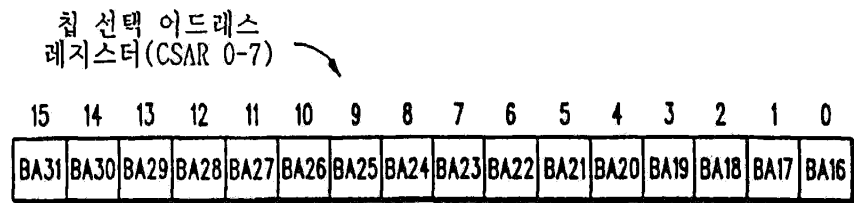
10



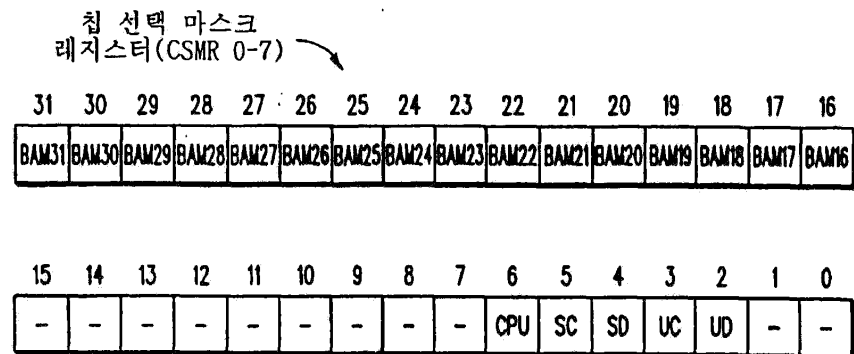
11



12a



12b



12c

칩 선택 제어  
레지스터(CSCR 0-7)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WS3	WS2	WS1	WS0	-	-	EMAA	AA	PS1	PS0	BRST	ASET	WRAH	ROAH	WR	RD

13a

제어기 리프레시  
레지스터(DCRR)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	RC11	RC10	RC9	RC8	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0

13b

제어기 타이밍  
레지스터(DCTR)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAEM	EDO	-	RCD	-	RSH1	RSH0	-	-	CRP1	CRP0	-	CAS	-	CP	CSR

13c

제어기 어드레스  
레지스터(DCAR 0-1)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	-

13d

제어기 마스크  
레지스터(DCMR 0-1)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	-

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	SC	SD	UC	UD	-	-

13e

제어기 제어  
레지스터(DCCR 0-1)

7	6	5	4	3	2	1	0
PS1	PS0	BPS1	BPS0	PM1	PM0	WR	RD

14a

8-비트 포트 ~~size~~ 어드레스  
멀티플렉싱 구성

어드레스 핀	512바이트 페이지		1K바이트 페이지		2K바이트 페이지	
	RAS	CAS	RAS	CAS	RAS	CAS
27	27	26	27	26	27	26
26	26	26	26	26	26	26
25	25	24	25	24	25	24
24	24	24	24	24	24	24
23	23	22	23	22	23	22
22	22	22	22	22	22	22
21	21	20	21	20	21	10
20	20	20	20	20	20	9
19	19	18	19	9	19	8
18	18	18	18	8	18	7
17	17	8	17	7	17	6
16	16	7	16	6	16	5
15	15	6	15	5	15	4
14	14	5	14	4	14	3
13	13	4	13	3	13	2
12	12	3	12	2	12	1
11	11	2	11	1	11	0
10	10	1	10	0	10	10
9	9	0	9	9	9	9

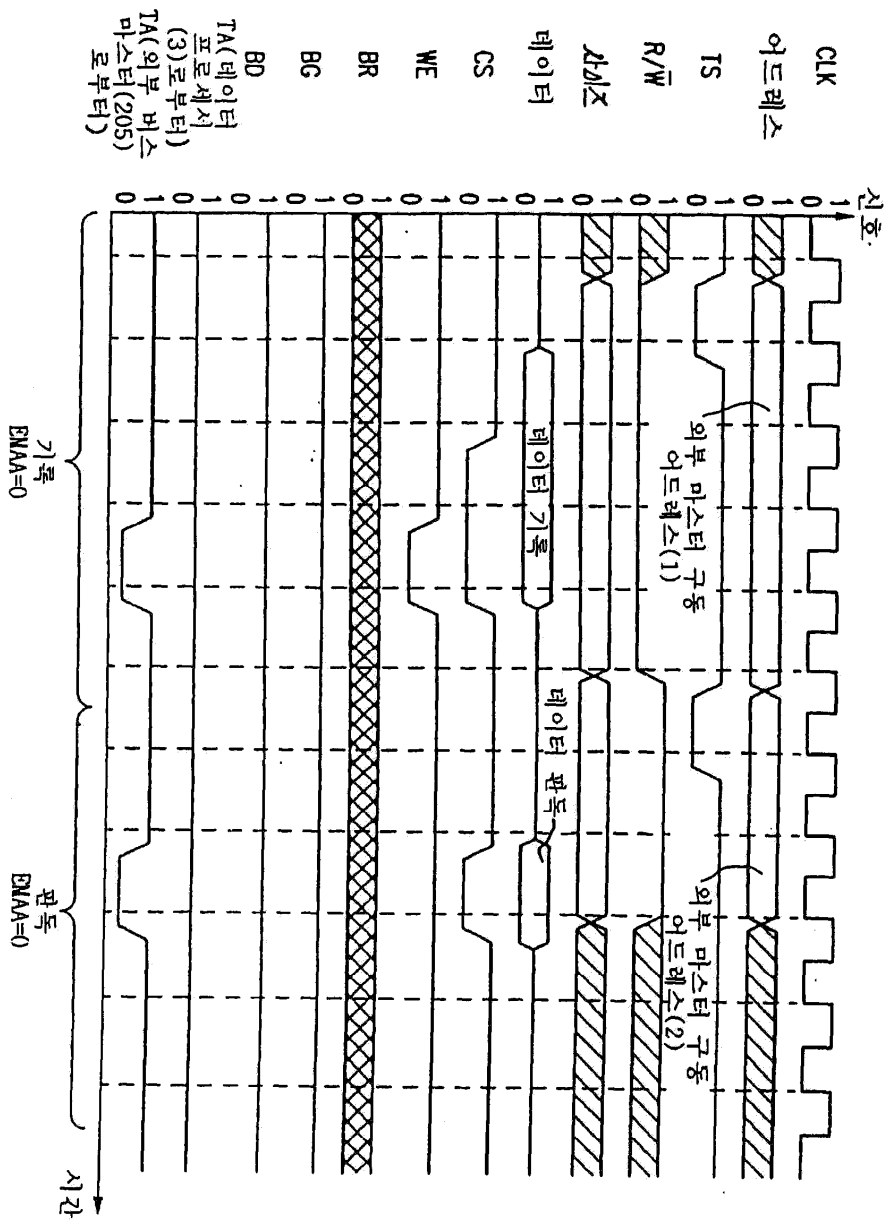
16비트 포트 ~~size~~ <sup>14b</sup> 어드레스  
멀티플렉싱 구성

어드레스 핀	512바이트 페이지		1K바이트 페이지		2K바이트 페이지	
	RAS	CAS	RAS	CAS	RAS	CAS
27	27	27	27	27	27	27
26	26	25	26	25	26	25
25	25	25	25	25	25	25
24	24	23	24	23	24	23
23	23	23	23	23	23	23
22	22	21	22	21	22	21
21	21	21	21	21	21	21
20	20	19	20	19	20	10
19	19	19	19	19	19	9
18	18	17	18	9	18	8
17	17	17	17	8	17	7
16	16	8	16	7	16	6
15	15	7	15	6	15	5
14	14	6	14	5	14	4
13	13	5	13	4	13	3
12	12	4	12	3	12	2
11	11	3	11	2	11	1
10	10	2	10	1	10	10
9	9	1	9	9	9	9

32비트 포트 ~~새~~스 어드레스  
멀티플렉싱 구성 14c

어드레스 핀	512바이트 페이지		1K바이트 페이지		2K바이트 페이지	
	RAS	CAS	RAS	CAS	RAS	CAS
27	27	26	27	26	27	26
26	26	26	26	26	26	26
25	25	24	25	24	25	24
24	24	24	24	24	24	24
23	23	22	23	22	23	22
22	22	22	22	22	22	22
21	21	20	21	20	21	20
20	20	20	20	20	20	20
19	19	18	19	18	19	10
18	18	18	18	18	18	9
17	17	16	17	9	17	8
16	16	16	16	8	16	7
15	15	8	15	7	15	6
14	14	7	14	6	14	5
13	13	6	13	5	13	4
12	12	5	12	4	12	3
11	11	4	11	3	11	2
10	10	3	10	2	10	10
9	9	2	9	9	9	9

15





16

