

(19) (KR)
(12) (B1)

(21) 10-1997-0008475 (65) 10-1997-0066899
(22) 1997 03 13 (43) 1997 10 13

(30) 623,482 1996 03 28 (US)

(73) 60196 1303

(72) 78734. 106

78745. 7806-A

78660. 1103

78748. 10559

(74)

(54)

1				
2				
3				
4	3			
5	4			
6		DRAM		1
7		DRAM		2
8		DRAM		3
9		DARM		4
10			가	1
11			가	3
12a	4			
12b	4			
12c	4			
13a	4		DRAM	DRAM
13b	4		DRAM	DRAM
13c	4		DRAM	DRAM
13d	4		DRAM	DRAM
13e	4		DRAM	DRAM
14a			8	
14b			16	
14c			32	
15		가		2
16		가		4

2 : CPU 3 :
4 : / 6 :
8 : 10 :
12, 13 : 14 :

(DRAM), 가

(DRAM)
(inexpensive) . DRAM

The diagram illustrates the DRAM timing diagram with the following signals and their timing:

- RAS (Row Address Strobe):** A long pulse that begins before the CAS pulse and continues throughout the DRAM access cycle.
- CAS (Column Address Strobe):** A pulse that occurs during the RAS pulse to select a column of data.
- DRAM:** A pulse that occurs during the RAS pulse to enable the internal DRAM array.
- DRAMW (DRAM Write):** A pulse that occurs during the RAS pulse to indicate a write operation.

DRAM , RAS DRAM
 , CAS DRAM
 RAS, CAS DRAMW

가

International Business Machines

Advanced Micro Devices
 PPC403GA

AM29200

DRAM

1

가
 가

가

가

가

가

가

가

가

가

가

DRAM

DRAM(dynamic random access memory)

1

DRAM

가

가

2

가

가

가

(status)
 (assert)'

(negate)'

1

0

1

가

가

0

12b , BAM31 BAM16

126 (CSCB) CSCB

```

graph LR
    ROM[ROM] --> CSMR[CSMR(CSMRO)]
    CSMR --> ROM2[ROM]
    
```

The diagram illustrates the ROM boot sequence. It starts with a ROM block at the top. An arrow points from this ROM block to a CSMR(CSMRO) block below it. From the CSMR(CSMRO) block, another arrow points back up to a second ROM block, which is positioned directly below the first one.

[1]

집적회로 핀 A	집적회로 핀 B	부트 CS0 포트 사이즈
0	0	32-비트 포트
0	1	8-비트 포트
1	0	16-비트 포트
1	1	16-비트 포트

2 (3)

[2]

집적회로 핀 C	부트 CS0 내부 자동 확인
0	디스에이블됨
1	15의 대기상태와 함께 임에이블됨

12c , (WS[3:0]) AA() EMAA(. , WS[3:0]

,

(assert) WS[3:0] EMAA 가 1 , (assert) . (804) (205)

(TA) EMAA가 0, (804)
TA 가 0, (205)

AA TA >T

AA
(assert) . AA 가 1 , TA WS[3:0]
(assert) . (804) . . TA WS[3:0]

가 AA 가 0 , ,
PS[1:0](205) , PS , 가

PS 가 2 00 가 32 가 [31:01]

8	PS	가 2	01	,	
		[31:24]			
	PS	가 2	10	,	16 [31:16]
BRST(BRST	가 1			가 (burstability)'
		(longword)	8		, 8 16 가
	BRST	가 0			32 가
ASET(;	Address Setup Enable)		(indicator) 가
	(assert)	.. ASET	가 0	,	
	(assert)	.. ASET	가 1	,	가
	(assert)				
WRAH(;	Write Address Hold Enable)		
		WRAH	0	,	
		WRAH	1	,	
	(assert)				
RDAH(;	Read Address Hold Enable)		가
	(assert)	.. RDAH	0	,	
		.. RDAH	1	가	,
		(assert)			
WR(WR	가 0	;	Write Enable)	
		가	,		
					. WR 가 1 (assert)
RD(;	Read Enable)		
				(assert)	. RD 가 0
				RD	가 1
DRAM	(810)	DRAM		(DCRR), DRAM	(DCTR),
DRAM			(DCAR0-DCAR1),	DRAM	(DCMR0-DCMR1)
DCCR	13a		(DCCR0-DCCR1)		
		13a		(RC11-RC0)	(804)
					16
13b	DCTR	DRAM		DRAM	
	(804)			DRAM	
(RAS)	(CAS)	DRAM		DCTR	
(DAEM)					(804)
DRAM			DAEM	DRAM	
DRAM			, DAEM	가 0	가
			, DAEM	가 1	,
EDO(EDO	;	Extended Data Out)		
		CAS		DRAM	EDO DRAM
		(804) 가 EDO DRAM		(assert)	(804)
RCD(RAS	CAS)	RAS		
				(assert)	
	RCD	가 0	(non-page)	CAS	
	(assert)	가 1	, RAS	CAS	
				(assert)	
2		(assert)		, RAS	
RSH1-RSH0(RSH0)	CAS		
t)				(assert)	RAS 가 (asser
S		가 2	00	, RAS	RA
1/2				CAS	1 (as
sert)	2	1/2	가 2	01	CAS, RAS
	(assert)			, RAS	CAS
		3	1/2		

CRP1-CRP0(-) 가 - - (back-to-back) DRAM
 . CRP CAS RAS) 가 1 1/2 (ass
 ert) 가 2 00 , RAS CAS 2 1/2
 (assert) CRP 가 2 01 , RAS CAS
 3 1/2 (assert) CRP 가 2 10 , RAS CAS
 CAS(가) EDO 3 , DRAM CAS
 가

[3]

CAS	EDO	CAS 액티브 시간 (시스템 클럭의 수)
0	0	1.5
0	1	1.0
1	0	2.5
1	1	2.0

CP(CAS) ; CAS Precharge Timing) EDO , DRAM CAS 가

CAS . 4 CP EDO

[4]

CP	EDO	CAS 인액티브 시간(시스템 클럭의 수)
0	0	0.5
0	1	1.0
1	0	1.5
1	1	2.0

CSR(RAS) CAS CAS ; CAS Setup Time for CAS Before RAS Refresh
 . CSR 가 0 CSR 가 1 (assert) RAS (assert) (assert) 1 (assert) 2
 (assert) (assert) , CAS , RAS , CAS RAS (assert) DRAM DRAM DRAM DRAM 가
 DRAM (DCAR) 13c DRAM DRAM DRAM DRAM
 DRAM (DCMR) 13d DRAM DRAM DRAM DRAM
 13d , BAM31 BAM17 DRAM
 DRAM DCAR
 'AND' 2 DRAM
 DRAM 가 1 , DRAM
 DRAM 가 0 , DRAM
 DCMR DCAR SC, SD, UC UD
 DRAM - DRAM
 DRAM ,
 DRAM (SD), (UC)
 DRAM ,
 DRAM (UD) DRAM
 DRAM (assert) , DRAM
 DRAM , DRAM
 DRAM
 13e DRAM (DCMR) DRAM DCCR ,
 DRAM , DCCR , PS[1:0](
 DRAM PS 가 2 00 ,
 DRAM 32 PS 가 2 01 [31:0] ,
 PS 8 [

기
가

, 12a 12c 13a 13e (810) DRAM DRAM 가,

(57)

1.

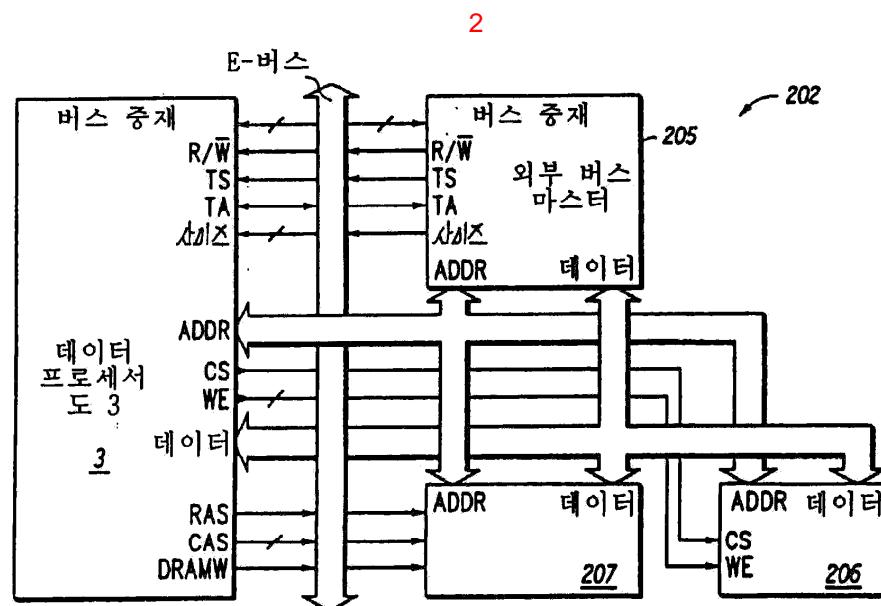
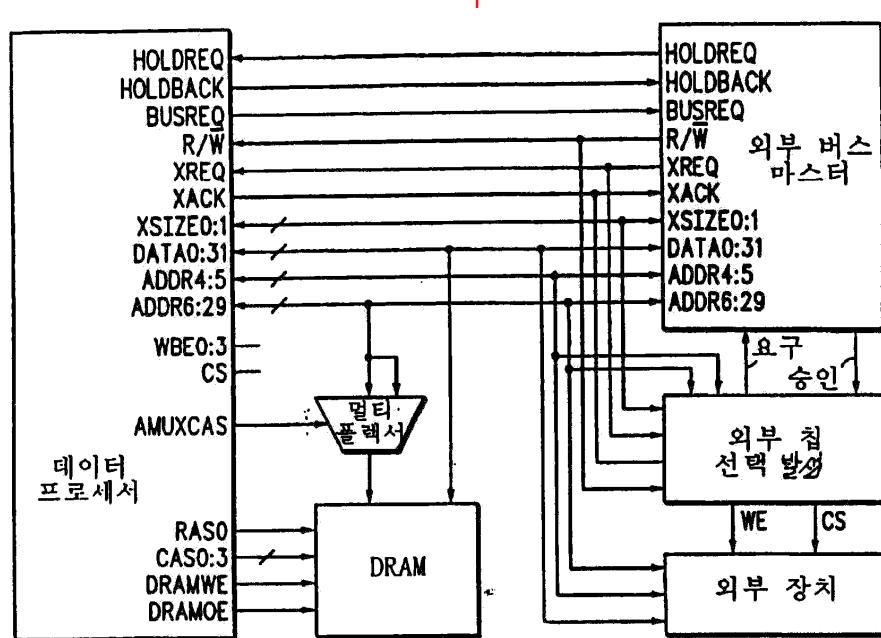
(3)

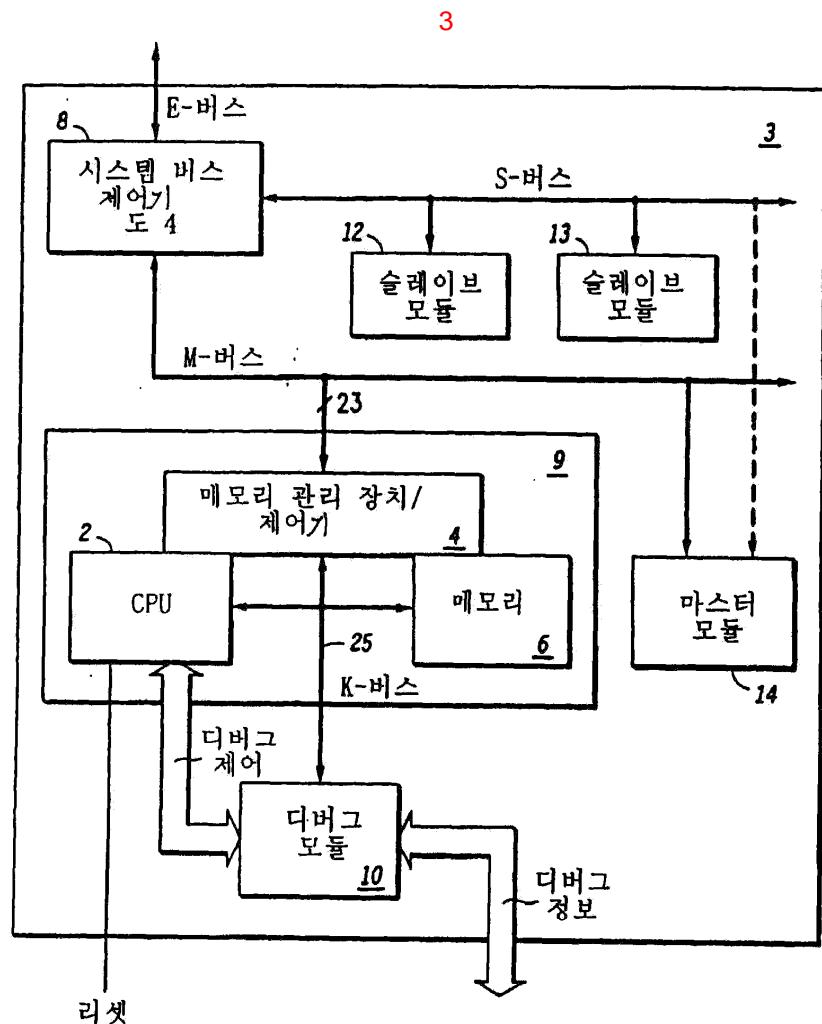
CPU(2) , (3) (207)

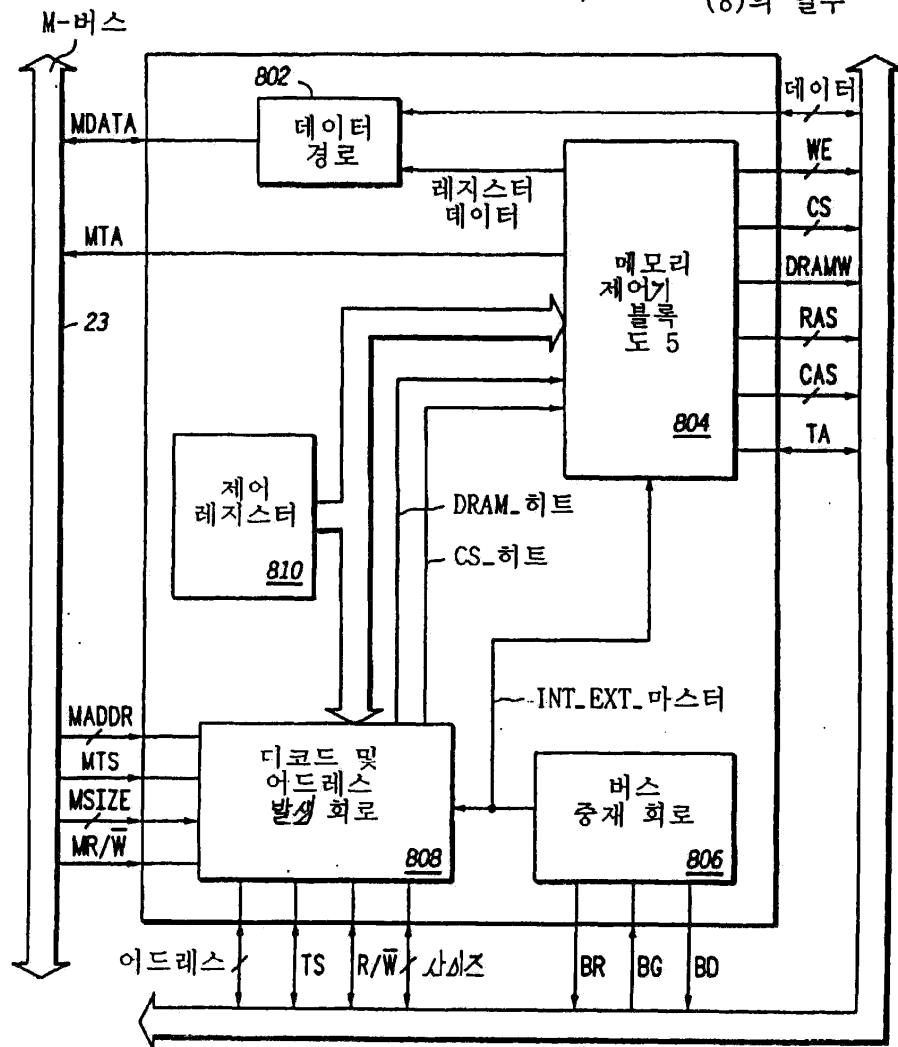
(3)가 (transfer acknowledge)
(external acknowledge) (810),
, 가 1 (assert), 가 2 (804),
(804) (801),
, (3).

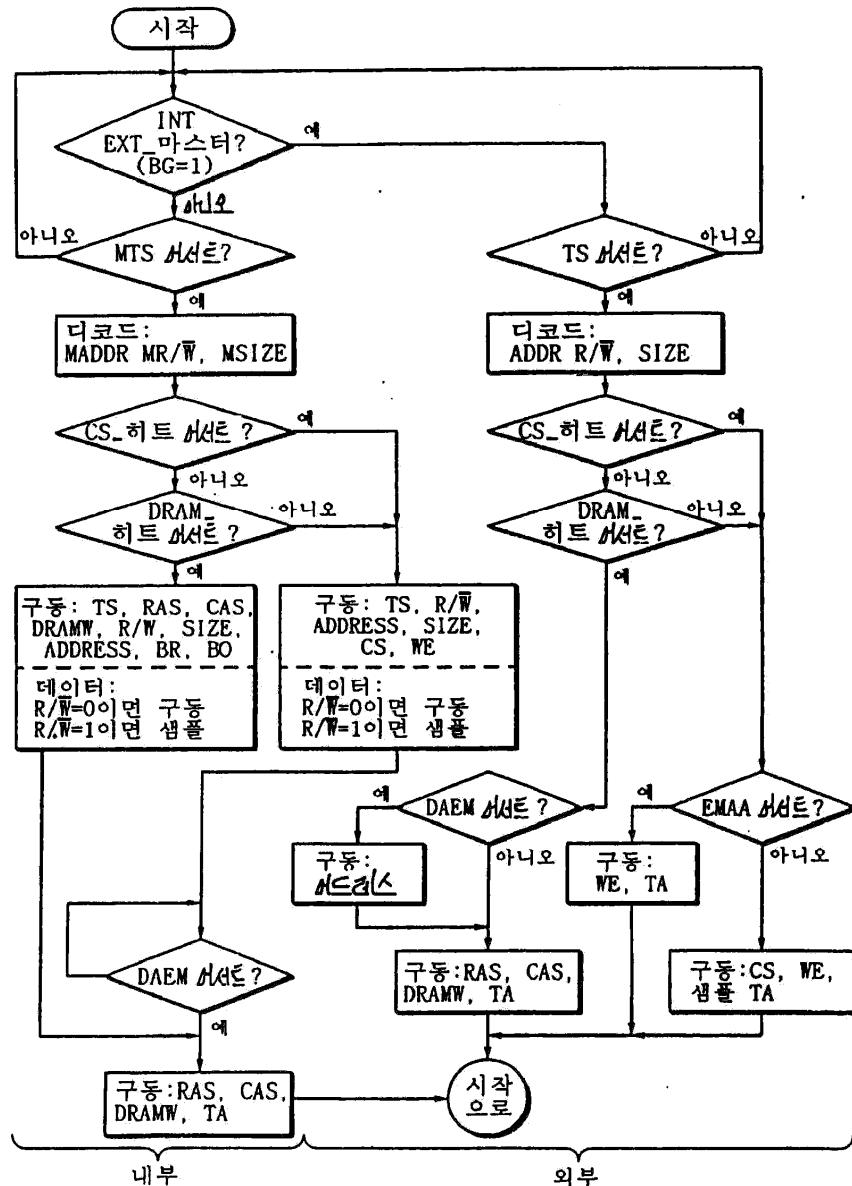
2.

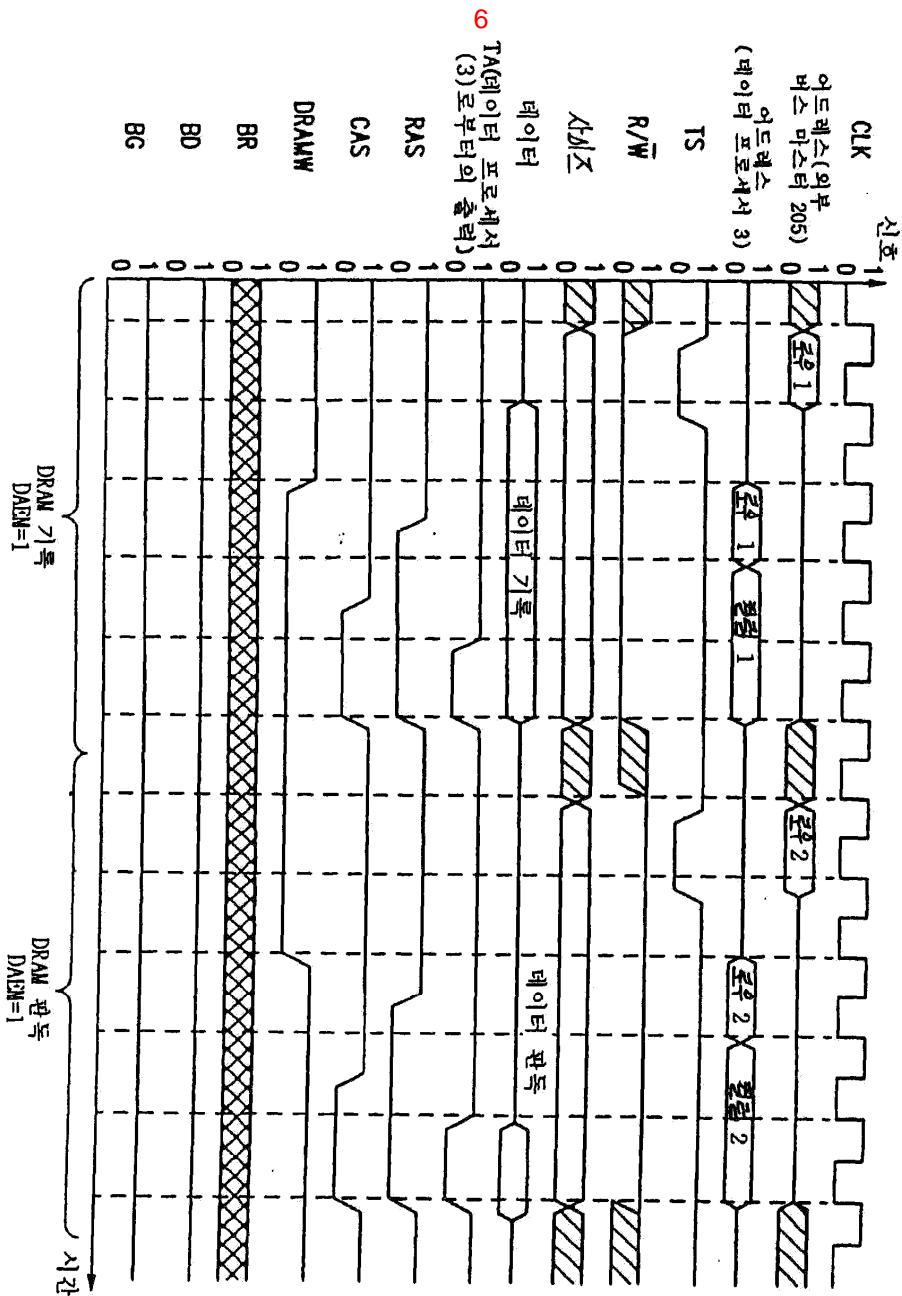
3.

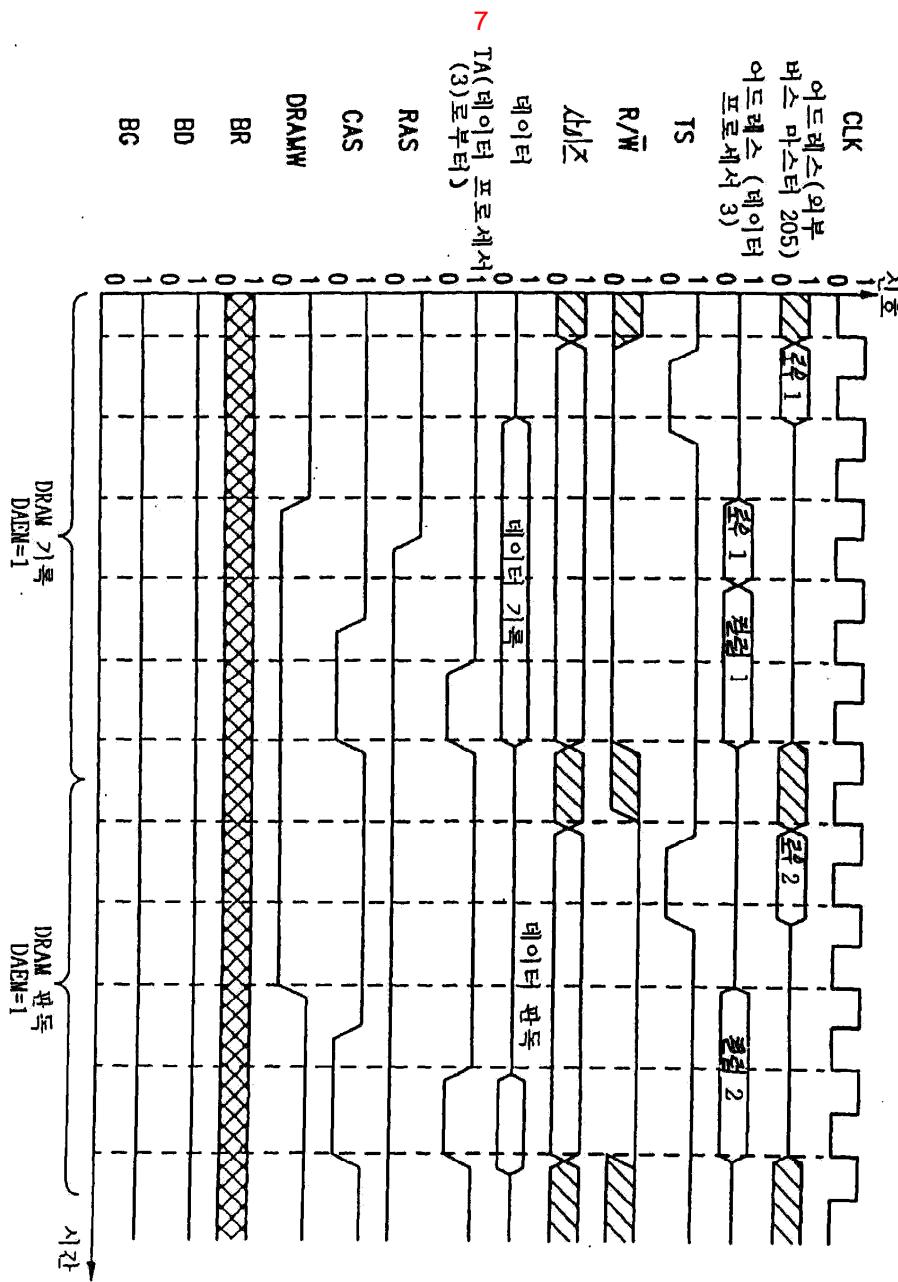


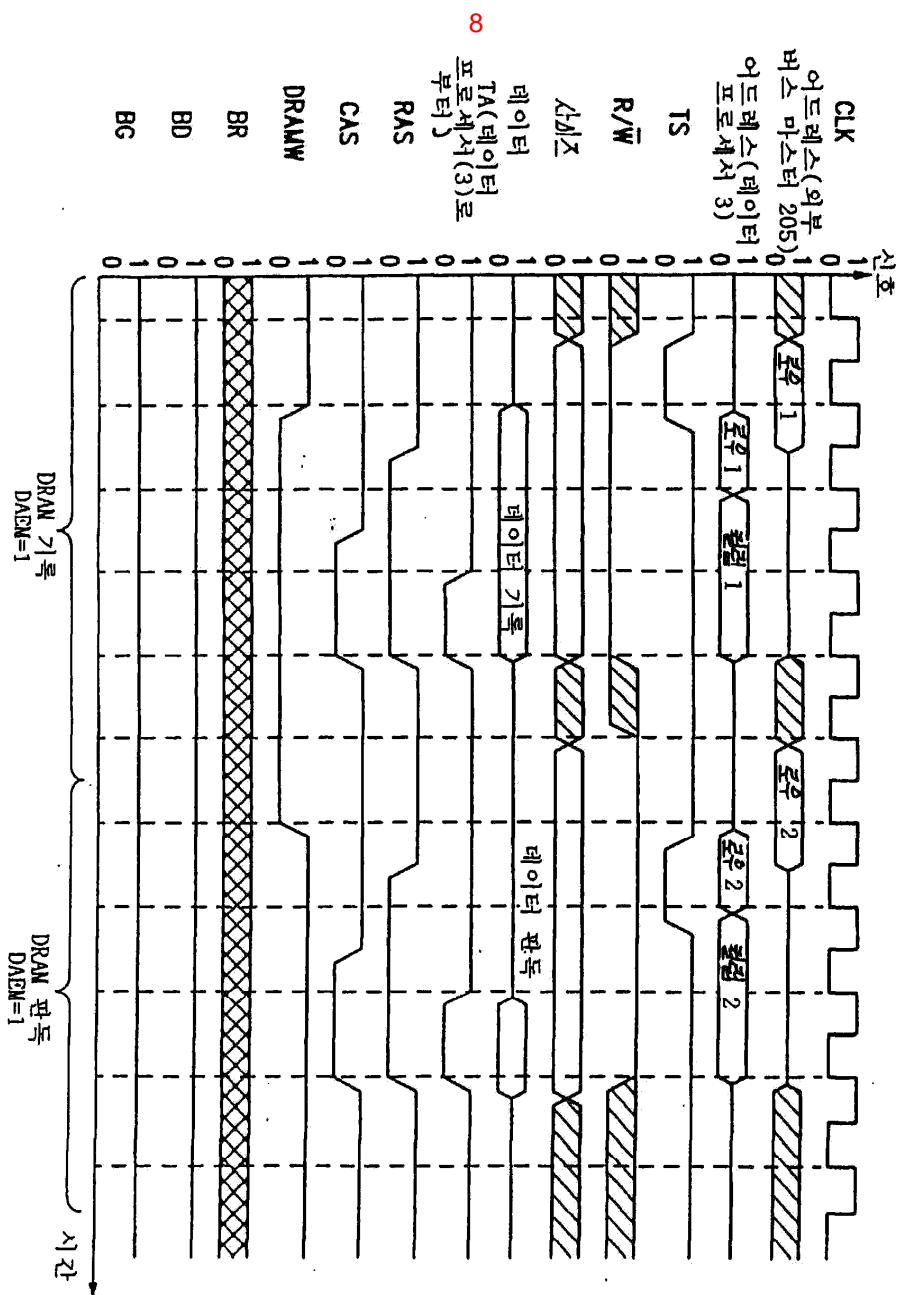


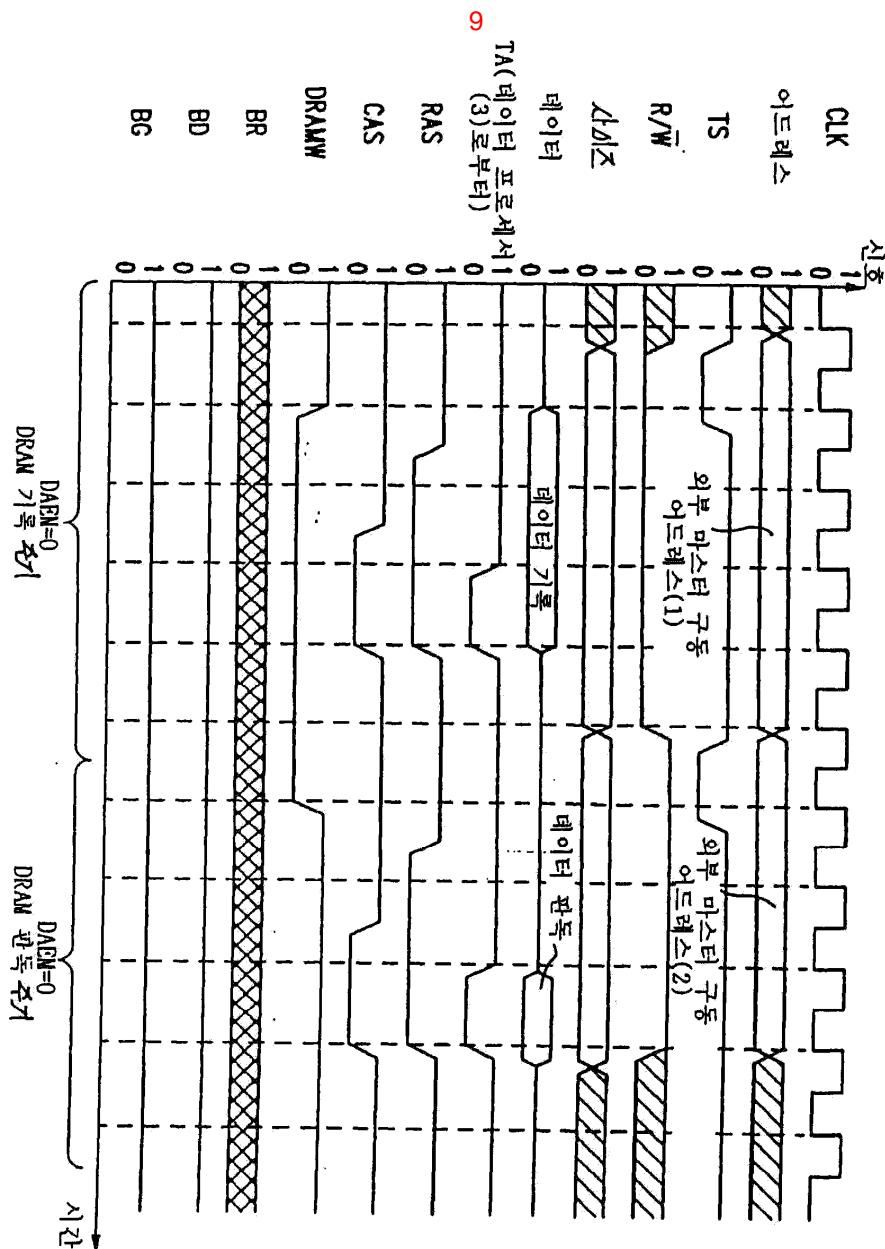
시스템 버스 제어기
(8)의 일부

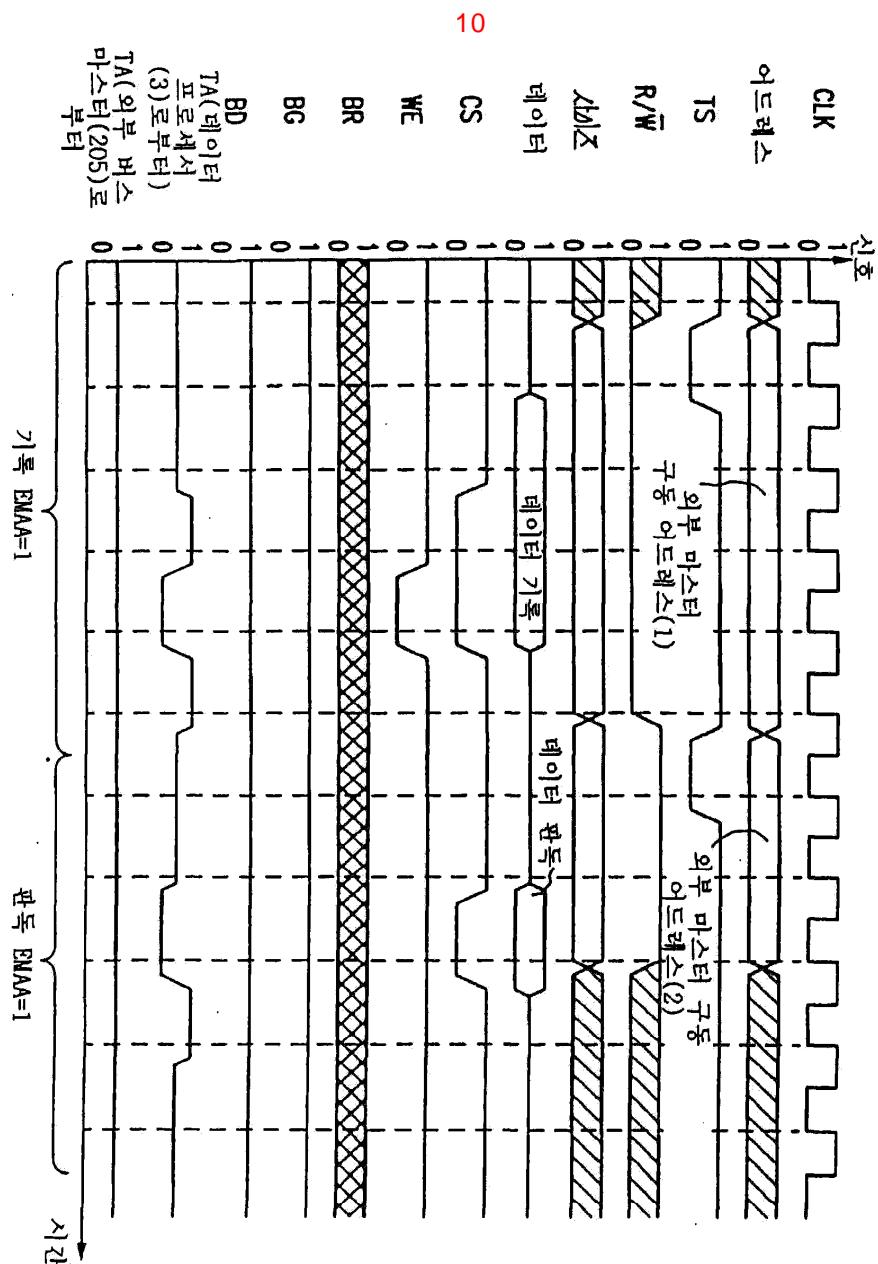


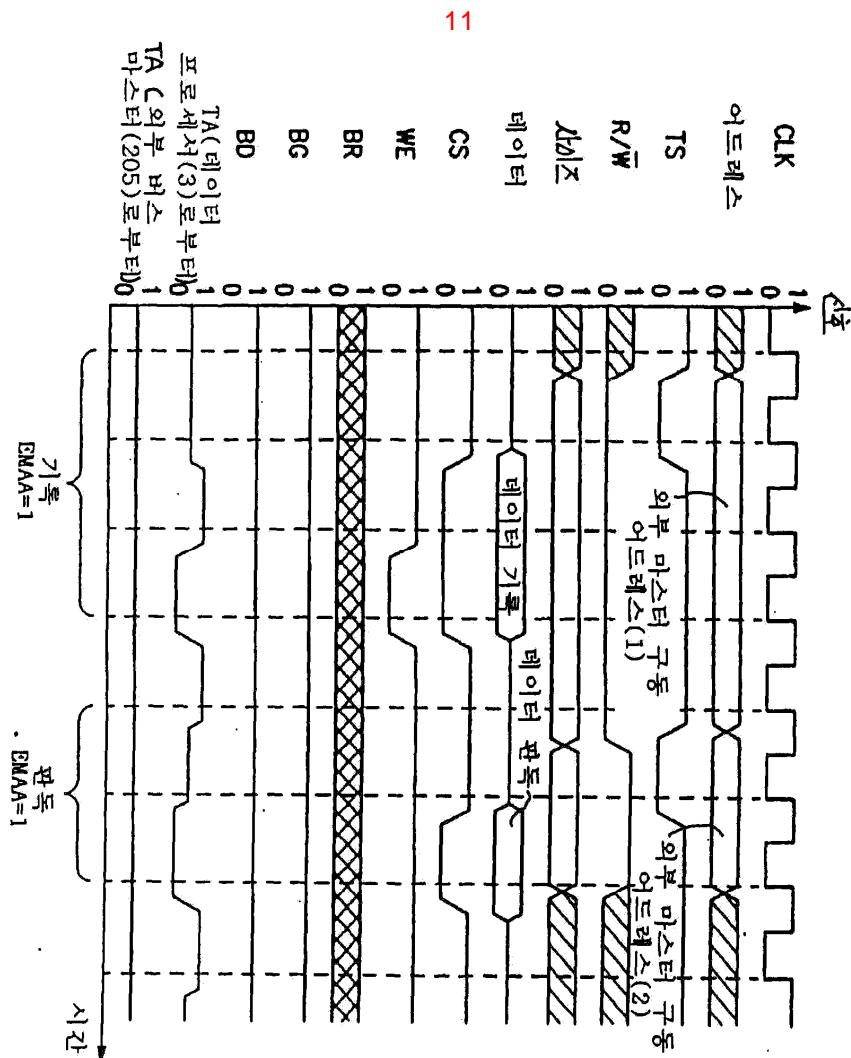












12a

칩 선택 어드레스
레지스터 (CSAR 0-7)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16

12b

칩 선택 마스크
레지스터 (CSMR 0-7)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	CPU	SC	SD	UC	UD	-	-

12c

칩 선택 제어
레지스터(CSCR 0-7)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WSJ	WS2	WS1	WS0	-	-	EMAA	AA	PS1	PS0	BRST	ASET	WRAH	RDAH	WR	RD

13a

제어기 리프레시
레지스터(DCRR)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	RC11	RC10	RC9	RC8	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0

13b

제어기 타이밍
레지스터(DCTR)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAEM	EDO	-	RCD	-	RSH1	RSH0	-	-	CRP1	CRP0	-	CAS	-	CP	CSR

13c

제어기 어드레스
레지스터(DCAR 0-1)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	-

13d

제어기 마스크
레지스터(DCMR 0-1)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	-

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	SC	SD	UC	UD	-

13e

제어기 제어
레지스터(DCCR 0-1)

7	6	5	4	3	2	1	0
PS1	PS0	BPS1	BPS0	PM1	PM0	WR	RD

14a

8-비트 포트 사이즈 어드레스
멀티플렉싱 구조

어드레스 핀	512바이트 페이지		1K바이트 페이지		2K바이트 페이지	
	RAS	CAS	RAS	CAS	RAS	CAS
27	27	26	27	26	27	26
26	26	26	26	26	26	26
25	25	24	25	24	25	24
24	24	24	24	24	24	24
23	23	22	23	22	23	22
22	22	22	22	22	22	22
21	21	20	21	20	21	10
20	20	20	20	20	20	9
19	19	18	19	9	19	8
18	18	18	18	8	18	7
17	17	8	17	7	17	6
16	16	7	16	6	16	5
15	15	6	15	5	15	4
14	14	5	14	4	14	3
13	13	4	13	3	13	2
12	12	3	12	2	12	1
11	11	2	11	1	11	0
10	10	1	10	0	10	10
9	9	0	9	9	9	9

16비트 포트 사이즈 이드레스
멀티플렉싱 구성

14b

어드레스 핀	512바이트 페이지		1K바이트 페이지		2K바이트 페이지	
	RAS	CAS	RAS	CAS	RAS	CAS
27	27	27	27	27	27	27
26	26	25	26	25	26	25
25	25	25	25	25	25	25
24	24	23	24	23	24	23
23	23	23	23	23	23	23
22	22	21	22	21	22	21
21	21	21	21	21	21	21
20	20	19	20	19	20	10
19	19	19	19	19	19	9
18	18	17	18	9	18	8
17	17	17	17	8	17	7
16	16	8	16	7	16	6
15	15	7	15	6	15	5
14	14	6	14	5	14	4
13	13	5	13	4	13	3
12	12	4	12	3	12	2
11	11	3	11	2	11	1
10	10	2	10	1	10	10
9	9	1	9	9	9	9

14c

32비트 포트 ~~사이즈~~ 어드레스
멀티플렉싱 구성

어드레스 핀	512바이트 페이지		1K바이트 페이지		2K바이트 페이지	
	RAS	CAS	RAS	CAS	RAS	CAS
27	27	26	27	26	27	26
26	26	26	26	26	26	26
25	25	24	25	24	25	24
24	24	24	24	24	24	24
23	23	22	23	22	23	22
22	22	22	22	22	22	22
21	21	20	21	20	21	20
20	20	20	20	20	20	20
19	19	18	19	18	19	10
18	18	18	18	18	18	9
17	17	16	17	9	17	8
16	16	16	16	8	16	7
15	15	8	15	7	15	6
14	14	7	14	6	14	5
13	13	6	13	5	13	4
12	12	5	12	4	12	3
11	11	4	11	3	11	2
10	10	3	10	2	10	10
9	9	2	9	9	9	9

