(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H01L 27/11 (2006.01)

(11) 공개번호 10-2006-0053232
(43) 공개일자 2006년05월19일

(21) 출원번호 10-2005-0096368
(22) 출원일자 2005년10월13일

(30) 우선권주장 JP-P-2004-00308029 2004년10월22일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도꾜도 지요다구 마루노우찌 2-쪼메 4-1

(72) 발명자 히라노 유이치
일본국 도꾜도 지요다구 마루노우찌 2-쪼메 4-1 가부시끼가이샤르네사스 테크놀로지 나이
이뽀시 타카시
일본국 도꾜도 지요다구 마루노우찌 2-쪼메 4-1 가부시끼가이샤르네사스 테크놀로지 나이

(74) 대리인 권태복
이화익

심사청구 : 없음

(54) 반도체장치, 에스램 및 반도체장치의 제조방법

요약

좁은 활성영역에 콘택부를 설치하는 공정을, 용이하게 행할 수 있는 반도체장치 및 반도체장치 등을 제공한다. 본 발명에 관한 반도체장치는, SOI 기판(10), 활성영역(3a), 제 1 절연막(완전 분리 절연막)(3b), 제 2 절연막(부분 분리 절연막)(3c), 및 콘택부(4)를 구비하고 있다. 여기에서, 활성영역(3a)은, SOI층(3)의 표면 내에 형성되어 있다. 또한, 제 1 절연막(3b)은, 활성영역(3a)의 한쪽의 측면에 형성되고 있고, 또한, SOI층(3)의 표면으로부터 매립 절연막(2)에 걸쳐서 형성되어 있다. 또한, 제 2 절연막(3c)은, 활성영역(3a)의 다른쪽의 측면에서 형성되어 있고, 또한, SOI층(3)의 표면으로부터, 매립 절연막(2)에 이르지 않는 소정의 깊이에 걸쳐서 형성되어 있다. 또한, 콘택부(4)는, 평면에서 볼 때, 활성영역(3a)의 중심보다 제 1 절연막(3b)이 존재하는 측에 설치되어 있다.

대표도

도 2

색인어

반도체장치, SRAM, 콘택부, 활성영역, 매립 절연막, 리크 전류

명세서

도면의 간단한 설명

도1은 실시예1에 관한 반도체장치의 구성을 나타낸 평면도이다.

도2는 실시예1에 관한 반도체장치의 구성을 나타낸 단면도이다.

도3은 문제를 갖는 반도체장치의 구성을 나타낸 평면도이다.

도4는 문제를 갖는 반도체장치의 구성을 나타낸 단면도이다.

도5는 반도체장치의 문제점을 설명하기 위한 단면도이다.

도6은 실시예1에 관한 반도체장치의 다른 구성예를 나타낸 평면도이다.

도7은 실시예1에 관한 반도체장치의 다른 구성예를 나타낸 단면도이다.

도8은 실시예1에 관한 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.

도9는 실시예1에 관한 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.

도10은 실시예1에 관한 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.

도11은 실시예1에 관한 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.

도12는 실시예1에 관한 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.

도13은 실시예1에 관한 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.

도14는 실시예1에 관한 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.

도15는 실시예1에 관한 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.

도16은 실시예1에 관한 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.

도17은 실시예1에 관한 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.

도18은 실시예1에 관한 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.

도19는 실시예2에 관한 SRAM의 구성을 나타낸 평면도이다.

도20은 실시예2에 관한 SRAM의 구성을 나타낸 회로도이다.

도21은 실시예2에 관한 SRAM의 다른 구성예의 일부를 나타낸 평면도이다.

도22는 실시예2에 관한 SRAM의 다른 구성예의 일부를 나타낸 평면도이다.

도23은 실시예3에 관한 SRAM의 구성을 나타낸 평면도이다.

도24는 실시예3에 관한 SRAM의 다른 구성예를 나타낸 평면도이다.

도25는 실시예3에 관한 SRAM의 다른 구성예를 나타낸 평면도이다.

도26은 실시예4에 관한 SRAM의 구성을 나타낸 평면도이다.

도27은 실시예5에 관한 SRAM의 구성을 나타낸 평면도이다.

도28은 실시예6에 관한 SRAM의 구성을 나타낸 평면도이다.

도29는 실시예6에 관한 SRAM의 구성을 나타낸 단면도이다.

* 도면의 주요부분에 대한 부호의 설명 *

1: 반도체 지지기판 2: 매립 절연막

3: SOI층 3a: 활성 영역

3b: 완전 분리 절연막 3c: 부분 분리 절연막

3d: 보디(body) 영역 3a1: 실리사이드 막

4, 4g: 콘택부 4s: 셰어드 콘택부

5: 게이트 전극 10: SOI 기판

Tr1, Tr2: 액세스 트랜지스터 Tr3, Tr4: 로드 트랜지스터

Tr5, Tr6: 드라이브 트랜지스터 41: 전원용 콘택부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체장치, SRAM 및 반도체장치의 제조방법에 관한 발명으로, 특히, 활성영역과 해당 활성영역과 접속하는 콘택부를 갖는 반도체장치, SRAM 및 반도체장치의 제조방법에 관한 것이다.

SOI 기판에 트랜지스터를 형성하는 기술은, 이전부터 존재한다(비특허문헌 1).

비특허문헌 1의 발명에서는, 트랜지스터를 구성하고 있는 활성영역은, 부분 분리 절연막으로 둘러싸여져 있다. 이때, 활성영역 상에는, 콘택부가 접속된다.

그런데, 활성영역 상에 콘택부를 접속하는 공정에 있어서, 중첩 어긋남 등에 의해, 콘택부는, 본래의 활성영역의 위치로부터 어긋나 형성되는 경우가 있다.

[비특허문헌 1] Y. Hirano 등 저 「Bulk-Layout-Copatible 0.18㎛ SOI-CMOS Technology Using Body-Fixed Partial Trench Isolation(PTI)」, 1999 IEEE International SOI Conference, 1999년 10월, P131-132

발명이 이루고자 하는 기술적 과제

반도체장치의 미세화에 따라, 활성영역의 폭도 축소 경향에 있다. 그러나, 활성영역의 폭이 축소되면, 상기 중첩 어긋남 등에 의해, 콘택부는, 활성영역으로부터 벗어나 형성될 가능성이 높아진다.

만일, 콘택부가 활성영역으로부터 벗어나 형성되면, 콘택부의 일부는, SOI층 내의 보디부와 접속되어 버린다. 이에 따라, 콘택부와 보디부와의 사이에서 리크 전류가 발생해 버린다.

해당 리크 전류의 발생을 억제하려면, 콘택부를 정밀도 좋게, 좁은 활성영역 상에 콘택부를 설치할 필요가 있다. 이것은, 반도체장치의 제조의 곤란화의 요인이 되고 있었다.

그래서, 본 발명은, 좁은 활성영역에 콘택부를 설치하는 공정을 용이하게 행할 수 있는 반도체장치, SRAM 및 반도체장치의 제조방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해, 본 발명에 관한 청구항1에 기재된 반도체장치는, 반도체 지지 기판과 매립 절연막과 SOI층이, 이 순서로 적층된 구조를 갖는 SOI 기판과, 상기 SOI층의 표면 내에 형성되는 활성영역과, 상기 활성영역의 한쪽의 측면에 있어서, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서 형성된되는, 제 1 절연막과, 상기 한쪽의 측면에 대향하는, 상기 활성영역의 다른쪽의 측면 있어서, 상기 SOI층의 표면으로부터, 상기 매립 절연막에 이르지 않는 소정의 깊이에 걸쳐서 형성된, 제 2 절연막과, 평면에서 볼 때, 상기 활성영역의 중심보다 상기 제 1 절연막이 존재하는 측의 상기 활성영역 상에 설치되는 콘택부를 구비하고 있다.

본 발명에 관한 청구항4에 기재된 SRAM은, 반도체 지지 기판과 매립 절연막과 SOI층이, 이 순서로 적층된 구조를 갖는 SOI 기판과, 상기 SOI층의 표면 내에 형성되는 제 1 활성영역을 갖는, 상기 SOI층에 형성되는 액세스 트랜지스터와, 상기 제 1 활성영역의 한쪽의 측면에 있어서, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서 형성되는 제 1 절연막과, 상기 한쪽의 측면에 대향하는 상기 제 1 활성영역의 다른쪽의 측면에 있어서, 상기 SOI층의 표면으로부터, 상기 매립 절연막에 이르지 않는 소정의 깊이에 걸쳐서 형성되는 제 2 절연막과, 평면에서 볼 때, 상기 제 1 활성영역의 중심보다 상기 제 1 절연막이 존재하는 측의 상기 제 1 활성영역 상에 설치되는 제 1 콘택부를 구비하고 있다.

또한, 본 발명에 관한 청구항13에 기재된 반도체장치의 제조방법은, (a) 반도체 지지 기판과 매립 절연막과 SOI층이, 이 순서로 적층된 구조를 갖는 SOI 기판을 준비하는 공정과, (b) 상기 SOI층의 표면내에, 활성영역을 형성하는 공정과, (c) 상기 활성영역의 한쪽의 측면에 있어서, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서, 제 1 절연막을 형성하는 공정과, (d) 상기 한쪽의 측면에 대향하는 상기 활성영역의 다른쪽의 측면에 있어서, 상기 SOI층의 표면으로부터, 상기 매립 절연막에 이르지 않는 소정의 깊이에 걸쳐서, 제 2 절연막을 형성하는 공정과, (e) 평면에서 볼 때, 상기 활성영역의 중심보다 상기 제 1 절연막이 존재하는 측의 상기 활성영역 상을 향해, 콘택부를 설치하는 공정을 구비하고 있다.

[실시예]

이하, 본 발명을 그것의 실시예를 나타낸 도면에 근거하여 구체적으로 설명한다.

<실시예1>

<구조>

도1은, 본 실시예1에 관한 반도체장치(트랜지스터)의 구성을 나타낸 평면도이다. 또한, 도2은, 도1의 II-II 단면의 구성을 나타낸 단면도이다.

도1, 2에 나타낸 것과 같이 SOI(Semiconductor On Insulator) 기판(10)에는, 트랜지스터가 형성되어 있다. 여기에서, SOI 기판(10)은, 반도체 지지 기판(1), 매립 절연막(2) 및 SOI층(3)으로 구성되어 있다.

구체적으로, 도2에 나타낸 것과 같이 반도체 지지 기판(1) 상에는, 매립 절연막(2)이 형성되어 있다. 또한, 매립 절연막(2) 상에는, SOI층(3)이 형성되어 있다.

SOI층(3)의 표면 내에는, N+ 형의 활성영역(3a)가 형성되어 있다. 여기에서, 활성영역(3a)은, 도2에 나타낸 것과 같이 SOI층(3)의 표면으로부터 매립 절연막(2)에 걸쳐 형성되어 있다. 이때, 활성영역의 상면의 일부는, 코발트 실리사이드막 등의 실리사이드 막(3a1)이 형성되어 있다. 이하, 실리사이드 막(3a1)도 포함시켜서 활성영역(3a)이라고 칭한다 (도1에서는, 실리사이드 막(3a1)은 생략하고 있다).

또한, SOI층(3)에는, 도시되지 않은 트랜지스터와 다른 반도체소자(도면에는 나타내지 않는다)를 분리하는, 완전 분리 절연막(제 1 절연막으로 파악할 수 있다)(3b)과 부분 분리 절연막(제 2 절연막으로 파악할 수 있다)(3c)이 형성되어 있다.

완전 분리 절연막(3b)은, 도1, 2에 나타낸 것과 같이 활성영역(3a)의 한쪽의 측면에 접하여, 형성되어 있다. 또한, 도2에 나타낸 것과 같이 완전 분리 절연막(3b)은, SOI층(3)의 표면으로부터 매립 절연막(2)에 걸쳐서 형성되어 있다.

또한, 부분 분리 절연막(3c)은, 도1, 2에 나타낸 것과 같이 활성영역(3a)의 한쪽의 측면에 대향하는, 해당 활성영역(3a)의 다른쪽의 측면의 일부와 접하여, 형성되어 있다. 또한, 도2에 나타낸 것과 같이 부분 분리 절연막(3c)은, SOI층(3)의 표면으로부터 소정의 깊이(매립 절연막(2)에 이르지 않는 깊이)에 걸쳐서 형성되어 있다.

이때, 도2에 나타낸 것과 같이, 부분 분리 절연막(3c)의 하면과 매립 절연막(2)의 상면 사이에는, P형의 보디영역(3d)이 형성되어 있다. 여기에서, 동작시에 있어서, 보디 영역3d는, 소정의 전위로 전위 고정된다.

또한, 도1, 2에 나타낸 것과 같이 콘택부(4)는, 활성영역(3a)의 상면과 접속되어 있다. 여기에서, 콘택부(4)은, 활성영역의 중심(도면의 점선 C)보다, 완전 분리 절연막(3b)측에 설치되어 있다.

또한, 도1에 나타낸 것과 같이 SOI층(3) 상에는, 게이트 전극(5)이 설치되어 있다. 그리고, 게이트 전극(5)과 활성영역(3a)으로 트랜지스터가 형성된다.

본 실시예에 관한 반도체장치는, 상기한 것과 같이 구성되어 있으므로, 이하에 나타낸 효과를 가진다. 우선, 효과를 설명하기 전에, 이하의 구조를 구비하는 반도체장치(트랜지스터)가 가지고 있었던 문제에 대해서 서술한다.

도3은, 문제를 갖는 반도체장치(트랜지스터)의 구성을 나타낸 평면도이다. 또한, 도4는, 도3의 IV-IV 단면의 구성을 나타낸 단면도이다.

도3, 4에 나타낸 것과 같이 SOI층(3)내에 있어서, 활성영역(3a)의 양측에는, 부분 분리 절연막(3c)이 형성되어 있다. 그리고, 각 부분 분리 절연막(3c)의 하면과 매립 절연막(2)의 상면 사이에는, 도4에 나타낸 것과 같이 보디 영역(3d)이 각각 형성되어 있다.

또한, 콘택부(4)는, 활성영역(3a) 상에 접속되어 있다. 여기에서, 콘택부(4)의 중심이, 활성영역(3a)의 중심(도면 중의 점선 C)과 일치하도록, 반도체장치의 설계는 행해지고 있다.

그러나, 실제 콘택부(4)를 설치하는 때에는, 중첩 어긋남 등에 의해, 콘택부(4)는, 활성영역(3a)의 중심으로부터 어긋나서 형성되어 버릴 가능성이 있다. 활성영역(3a)의 폭이 콘택부(4)의 지름과 비교해서 충분히 큰 경우에는, 다소 설치 어긋남이 생겨도 콘택부(4)는, 반드시 활성영역(3a) 상에 설치된다.

그런데, 활성영역(3a)의 폭(b)이 콘택부(4)의 지름(a)의 2배 이하인($b \leq 2a$) 경우에 있어서, 콘택의 설치시 중첩 등의 어긋남이 발생한 것으로 한다. 그러면, 도5에 나타낸 것과 같이 콘택부(4)가 활성영역(3a)으로부터 벗어나 형성되어 버린다. 그리고, 해당 콘택부(4)는, 부분 분리 절연막(3c)을 관통하여, 보디 영역(3d)과 접속한다.

이와 같이, 콘택부(4)가 보디 영역(3d)과 접속해 버리면, 콘택부(4)외 보디 영역(3d) 사이의 리크 전류가 생겨 버린다. 이것을 방지하려면, 콘택부(4)를 좁은 활성영역(3a) 상에만 배치할 필요가 있다. 해당 제조공정은, 극히 곤란한 것이다.

그러나, 본 실시예에 관한 반도체장치를 적용함으로써, 좁은 활성영역(3a)에의 콘택부(4)에의 설치를 용이하게 행할 수 있다.

즉, 콘택부(4)의 활성영역(3a) 상에의 설치에 있어서, 콘택부(4)를, 활성영역(3a)의 중심보다 완전 분리 절연막(3b)측으로 어긋난, 활성영역(3a) 상의 위치를 향해 설치한다.

그러면, 활성영역(3a) 상에 있어서, 부분 분리 절연막(3c)측에는, 큰 콘택 마진을 취할 수 있다. 또한, 도6, 7에 나타낸 것과 같이 중첩 어긋남 등에 의해, 콘택부(4)가 활성영역(3a)으로부터, 완전 분리 절연막측으로 벗어나 형성된 것으로 한다.

그러나, 해당 벗어난 방향에는, 완전 분리 절연막(3b)이 형성되어 있는 것 뿐으므로, 콘택부(4)과 보디부(3d)가 접속하는 일은 없다.

여기에서, 도6은, 콘택부(4)가 활성영역으로부터 벗어난 모양을 나타낸 평면도이며, 도7은, 도6의 VII-VII 단면을 나타낸 단면도이다.

이상과 같이, 본 실시예에 관한 반도체장치의 구조를 채용함으로써, 콘택부(4)의 설치 정밀도를 엄격하게 제어할 필요는 없어져, 콘택부(4)의 설치 공정은 용이하게 된다.

특히, 상기 b≤2a의 관계가 성립하는 경우에는, 본 발명은 유효하다.

이때, 본 실시예에서는, 도2에 나타낸 구조 뿐만 아니라, 당초부터 도6, 7에 나타낸 것과 같은 구성을 채용하는 것을 목적으로서 하여도 된다.

도6, 7에 나타낸 것과 같이 콘택부(4)가 활성영역(3a)으로부터 완전 분리 절연막측에 벗어난 구조를 채용한 경우에 있어서도, 상기와 마찬가지로, 콘택부(4)의 설치 공정이 용이해지는 것은, 말할 필요도 없다.

왜냐하면, 상기와 같이, 활성영역(3a) 상에 있어서, 부분 분리 절연막(3c)측에는 큰 콘택 마진을 채용할 수 있기 때문이며, 또한, 중첩 어긋남에 의해, 콘택부(4)가 도6, 7에 나타낸 위치보다, 더욱 더 완전 분리 절연막(3b)측에 어긋나서 설치되었다고 하더라도, 콘택부(4)가 보디부(3d)와 접속하는 일은 없기 때문이다.

또한, 도1에 나타낸 구조에서 알 수 있는 것 같이, 게이트 전극(5)과 접속되는 콘택부(4g)가 부분 분리 절연막(3c)측에 설치되었다고 한다. 그러면, 콘택부(4)는, 해당 콘택부(4g)에서 떨어져 설치되게 된다. 따라서, 콘택부(4)와 콘택부(4g) 사이에서 생기는 기생 용량을 저감할 수 있다.

<제조방법>

다음에 도1, 2 또는 도6, 7에 나타낸 반도체장치(트랜지스터)의 제조방법에 관하여 설명한다.

우선, 도8에 나타낸 것과 같이, 실리콘 등으로 이루어진 반도체 지지 기판(1) 상에 매립 절연막(2)을 퇴적하고, 매립 절연막(2) 상에 SOI층(3)을 퇴적함으로써, SOI 기판(10)을 준비한다.

해당 SOI 기판(10)은, 예를 들면 SIMOX(Separation by Implanted Oxygen)법에 의해 형성된다. 또한, SOI 기판(10)은, 웨이퍼 부착법에 의해서도 형성된다.

다음에, 도9에 나타낸 것과 같이 CVD법에 의해, SOI층(3) 위에의 산화막 OX11을 형성한다. 또한, 형성되는 산화막 OX(11)의 막두께는, 5～50nm 정도이다.

다음에 도9에 나타낸 것과 같이, CVD법에 의해, 산화막 OX11 상에 폴리실리콘층 PS11을 형성한다. 여기에서, 해당 폴리실리콘층 PS11의 두께는, 10～100nm 정도이다.

다음에, 도9에 나타낸 것과 같이, CVD법에 의해, 폴리실리콘층 PS11 상에 질화막 SN11을 형성한다. 또한, 질화막 SN11의 막두께는, 50～200nm 정도이다.

이어서, 패터닝에 의해, 질화막 SN11 상에 레지스트 마스크 RM11을 형성한다(도9). 레지스트 마스크 RM11은, 부분 분리 절연막(3c) 및 완전 분리 절연막(3b)(도1, 2 또는 도6, 7)의 설치 위치에 대응한 부분이, 개구부 RM11a, RM11b이 된 패턴을 가지고 있다.

다음에, 레지스트 마스크 RM11의 개구 패턴에 맞추어, 질화막 SN11을 에칭한다. 그 후에 레지스트 마스크 RM11 및 질화막 SN11을 에칭 마스크로서 사용하여, 드라이에칭 처리를 실시한다. 이에 따라, 폴리실리콘층 PS11, 산화막 OX11 및 SOI층(3)의 일부를 선택적으로 제거한다.

이상에 의해, 도10에 나타낸 것과 같이, 부분 분리 절연막(3c) 및 완전 분리 절연막(3b)의 형성 위치에 대응시켜서, 트렌치 TR1 및 TR2가 형성된다. 이때, 도10에서는, 레지스트 마스크 RM11은, 제거되어 있다.

또한, SOI층(3)의 에칭에 있어서는, SOI층(3)을 관통하지 않도록 하는 것이 필요하다. 다음에, 질화막 SN11을 마스크로서 사용하여, 노출된 SOI층(3)의 표면을 열산화한다. 이에 따라, 노출된 SOI층(3)의 표면에 산화막 OX12를 형성한다.

다음에 도11에 나타낸 것과 같이 패터닝에 의해, 레지스트 마스크 RM12을 형성한다. 레지스트 마스크 RM12는, 트렌치 TR2의 부분만이 개구부가 되도록 하는 패턴을 가지고 있다.

다음에, 레지스트 마스크 RM12의 개구 패턴에 맞추어, 트렌치 TR2을 다시 에칭한다. 이에 따라 도12에 나타낸 것과 같이, 트렌치 TR2의 저부로부터 매립 산화막(2)을 노출시킨다(트렌치 TR21을 형성한다). 이때, 도12에서는, 레지스트 마스크 RM12은, 제거되어 있다.

다음에, 도13에 나타낸 것과 같이, CVD법에 의해, SOI 기판(10) 전체 영역에 걸쳐 산화막 OX13을 형성한다. 해당 산화막 OX13의 막두께는, 300～600nm 정도이다. 또한, 산화막 OX13은, 트렌치 TR1 및 TR21 내에 완전하게 매립된다. 이때, 도면의 간략화를 위해, 산화막 OX12의 도시는 생략하고 있다.

다음에, 도13에 나타낸 SOI 기판(10)에 대하여, 리소그래피 공정, 에칭 공정, CMP 등을 실행한다. 이에 따라 도14에 나타낸 것과 같이, 완전 분리 절연막(3b)과 부분 분리 절연막(3c)이 형성된다.

다음에, 도15에 나타낸 것과 같이, 질화막 SN11 및 폴리실리콘층 PS11을, 웨트에칭 또는 드라이에칭에 의해 제거한다.

다음에, 소정의 영역에 대하여 붕소 등의 불순물 이온을 주입함으로써, 도16에 나타낸 것과 같이, SOI층(3)의 소정의 영역에 P형의 보디 영역(3d)을 형성한다. 또한, 산화막 OX11을 제거한 후, 게이트 전극(게이트 절연막도 포함한다. 이것들은 도시 생략)을 형성한다. 그 후에 해당 게이트 전극을 마스크로서 사용하여, 인 등의 불순물 이온을 주입한다.

이상까지의 공정에 의해, 도16에 나타낸 것과 같이,SOI층(3)내(중)에, P형의 보디 영역(3d)과 N+ 형의 활성영역(3a)이 형성된다.

다음에, 활성영역(3a)의 상면에 대하여 실리사이드화 처리를 실시한다. 이에 따라 활성영역(3a)의 표면 내에는, 코발트 실리사이드 막 등의 실리사이드 막(3a1)이 형성된다.

그 후에 도17 또는 도18에 나타낸 것과 같이, CVD법 등에 의해, SOI층(3) 상에 층간 절연막(20)을 형성한다. 그리고, 층간 절연막(20)에 대하여 리소그래피 공정을 행함으로써, 콘택홀(20a)를 형성한다.

여기에서, 콘택홀(20a)의 지름의 중심이, 활성영역(3a)의 중심 C보다도 완전 분리 절연막(3b)측에 위치하도록, 해당 콘택홀(20a)은 형성된다. 이때, 도18에서는, 콘택홀(20a)가 활성영역(3a)으로부터 벗어나 형성되고 있고, 완전 분리 절연막(3b)의 일부가 오버 에칭되어 있다.

최후에, 도17 또는 도18에 나타낸 콘택홀(20a)에 대하여, 도전체를 충전한다. 이에 따라 도1, 2 또는 도6, 7에 나타낸 반도체장치가 완성된다. 여기에서, 도2, 7에 있어서는, 층간 절연막(20)은 생략하고 있다.

이상에 의해, 본 실시예에 관한 반도체장치의 제조방법에서는, SOI층(3)의 표면 내에 형성된 활성영역(3a)을 사이에 끼우고, 한쪽에 완전 분리 절연막(3b)을 형성하고, 다른쪽에 부분 분리 절연막(3c)을 형성하고 있다. 또한, 콘택홀(20a)의 지름의 중심이 활성 영역(3a)의 중심 C로부터 완전 분리 절연막(3b)측으로 어긋나도록, 의도적으로, 콘택홀(20a)를 층간절연막(20)에 대하여 형성하고 있다.

이에 따라 활성영역(3a)의 부분 분리 절연막(3c)측에는, 콘택홀(20a)의 형성 마진을 크게 취할 수 있다. 따라서, 콘택홀(20a)의 형성시에, 중첩 어긋남 등이 생겼다고 하더라도, 콘택홀(20a)이 부분 분리 절연막(3c)측에 형성되는 것을 방지할 수 있다.

따라서, 해당 콘택홀(20a) 내에 형성되는 콘택부(4)과 보디 영역(3d)의 접속을 방지할 수 있어, 콘택부(4)과 보디 영역(3d) 사이에서 리크 전류가 생기는 것도 없어진다.

<실시예2>

본 실시예는, 실시예1에 관한 반도체 등 장치(트랜지스터)를, SRAM(Static Random Access Memory)에 적용한 경우의 것이다.

도19는, 실시예1에 관한 트랜지스터를 적용한 SRAM의 평면구조를 도시한 도면이다. 도20은, 도19의 SRAM의 등가회로를 나타낸 회로도이다. 이때, 도19의 V-V단면의 단면 구조는, 도7에 나타낸 바와 같다.

도19, 20에 나타낸 것과 같이, SRAM은, 액세스 트랜지스터 Tr1, Tr2과, 로드 트랜지스터 Tr3, Tr4과, 드라이버 트랜지스터 Tr5, Tr6로 구성되어 있다.

여기에서, 액세스 트랜지스터 Tr1, Tr2 및 드라이버 트랜지스터 Tr5, Tr6은, NMOS 트랜지스터이며, 로드 트랜지스터 Tr3, Tr4은, PMOS 트랜지스터이다.

도19에 나타낸 것과 같이, SOI층(3)의 소정의 영역 내에 형성되는 SRAM은, 완전 분리 절연막(3b)과 부분 분리 절연막(3c)을 가지고 있다. 구체적으로, 각 활성 영역(3a)의 한쪽에는, 완전 분리 절연막(3b)이 형성되고 있고, 다른쪽에는, 부분 분리 절연막(3c)이 형성되어 있다.

이때, 액세스 트랜지스터 Tr1, Tr2의 게이트 전극(5) 바로 아래의 보디는, 부분 분리 절연막(3c) 아래에 존재하는 보디 영역(3d)과 접속되어 있다. 또한, 해당 보디는 전위고정되어 있다.

도19에서 알 수 있는 바와 같이, 액세스 트랜지스터 Tr1, Tr2의 활성영역(소스/드레인)(3a) 상에 설치되는 비트선 등의 콘택부(4)는, 활성 영역(3a)의 중심보다 완전 분리 절연막(3b)측에 존재하고 있다.

또한, 셰어드 콘택부(4s)에 있어서도, 로드 트랜지스터 Tr3, Tr4의 활성 영역(3a)의 중심보다 완전 분리 절연막(3b)측에 존재하고 있다. 이때, 셰어드 콘택(4s)은, 노드를 형성하고 있다. 또한, 셰어드 콘택(4s)은, 드라이버 트랜지스터 Tr5, Tr6 등의 게이트 전극(5)과, 로드 트랜지스터 Tr3, Tr4의 활성영역(3a)에 걸쳐 설치되어 있다.

이상과 같이, 실시예1에 관한 반도체장치(트랜지스터)를 적용해서 SRAM을 구성하고 있다. 따라서, 실시예1과 마찬가지로, 콘택부(4), 셰어드 콘택부(4s)의 설치 공정시에, 활성 영역(3a) 상의 부분 분리 절연막(3c)측의 콘택 마진을 크게 채용할 수 있다.

따라서, 콘택부(4) 등의 설치 공정을 용이하게 행할 수 있다. 또한, 콘택부(4) 등이 보디 영역(3d)(도5)과 접속하는 것을 방지 할 수 있어, 콘택부(4) 등과 보디 영역(3d) 사이에서의 리크 전류의 발생도 생기는 일이 없다.

이때, 셰어드 콘택부(4s)를 부분 분리 절연막측에, 어긋나게 해서 형성함으로써, 셰어드 콘택부(4s)와 게이트 전극(5)과의 콘택 마진이 작다. 이것을 방지하기 위해서, 도21, 22에 나타나 있는 바와 같은 형상의 셰어드 콘택부(4s)를 형성해도 된다.

즉, 도21에 나타낸 것과 같이, 셰어드 콘택부(4s)는, 2개의 부분으로 나뉘어져 있다. 셰어드 콘택부(4s)의 게이트 전극(5)과 접속하고 있는 부분 A와 셰어드 콘택부(4s)의 활성영역(3a)과 접속하고 있는 부분 B이다.

그리고, 도21에 나타낸 것과 같이, 부분 A보다도, 부분 B의 쪽이, 완전 분리 절연막(3b)측에 설치되어 있다.

또한, 도22에서는, 부분 B의 도면의 횡방향의 폭보다도, 부분 A의 도면의 옆쪽의 폭의 쪽을 크게 하고 있다.

<실시예3>

본 실시예는, 실시예1에 관한 반도체 등 장치(트랜지스터)를 SRAM에 적용한 경우의 다른 구성예를 나타낸 것이다. 본 실시예에 관한 구성의 평면도를, 도23~25에 나타낸다.

도23과 24에 나타낸 SRAM에서는, 도2에 나타낸 구성의 트랜지스터와, 도7에 나타낸 구성의 트랜지스터가 혼재하고 있다. 이에 대하여 도25에 나타낸 구성에서는, 도2에 나타낸 구성의 트랜지스터만이 적용되어 있다.

구체적으로, 도23에서는, 액세스 트랜지스터 Tr1, Tr2의 활성영역(3a)과 해당 활성영역(3a)과 접속하는 콘택부(4)의 구성으로서, 도7에서 나타낸 구성을 적용하고 있다. 또한, 로드 트랜지스터 Tr3, Tr4의 활성영역(3a)과 해당 활성영역(3a)과 접속하는 셰어드 콘택부(4s)의 구성으로서, 도2에서 나타낸 구성(도2의 구성에 있어서, 활성영역(3a)은 P+ 형인 구성)을 적용하고 있다.

또한, 도24에서는, 액세스 트랜지스터 Tr1, Tr2의 활성영역(3a)과 해당 활성영역(3a)과 접속하는 콘택부(4)의 구성으로서, 도2에서 나타낸 구성을 적용하고 있다. 또한, 로드 트랜지스터 Tr3, Tr4의 활성영역(3a)과 해당 활성영역(3a)과 접속하는 셰어드 콘택부(4s)의 구성으로서, 도7에서 나타낸 구성(도7의 구성에 있어서, 활성영역(3a)은 P+ 형인 구성)을 적용하고 있다.

또한, 도25에서는, 액세스 트랜지스터 Tr1, Tr2의 활성 영역(3a)과 해당 활성 영역(3a)과 접속하는 콘택부(4)의 구성, 및 로드 트랜지스터 Tr3, Tr4의 활성영역(3a)과 해당 활성영역(3a)와 접속하는 셰어드 콘택부(4s)의 구성으로서, 도2에서 나타낸 구성을 적용하고 있다. 이때, 로드 트랜지스터 Tr3, 4의 활성영역은, P+ 형이다.

본 실시예에 관한 SRAM은, 상기한 구성이므로, 실시예1에서 설명한 효과와 같은 효과를 나타낼 수 있다.

<실시예4>

본 실시예는, 실시예1에 관한 반도체 등 장치를 SRAM에 적용한 경우의 다른 구성예를 나타낸 것이다. 본 실시예에 관한 구성의 평면도를, 도26에 나타낸다. 본실시예에서는, 액세스 트랜지스터 Tr1, Tr2에, 도7에서 나타낸 구성을 적용하고 있다.

구체적으로, 액세스 트랜지스터 Tr1, Tr2의 활성영역(3a)의 한쪽측은, 완전 분리 절연막(3b)이 형성되고 있고, 다른쪽 측에는, 부분 분리 절연막(3c)이 형성되어 있다. 그리고, 액세스 트랜지스터 Tr1, Tr2의 활성영역에 접속되는 콘택부(4)는, 해당 활성영역(3a)의 중심보다도 완전 분리 절연막(3b)측에 설치되어 있다.

이때, 액세스 트랜지스터 Tr1, Tr2의 게이트 전극(5) 바로의 보디는, 부분 분리 절연막(3c) 아래에 존재하는 보디 영역(3d)과 접속되어 있다. 또한, 해당 보디는, 전위고정되어 있다.

본 실시예에서는, 로드 트랜지스터 Tr3, Tr4의 활성영역(3a)의 양측에는, 완전 분리 절연막(3b)이 형성되어 있다. 따라서, 로드 트랜지스터 Tr3, Tr4의 게이트전극(5) 바로 아래의 보디는, 플로팅 구조로 되어 있다. 또한, 해당 활성영역(3a)에 접속되는 셰어드 콘택부(4s)는, 의도적으로 그것의 배치 위치를 활성영역(3a)의 중심으로부터 어긋나게 하는 일은 하지 않는다.

본 실시예는 상기한 것 같이 구성되어 있으므로, 액세스 트랜지스터 Tr1, Tr2에 있어서, 실시예 1과 동일한 효과를 나타낼 수 있다.

이때, 셰어드 콘택부(4s)가 접속되는 활성영역(3a)의 주변은, 완전 분리 절연막(3b)으로 둘러싸여져 있다. 따라서, 셰어드 콘택부(4s)가 해당 활성영역(3a)에서 벗어났다 하더라도, 전술한 리크 전류 등의 문제는 생기지 않는다. 따라서, 셰어드 콘택부(4s)의 설치 공정을 정밀도를 엄밀하게 걱정할 필요는 없어져, 제조의 용이화를 꾀할 수 있다.

<실시예5>

본 실시예는, 실시예4에 관한 SRAM의 변형예이다. 도27에, 본 실시예에 관한 SRAM을 나타낸다.

실시예4에 관한 SRAM에서는, 도26에 나타낸 것과 같이,, 로드 트랜지스터 Tr3, Tr4을 구성하고 있는 양 활성 영역(소스 영역 및 드레인 영역)(3a)의 양측면에는, 완전 분리 절연막(3b)이 존재한다.

그러나, 본 실시예에 관한 SRAM에서는, 한쪽의 활성영역(드레인 영역)(3a)의 양측면에만, 완전 분리 절연막(3b)이 존재한다.

구체적으로, 활성영역(드레인 영역)(3a)은, 셰어드 콘택(4s)와 접속된다. 그리고, 도27에 나타낸 것과 같이, 활성영역(드레인 영역의 대부분)(3a)의 해당 접속 부분 영역의 양측면(한쪽의 측면 및, 해당 한쪽의 측면에 대향하는 다른쪽의 측면)에만, 완전 분리 절연막(3a)이 존재한다. 완전 분리 절연막(3a)은, 전술한 바와 같이, SOI층(3)의 표면으로부터 매립 절연막(2)에 걸쳐서 형성되어 있다.

또한, 도27에 나타낸 것과 같이, 상기 셰어드 콘택(4s)과 접속되어 있는 부분 이외의 활성영역(소스 영역과 드레인 영역의 일부)(3a)의 양측면에는, 부분 분리 절연막(3c)이 형성되어 있다.

또한, 로드 트랜지스터 Tr3, Tr4의 게이트 전극(5) 바로 아래의 보디는, 부분 분리 절연막(3c) 아래에 존재하는 보디 영역(3d)과 접속되어 있다. 그러나, 해당 보디는, 전위고정되지 않고 있다. 즉, 로드 트랜지스터 Tr3, Tr4의 게이트 전극(5) 바로 아래의 보디는, 플로팅 구조로 되어 있다.

기타의 구조는, 실시예4에 관한 SRAM과 같으므로, 여기에서의 설명은 생략한다.

본 실시예에 관한 SRAM은, 상기한 것과 같이 구성되어 있으므로, 실시예4에 관한 SRAM과 동일한 효과를 갖는 동시에, 이하에 나타낸 효과도 나타낼 수 있다.

즉, 실시예4에 관한 SRAM보다도 본 실시예에 관한 SRAM쪽이, 도26, 27로부터도 명백한 것과 같이, 로드 트랜지스터 Tr3, Tr4의 게이트 전극(5) 바로 아래의 보디의 영역이 넓어진다. 이것은, 본 실시예에 관한 SRAM에서는, 해당 게이트 전극(5) 바로 아래의 보디는, 부분 분리 절연막(3c) 아래에 존재하는 보디 영역(3d)과 접속되어 있기 때문이다.

따라서, 본 실시예에 관한 SRAM에서는, 로드 트랜지스터 Tr3, Tr4의 게이트 전극(5) 바로 아래에 존재하는 보디 내의 임팩트 이온화에서 생긴 전자를 보디 영역(3d)에도 분산되게 할 수 있다.

따라서, 해당 로드 트랜지스터 Tr3, Tr4의 기생 바이폴라 효과를 억제할 수 있으므로, 해당 로드 트랜지스터 Tr3, Tr4은, 정상적인 동작을 행할 수 있다.

<실시예6>

본 실시예에 관한 SRAM은, 실시예5에 관한 SRAM의 변형예이다. 본 실시예에 관한 SRAM의 평면도를, 도28에 나타낸다. 또한, 도28에 있어서의 A-A 단면의 단면도를, 도29에 나타낸다.

실시예5에 관한 SRAM에서는, 로드 트랜지스터 Tr3, Tr4의 게이트 전극(5) 바로 아래의 보디는, 플로팅 상태이었다.

그러나, 본 실시예에 관한 SRAM에서는, 부분 분리 절연막(3c)으로 둘러싸여져 있다, 로드 트랜지스터 Tr3, Tr4의 활성영역(소스 영역)(3a) 및, 부분 분리 절연막(3c) 아래의 보디 영역(3d)이, 소정의 고정 전위를 공급하는 전원용 콘택(41)과 접속하고 있다. 또한, 보디 영역(3d)은, 로드 트랜지스터 Tr3, Tr4의 게이트 전극(5) 바로 아래의 보디와 접속되어 있다.

따라서, 로드 트랜지스터 Tr3, Tr4의 게이트 전극(5) 바로 아래의 보디는, 소정의 전위로 전위고정되어 있다.

이때, 도29에서 알 수 있는 것과 같이, 로드 트랜지스터 Tr3, Tr4는, PMOS이다.

상기 이외의 구성은, 실시예5에 관한 SRAM과 같으므로, 여기에서의 설명은 생략한다.

본 실시예에 관한 SRAM은 상기한 것과 같이 구성되어 있으므로, 본 실시예에 관한 SRAM은, 실시예5에 기재된 효과에 덧붙여, 하기의 점에 있어서 실시예5에 관한 SRAM보다도 우수한 효과를 가진다.

즉, 전원용 콘택부(41)가 보디 영역(3d)과도 접속되어 있으므로, 로드 트랜지스터 Tr3, Tr4의 게이트 전극(5) 바로 아래의 보디 내의 전자를, 해당 전원용 콘택부(41)로부터 외부로도 이동시킬 수 있다. 이에 따라 해당 게이트 전극(5) 바로 아래의 보디 내의 임팩트 이온화로 생긴 전자의 수를, 더욱 감소시킬 수 있다.

따라서, 로드 트랜지스터 Tr3, Tr4의 기생 바이폴라 효과를 억제할 수 있다. 따라서, 로드 트랜지스터 Tr3, Tr4의 동작의 정밀도를 더욱 보증할 수 있다.

발명의 효과

본 발명의 청구항1, 4에 기재된 반도체장치 또는 SRAM은, SOI 기판에 있어서, 활성영역이 완전 분리 절연막(제 1 절연막)과 부분 분리 절연막(제 2 부분 분리 절연막) 사이에 끼워져 있고, 콘택부는, 활성영역의 중심보다 완전 분리 절연막측에 설치되어 있으므로, 좁은 활성영역 상에 콘택을 설치하기 쉬워진다. 즉, 콘택부가 제 1 절연막측으로 어긋나 배치되었다고 하더라도, 보디와의 접촉이 일어나지 않는다. 또한, 콘택부가 제 2 절연막측으로 어긋나 배치되었다고 하더라도, 활성영역 상 의 제 2 절연막측의 콘택 마진은 넓게 취해지고 있기 때문에에, 콘택부가 제 2 절연막 내에 설치되는 일도 없다. 이상과 같이, 다소의 콘택부의 설치 어긋남을 허용할 수 있으므로, 좁은 활성영역 상에의 콘택부의 설치가 쉬워진다.

본 발명의 청구항13에 기재된 반도체장치의 제조방법은, SOI 기판을 준비하는 공정과, 상기 SOI층의 표면내에, 활성영역을 형성하는 공정과, 상기 활성영역의 한쪽의 측면에 있어서, 완전 분리 절연막(제 1 절연막)을 형성하는 공정과, 상기 활성영역의 다른쪽의 측면 있어서, 부분 분리 절연막(제 2 절연막)을 형성하는 공정과, 평면에서 볼 때, 상기 활성영역의 중심보다 상기 제 1 절연막이 존재하는 측의 상기 활성영역 상을 향해, 콘택부를 설치하는 공정을 구비하고 있으므로, 콘택부와 보디부가 접촉하지 않는 반도체장치를 용이하게 제공할 수 있다. 따라서, 콘택부와 보디부와의 사이에서의 리크 전류가 발생하는 불량품을 감소시킬 수 있고, 제조 코스트를 삭감할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 지지 기판과 매립 절연막과 SOI층이, 이 순서로 적층된 구조를 갖는 SOI 기판과,

상기 SOI층의 표면 내에 형성되는 활성영역과,

상기 활성영역에 접하는 한쪽 측에 있어서, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서 형성된 제1 절연막과,

상기 한쪽 측에 대향하는 상기 활성영역의 다른쪽 측에 있어서, 상기 SOI층의 표면으로부터, 상기 매립 절연막에 이르지 않는 소정의 깊이에 걸쳐서 형성된 제2 절연막과,

평면에서 볼 때, 상기 활성영역의 중심보다 상기 제1 절연막이 존재하는 측의 상기 활성영역 상에 배치되는 도전체를 구비한 것을 특징으로 하는 반도체장치.

청구항 2.

제 1항에 있어서,

상기 도전체는,

상기 활성영역의 상면부 및 상기 한쪽 측에 접속하는 것을 특징으로 하는 반도체장치.

청구항 3.

제 1항 또는 제 2항에 있어서,

상기 활성영역의 상기 한쪽 측으로부터 다른쪽 측까지의 폭은, 상기 도전체의 지름의 2배 이하인 것을 특징으로 하는 반도체장치.

청구항 4.

반도체 지지 기판과 매립 절연막과 SOI층이, 이 순서로 적층된 구조를 갖는 S0I 기판과,

상기 SOI층의 표면 내에 형성되는 제 1 활성영역을 갖는 상기 SOI층에 형성되는 액세스 트랜지스터와,

상기 제1 활성영역에 접하는 한쪽 측에 있어서, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서 형성된 제 1 절연막과,

상기 한쪽 측에 대향하는 상기 제 1 활성영역의 다른쪽 측에 있어서, 상기 SOI층의 표면으로부터, 상기 매립 절연막에 이르지 않는 소정의 깊이에 걸쳐서 형성된 제2 절연막과,

평면에서 볼 때, 상기 제1 활성영역의 중심보다 상기 제1 절연막이 존재하는 측의 상기 제1 활성영역 상에 배치된 제1 도전체를 구비한 것을 특징으로 하는 SRAM.

청구항 5.

제 4항에 있어서,

상기 SOI층의 표면 내에 형성되는 제2 활성영역을 갖는, 상기 SOI층에 형성되는 제1 로드 트랜지스터와,

상기 제2 활성영역의 한쪽 측에 있어서, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서 형성되는 제3 절연막과,

상기 한쪽 측에 대향한다, 상기 제2의 활성영역의 다른쪽 측에 있어서, 상기 SOI층의 표면으로부터, 상기 매립 절연막에 이르지 않는 소정의 깊이에 걸쳐서 형성된 제 4 절연막과,

평면에서 볼 때, 상기 제2 활성영역의 중심보다 상기 제3 절연막이 존재하는 측의 상기 제2 활성영역 상에 배치된 제2 도전체를 더 구비한 것을 특징으로 하는 SRAM.

청구항 6.

제 5항에 있어서,

상기 제2 도전체는,

상기 제2 활성영역의 상면부 및 상기 한쪽 측에 접속하는 것을 특징으로 하는 SRAM.

청구항 7.

제 6항에 있어서,

상기 SOI층의 표면 내에 형성되는 제3 활성영역을 갖는, 상기 SOI층에 형성되는 제2 로드 트랜지스터와,

상기 제3 활성영역의 한쪽 측에 있어서, 상기 SOI층의 이면으로부터 상기 매립 절연막에 걸쳐서 형성되는 제5 절연막과,

상기 한쪽 측에 대향하는, 상기 제2 활성영역의 다른쪽 측에 있어서, 상기 SOI층의 이면으로부터, 상기 매립 절연막에 이르지 않는 소정의 깊이에 걸쳐서 형성된 상기 제4 절연막과,

평면에서 볼 때, 상기 제3 활성영역의 중심보다 상기 제5 절연막이 존재하는 측의 상기 제3 활성영역 상에 배치된 제3 도전체를 더 구비한 것을 특징으로 하는 SRAM.

청구항 8.

제 5항에 있어서,

상기 제2 활성영역의 상기 한쪽 측으로부터 다른쪽 측까지의 폭은, 상기 제2 도전체의 지름의 2배 이하인 것을 특징으로 하는 SRAM.

청구항 9.

제 4항에 있어서,

상기 SOI층의 표면 내에 형성되는 제 2, 제3 활성영역과,

상기 SOI층에 형성되고, 상기 제2, 제3 활성영역을 갖는 제1, 제2 로드 트랜지스터와,

상기 제2 활성영역과 접속하는 제2 도전체와,

상기 제3 활성영역과 접속하는 제3 도전체와,

상기 제2, 제3 도전체와 접속하고 있는 상기 제2, 제3 활성영역의 부분에 있어서, 해당 부분의 한쪽 측에는, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서 형성되는 제3 절연막과,

상기 한쪽 측에 대향하는, 상기 제2, 제3 활성영역의 다른쪽 측에 있어서, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서 형성된 제4 절연막을 더 구비한 것을 특징으로 하는 SRAM.

청구항 10.

제 9항에 있어서,

상기 제2 활성영역의 상기 제2 도전체와 접속하는 부분 이외의 부분의, 한쪽 측 및 해당 한쪽 측에 대향하는 다른쪽 측에 있어서, 상기 SOI층의 표면으로부터, 상기 매립 절연막에 이르지 않는 소정의 깊이에 걸쳐서 형성되는 제5 절연막과,

상기 제5 절연막과 상기 매립 절연막 사이에 존재하는 보디 영역을 더 구비하고,

상기 로드 트랜지스터의 게이트 전극 바로 아래에 존재하는 보디부는, 상기 보디 영역과 접속되어 있는 것을 특징으로 하는 SRAM.

청구항 11.

제 10항에 있어서,

상기 제2 활성영역의 상기 제2 도전체와 접속하는 부분 이외의 부분 및, 상기 보디 영역과 접속하는 전원용 도전체를 더 구비하고.

상기 보디 영역 및, 상기 보디 영역과 접속되어 있는 상기 로드 트랜지스터의 게이트 전극 바로 아래에 존재하는 보디부는, 소정의 전위로 고정되어 있는 것을 특징으로 하는 SRAM.

청구항 12.

제 4항에 있어서,

상기 제1 도전체는, 상기 제1 활성영역의 상면부 및 상기 한쪽 측면부에 접속하는 것을 특징으로 하는 SRAM.

청구항 13.

제 12항에 있어서,

상기 SOI층의 표면 내에 형성되는 제2 활성영역을 갖는, 상기 SOI층에 형성되는 제1 로드 트랜지스터와,

상기 제2 활성영역의 한쪽 측에 있어서, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서 형성된 제3 절연막과,

상기 한쪽 측에 대향하는, 상기 제2 활성영역의 다른쪽 측에 있어서, 상기 SOT층의 표면으로부터, 상기 매립 절연막에 이르지 않는 소정의 깊이에 걸쳐서 형성된 제4 절연막과,

평면에서 볼 때, 상기 제2 활성영역의 중심보다 상기 제3 절연막이 존재하는 측의 상기 제2 활성영역 상에 설치되는 제2 도전체를 더 구비한 것을 특징으로 하는 SRAM.

청구항 14.

제 13항에 있어서,

상기 제2 도전체는, 상기 제2 활성영역의 상면부 및 상기 한쪽 측에 접속하는 것을 특징으로 하는 SRAM.

청구항 15.

제 14항에 있어서,

상기 제2 활성영역의 상기 한쪽 측으로부터 상기 다른쪽 측까지의 폭은, 상기 제2 도전체의 지름의 2배 이하인 것을 특징으로 하는 SRAM.

청구항 16.

제 4항에 있어서,

상기 제1 활성영역의 상기 한쪽 측으로부터 다른쪽 측까지의 폭은, 상기 제1 도전체의 지름의 2배 이하인 것을 특징으로 하는 SRAM.

청구항 17.

제 4항에 있어서,

상기 SOI층의 표면 내에 형성되는 제2 및 제3 활성영역과,

상기 SOI층의 표면 내에 형성되고, 상기 제2 및 제3 활성층을 갖는 제1 및 제2 로드 트랜지스터와,

상기 제2 활성영역과 접속하는 제2 도전체와,

상기 제3 활성영역과 접속하는 제3 도전체와,

상기 제3 도전체와 접속하고 있는 상기 제3 활성영역의 부분에 있어서, 해당 부분의 한쪽 측에는, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서 형성된 제3 절연막과,

상기 한쪽 측에 대향하는, 상기 제3 활성영역의 다른쪽 측에 있어서, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서 형성된 제4 절연막과,

상기 제2 활성영역의 상기 제2 도전체와 접속하는 부분 이외의, 한쪽 측 및 해당 한쪽 측에 대향하는 다른쪽 측에 있어서, 상기 SOI층의 표면으로부터, 상기 매립 절연막에 이르지 않는 소정의 깊이에 걸쳐서 형성되는 제5 절연막과,

상기 제5 절연막과 상기 매립 절연막 사이에 존재하는 보디 영역을 더 구비한 것을 특징으로 하는 SRAM.

청구항 18.

제 17항에 있어서,

상기 제5 절연막은, 평면에서 볼 때, 상기 제1, 제2 로드 트랜지스터의 게이트 전극의 양측에 형성되어 있는 것을 특징으로 하는 SRAM.

청구항 19.

(a) 반도체 지지 기판과 매립 절연막과 SOI층이 이 순서로 적층된 구조를 갖는 SOI 기판을 준비하는 공정과,

(b) 상기 SOI층의 표면 내에 활성영역을 형성하는 공정과,

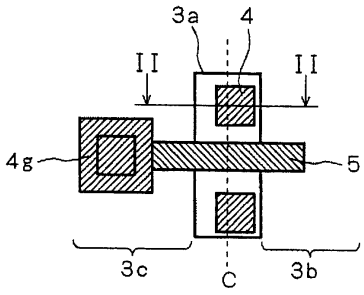
(c) 상기 활성영역의 한쪽 측에 있어서, 상기 SOI층의 표면으로부터 상기 매립 절연막에 걸쳐서, 제1 절연막을 형성하는 공정과,

(d) 상기 활성영역의 한쪽 측에 대향하는, 상기 활성영역의 다른쪽 측에 있어서, 상기 SOI층의 표면으로부터, 상기 매립 절연막에 이르지 않는 소정의 깊이에 걸쳐서 제2 절연막을 형성하는 공정과,

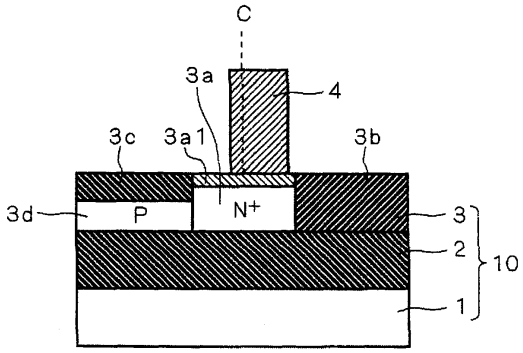
(e) 평면에서 볼 때, 상기 활성영역의 중심보다 상기 제1 절연막이 존재하는 측의 상기 활성영역 상에 걸쳐서, 도전체를 배치하는 공정을 구비한 것을 특징으로 하는 반도체장치의 제조방법.

도면

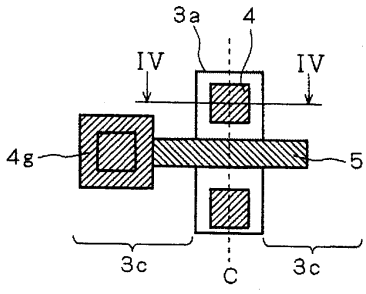
도면1



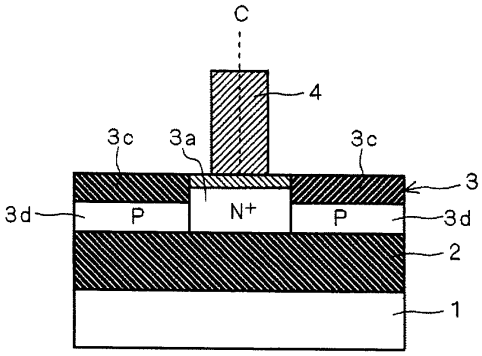
도면2



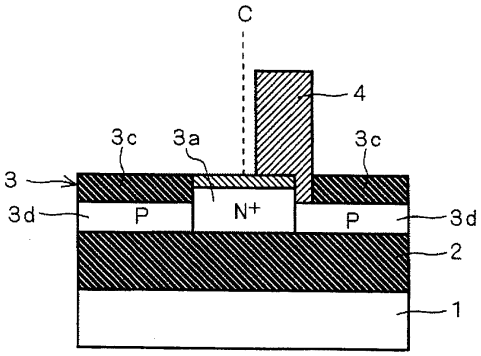
도면3



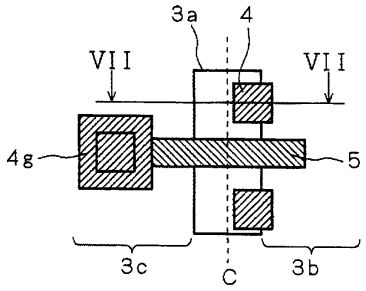
도면4



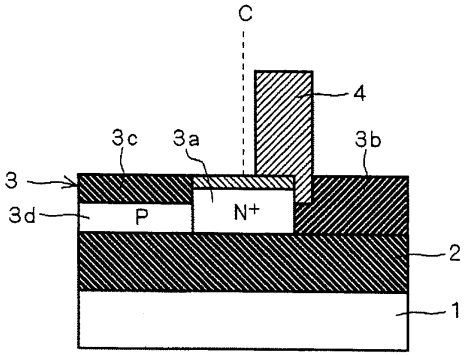
도면5



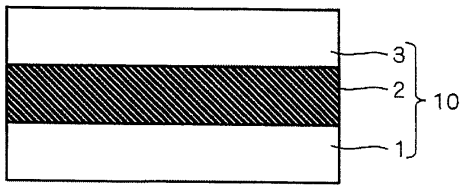
도면6



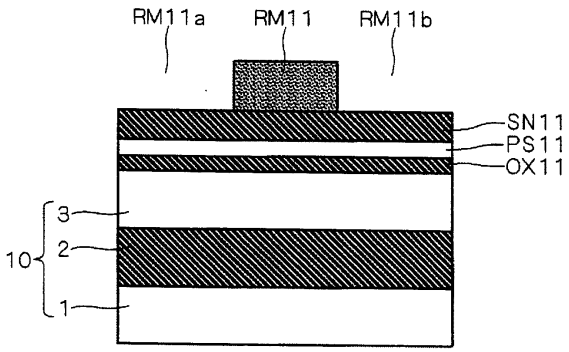
도면7



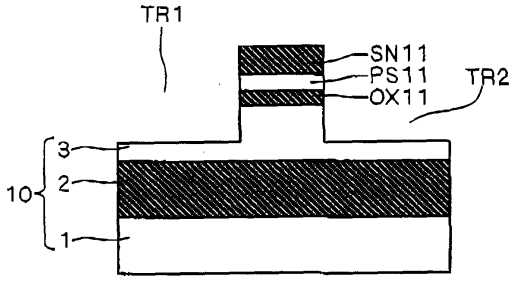
도면8



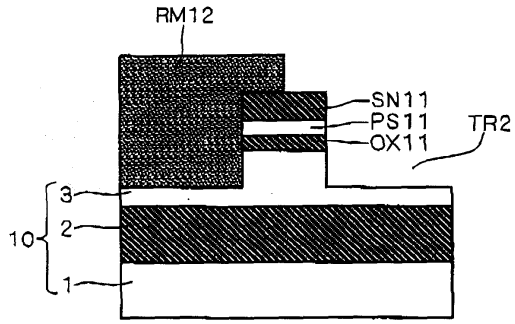
도면9



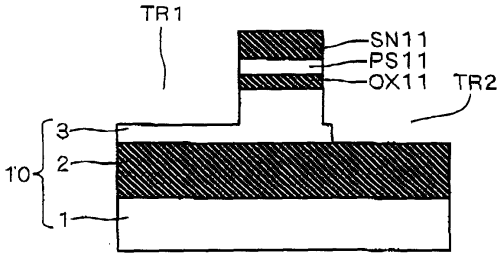
도면10



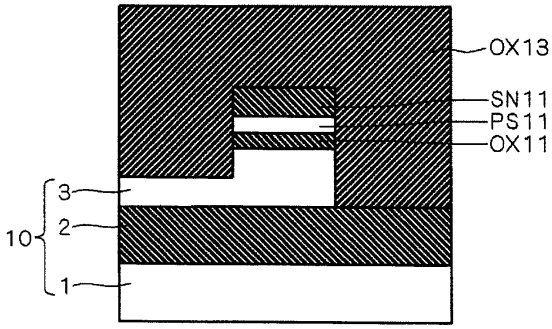
도면11



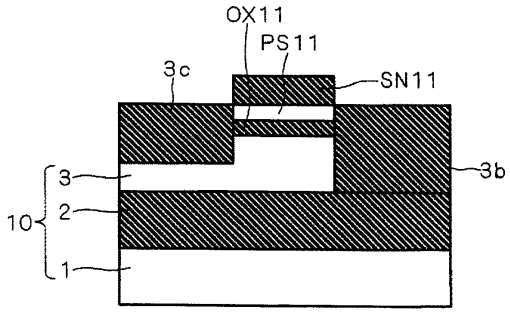
도면12



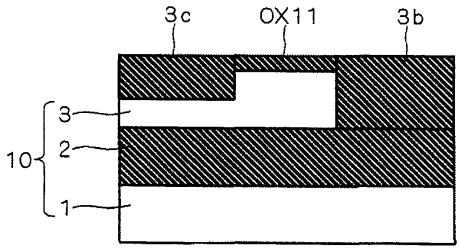
도면13



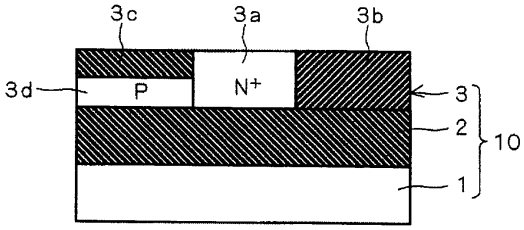
도면14



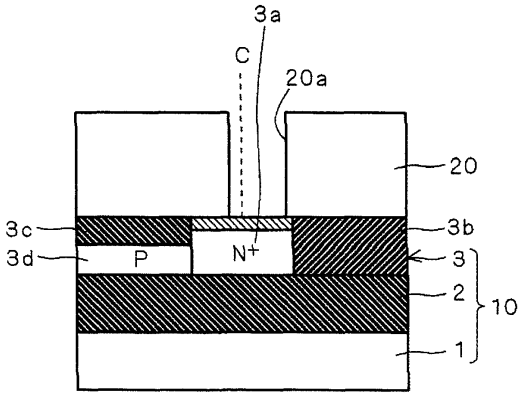
도면15



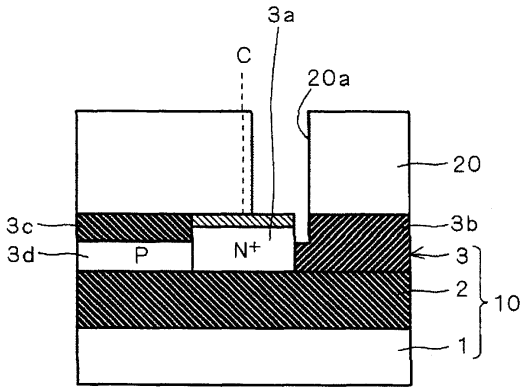
도면16



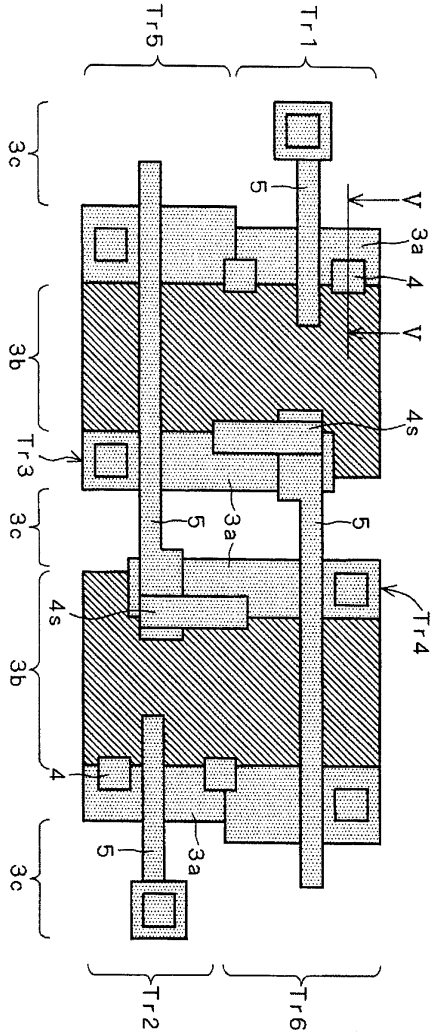
도면17



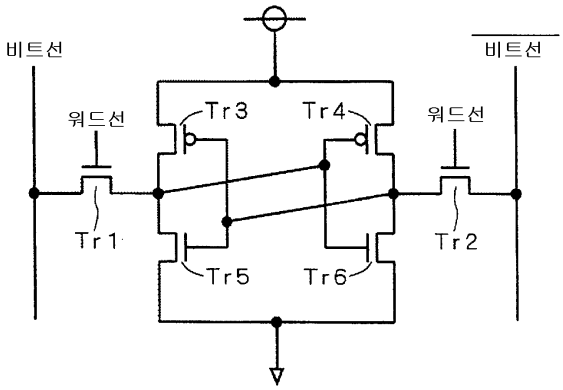
도면18


3a
C
20a
20
3c
3b
3d
P
N+
3
2
10
1

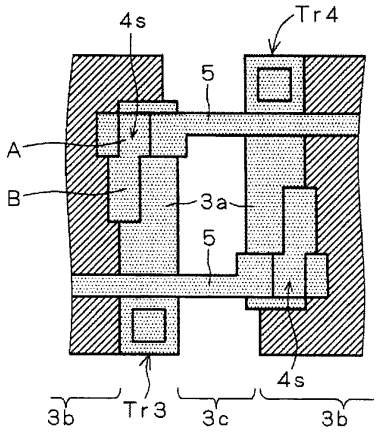
도면19


Tr5
Tr1
3c
5
V
3a
4
V
3b
4s
Tr3
3c
5
3a
5
4s
Tr4
3b
4
5
3a
3c
Tr2
Tr6

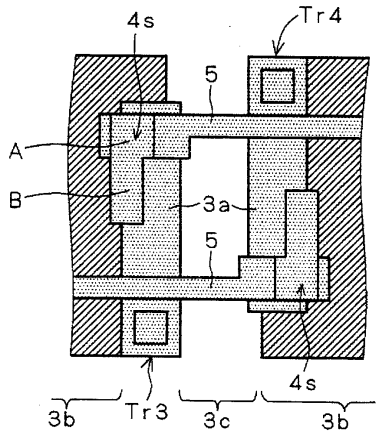
도면20



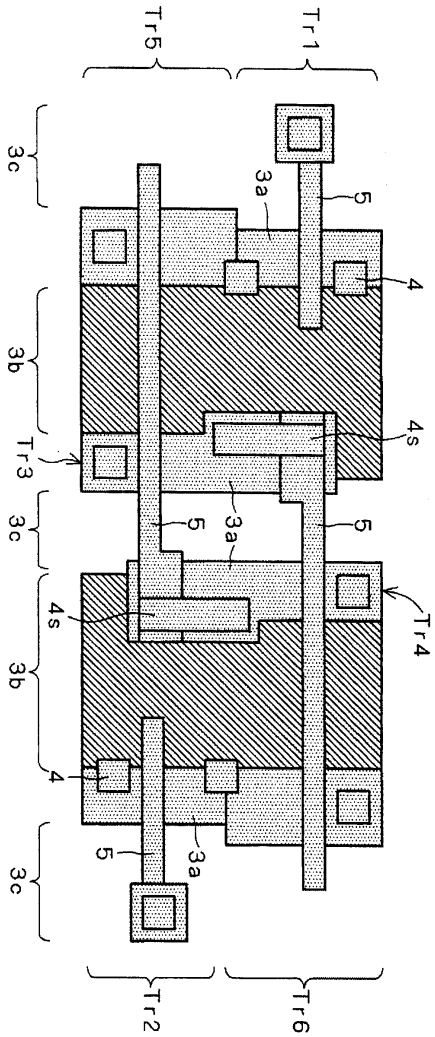
도면21



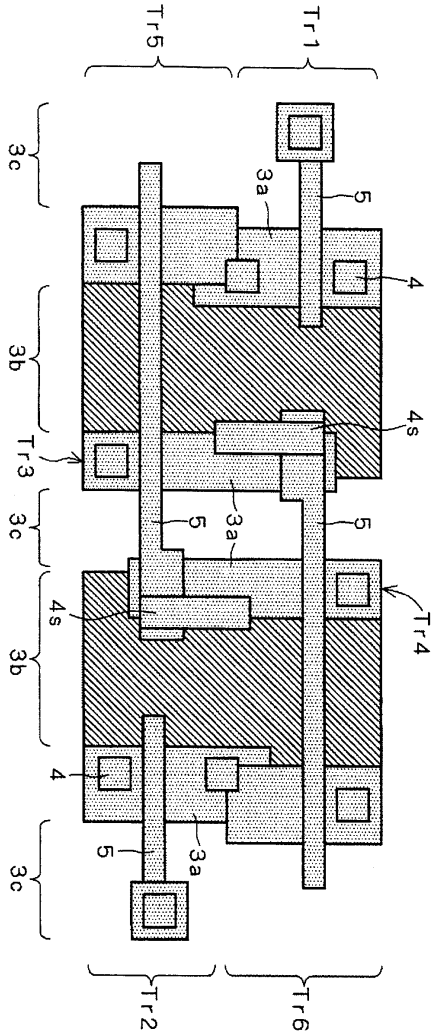
도면22



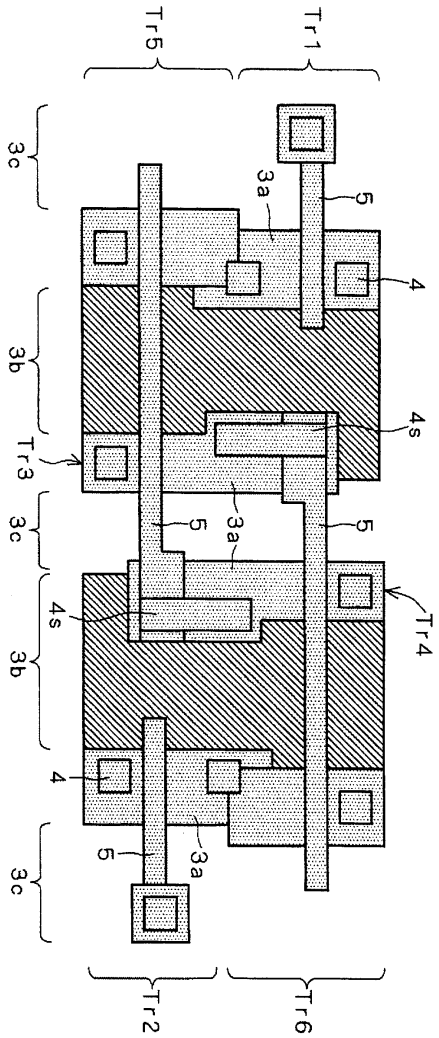
도면23



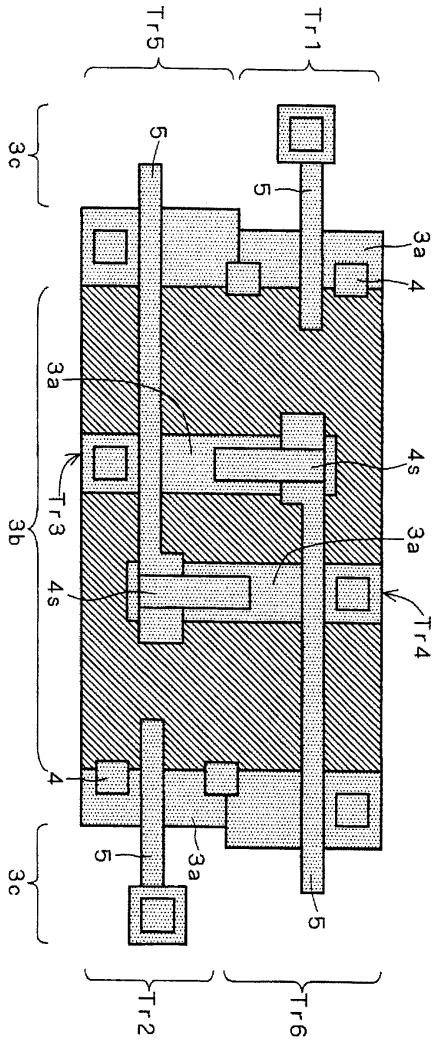
도면24



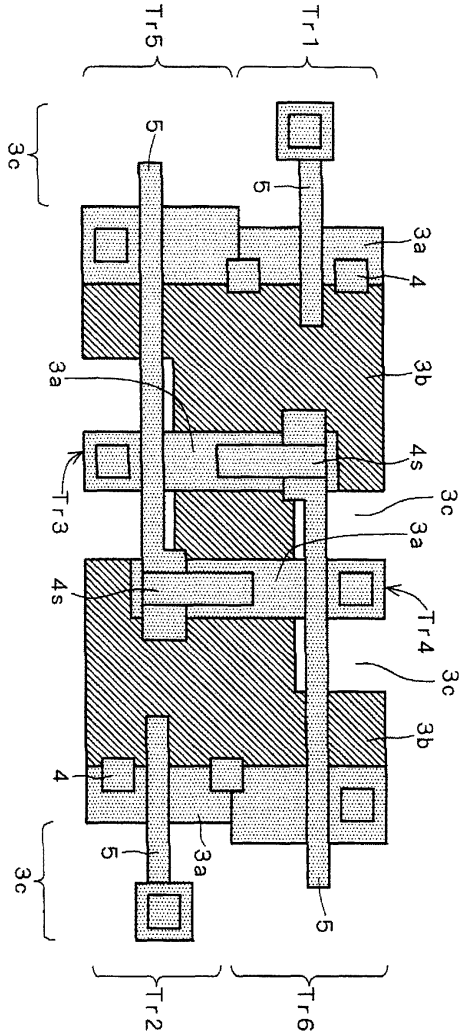
도면25



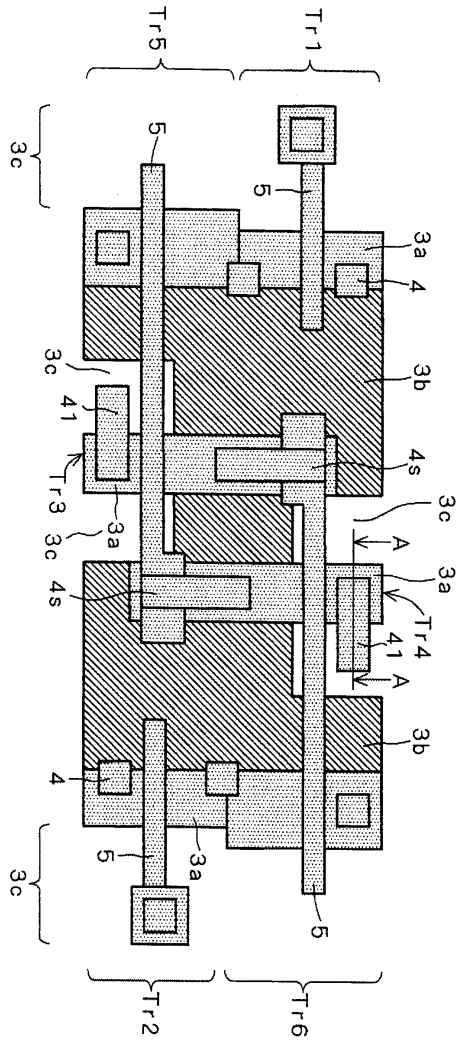
도면26



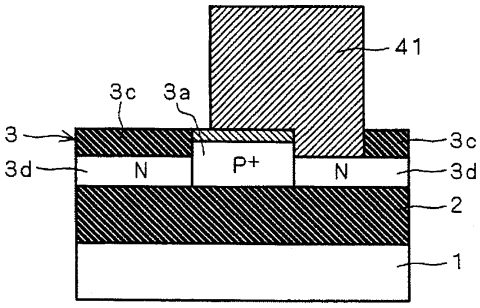
도면27



도면28


Tr5
Tr1
3c
5
5
3a
4
3c
41
3b
Tr3
4s
3a
3c
A
3c
4s
3a
Tr4
41
A
3b
4
5
3a
3c
5
Tr2
Tr6

도면29


41
3c
3a
3
3c
3d
N
P+
N
3d
2
1