

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4064546号
(P4064546)

(45) 発行日 平成20年3月19日(2008.3.19)

(24) 登録日 平成20年1月11日(2008.1.11)

(51) Int.Cl.

F I

G O 1 R 31/00 (2006.01)

G O 1 R 31/00

G O 1 R 31/26 (2006.01)

G O 1 R 31/26

G

G O 1 R 31/28 (2006.01)

G O 1 R 31/28

H

G O 6 F 11/34 (2006.01)

G O 1 R 31/28

Y

G 1 1 C 29/44 (2006.01)

G O 1 R 31/28

B

請求項の数 7 (全 12 頁) 最終頁に続く

(21) 出願番号 特願平10-277151
 (22) 出願日 平成10年9月30日(1998.9.30)
 (65) 公開番号 特開2000-105261(P2000-105261A)
 (43) 公開日 平成12年4月11日(2000.4.11)
 審査請求日 平成17年7月14日(2005.7.14)

(73) 特許権者 390005175
 株式会社アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (74) 代理人 100104156
 弁理士 龍華 明裕
 (72) 発明者 加藤 義昭
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内

審査官 藤原 伸二

最終頁に続く

(54) 【発明の名称】 電気部品テストシステム

(57) 【特許請求の範囲】

【請求項 1】

複数の電気部品をテストすることのできる電気部品テストシステムにおいて、
 前記電気部品テストシステムによる前記電気部品のテスト結果を評価するホストコンピ
 ュータと、

前記ホストコンピュータにより制御され、前記電気部品のテスト結果を前記ホストコン
 ピュータに通知する複数のスレーブプロセッサと、

前記スレーブプロセッサによるデータの書き込み及び前記ホストコンピュータによる前
 記データの読み出しを行うことのできる共有メモリと、

前記スレーブプロセッサの全てから割り込み信号が生成された場合に、前記ホストコン
 ピュータに割り込み通知を行う手段とを備え、

前記複数のスレーブプロセッサの各々は、前記電気部品のテスト結果を前記共有メモリ
 に書き込んで、前記割り込み信号を生成し、

前記ホストコンピュータは、前記割り込み通知を受けたことを条件として、前記共有メ
 モリから前記テスト結果を読み取る

電気部品テストシステム。

【請求項 2】

前記共有メモリにおける連続した複数のメモリ空間が、それぞれ前記複数のスレーブプ
 ロセッサに割り当てられていることを特徴とする請求項 1 に記載の電気部品テストシステ
 ム。

10

20

【請求項 3】

複数の前記電気部品の各々に対して設けられ、各々が前記複数のスレーブプロセッサのうちいずれか 1 の前記スレーブプロセッサに接続され、対応する前記電気部品のテスト結果を受信する複数のローカルプロセッサを更に備え、

前記複数のスレーブプロセッサの各々が、接続された前記ローカルプロセッサから前記テスト結果を受け取り、受け取った前記テスト結果を前記共有メモリに書き込むことを特徴とする請求項 1 に記載の電気部品テストシステム。

【請求項 4】

前記スレーブプロセッサの各々と、1 以上の対応する前記ローカルプロセッサとが共通のバスで結合されており、

前記スレーブプロセッサの各々が、前記バス上のメモリ空間が割り当てられたローカルメモリを有し、

前記バス上において、複数の前記ローカルメモリのメモリ空間が連続していることを特徴とする請求項 3 に記載の電気部品テストシステム。

【請求項 5】

1 つの前記スレーブプロセッサに対して設けられた複数の前記ローカルプロセッサが所定の処理を終えたときに、前記ホストコンピュータに処理の終了を通知する手段を、前記スレーブプロセッサが有することを特徴とする請求項 3 に記載の電気部品テストシステム。

【請求項 6】

前記複数のスレーブプロセッサの各々は、対応する前記ローカルプロセッサの全てから割り込み信号を受け付けたことを条件として、対応する前記ローカルプロセッサの全てから前記テスト結果を読み取り前記共有メモリにコピーして、前記割り込み信号を生成する請求項 4 に記載の電気部品テストシステム。

【請求項 7】

前記ホストコンピュータは、前記複数のローカルプロセッサに与えるべきコマンドを前記共有メモリに書き込み、

前記複数のスレーブプロセッサは、前記共有メモリに書き込まれたコマンドを、当該コマンドの宛先となる前記ローカルプロセッサにコピーする請求項 4 に記載の電気部品テストシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の電気部品を並列にテストする電気部品テストシステムに関する。特に本発明は、複数の半導体メモリを並列にテストする電気部品テストシステムに関する。

【0002】

【従来の技術】

図 1 は、電気部品テストシステムの一例としての、従来のメモリテストシステムを示すブロック図である。本メモリテストシステムは、メモリデバイス 52 ~ 56 をテストする複数のメモリテストユニット 90 A、90 B、・・・と、メモリデバイス 52 ~ 56 のテスト結果を評価するホストコンピュータ (EWS) 10 と、複数のメモリテストユニット 90 A、90 B、・・・及びホストコンピュータ (EWS) 10 を接続する共有メモリユニット 12 とを備える。各メモリテストユニット 90 は、複数のメモリデバイス 52 ~ 56 をテストするメモリテスト 50 と、各メモリデバイス 52 ~ 56 のテスト結果を受信して格納する R M E M 32 ~ 36 と、各 R M E M 32 ~ 36 にテスト結果を書き込むローカル CPU である R C P U 42 ~ 46 と、R C P U 42 ~ 46 を接続する V M E バスと、V M E バスを共有メモリユニット 12 に接続する V M E I / F 80 とを有する。

【0003】

共有メモリユニット 12 は、各メモリテストユニット 90 に割り当てられた共有メモリ (S M E M) 16 A ~ 16 B と、各共有メモリ 16 A ~ 16 B 及びホストコンピュータ (E

10

20

30

40

50

WS) 10を接続するホストコンピュータインタフェース(EWS I/F) 20とを有する。RCPU 42~46が、MEM 32~36から読み出した各メモリデバイス52~56のテスト結果をMEM 16に書き込む。EWS 10はEWS I/F 20を介してMEM 16に格納された各メモリのテスト結果を読み出す。

【0004】

【発明が解決しようとする課題】

従来の構成においては、各RCPU 42~46がVMEバスのバスマスタとなってMEM 16にテスト結果を書き込むので、VMEバス上でバス競合が生じ、競合の解決のためにデータの転送が遅れていた。EWS 10からRCPU 42~46 Aコマンドを通知する場合に、EWS 10は各RCPU 42~46に対するコマンドをそれぞれMEM 16に書き込まなくてはならないので、コマンドの書き込みに多くの時間がかかっていた。RCPU 42~46は、コマンドに対する応答をEWS 10へ通知するが、この応答をMEM 16に書き込むためにも、RCPU 42~46はいったんバスマスタとなる必要がある。そのためVMEバス上の競合解決に多くの時間がかかっていた。また、EWS 10からのコマンドに対するRCPU 42~46のレスポンスは同一である場合もあるにも関わらず、EWS 10はそれらの各レスポンスをMEM 16から読みとる必要があり、EWS 10の負荷が大きかった。

【0005】

そこで本発明は、上記の課題を解決することのできる電気部品テストシステムを提供することを目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【0006】

【課題を解決するための手段】

このような課題を解決するために、本発明の第1の形態においては、複数の電気部品をテストすることのできる電気部品テストシステムにおいて、電気部品テストシステムによる電気部品のテスト結果を評価するホストコンピュータと、ホストコンピュータにより制御され、電気部品のテスト結果をホストコンピュータに通知する複数のスレーブプロセッサと、スレーブプロセッサによるデータの書き込み及びホストコンピュータによるデータの読み出しを行うことのできる共有メモリと、スレーブプロセッサの全てから割り込み信号が生成された場合に、ホストコンピュータに割り込み通知を行う手段とを備え、複数のスレーブプロセッサの各々は、電気部品のテスト結果を共有メモリに書き込んで、割り込み信号を生成し、ホストコンピュータは、割り込み通知を受けたことを条件として、共有メモリからテスト結果を読み取る電気部品テストシステムを提供する。

【0007】

本発明の第2の形態においては、共有メモリにおける連続した複数のメモリ空間が、それぞれ複数のスレーブプロセッサに割り当てられている。また複数の電気部品の各々に対して設けられ、各々が複数のスレーブプロセッサのうちいずれか1のスレーブプロセッサに接続され、対応する電気部品のテスト結果を受信する複数のローカルプロセッサを更に備え、複数のスレーブプロセッサの各々が、接続されたローカルプロセッサからテスト結果を受け取り、受け取ったテスト結果を共有メモリに書き込む。

【0008】

本発明の第3の形態においては、スレーブプロセッサの各々と、1以上の対応するローカルプロセッサとが共通のバスで結合されており、スレーブプロセッサの各々が、バス上のメモリ空間が割り当てられたローカルメモリを有し、バス上において、複数のローカルメモリのメモリ空間が連続している。また1つのスレーブプロセッサに対して設けられた複数のローカルプロセッサが所定の処理を終えたときに、ホストコンピュータに処理の終了を通知する手段を、スレーブプロセッサが有する。また、複数のスレーブプロセッサの各々は、対応するローカルプロセッサの全てから割り込み信号を受け付けたことを条件として、対応するローカルプロセッサの全てからテスト結果を読み取り共有メモリにコピーして、割り込み信号を生成する。また、ホストコンピュータは、複数のローカルプロセッサ

サに与えるべきコマンドを共有メモリに書き込み、複数のスレーブプロセッサは、共有メモリに書き込まれたコマンドを、当該コマンドの宛先となるローカルプロセッサにコピーする。

【 0 0 0 9 】

なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

【 0 0 1 0 】

【発明の実施の形態】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態はクレームにかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【 0 0 1 1 】

図 2 は、本発明のメモリテストシステムの構成を示すブロック図である。図 1 と同一の構成には図 1 と同一の符号を付したのでそれらの説明は省略する。図 1 に示した従来の構成と比較して、本メモリテストシステムには共有メモリユニット 1 2 の中に割り込みコントローラ I N T C N T 2 2 が設けられている。また図 1 の V M E I / F 8 0 に変えてスレーブプロセッサ (M C P U) 4 0 及びスレーブプロセッサ用メモリ (M E M) 1 4 が設けられている。

【 0 0 1 2 】

M C P U 4 0 は各ローカルプロセッサ (R C P U) 4 2 ~ 4 6 の R M E M 3 2 ~ 3 6 に格納されたレスポンス及びメモリテスト結果を読み取り、読みとったデータを V M E 転送によって S M E M 1 6 に転送して格納する。また E W S 1 0 が生成し S M E M 1 6 に書き込んだコマンドを読み取り、各 R C P U 4 2 ~ 4 6 へ与える。M E M 1 4 には M C P U 4 0 が動作するために必要なデータが格納される。このようなデータには例えば E W S 1 0 から R C P U 4 2 ~ 4 6 へ送られるコマンドの内容、各コマンドをいずれの R C P U 4 2 ~ 4 6 へ転送するかを示すデータ等が含まれる。

【 0 0 1 3 】

図 3 は、E W S 1 0 からみた共有メモリユニット 1 2 のメモリマップである。共有メモリユニット 1 2 中に設けられた、複数の共有メモリ (S M E M) 1 6 には連続したアドレス空間が割り当てられている。例えばこの図では、アドレス 0 からアドレス 1 0 , 0 0 0 0 0 までの 1 6 メガバイトの空間は V M E バス A 用の S M E M 1 6 A に割り当てられ、アドレス 1 0 , 0 0 0 0 0 から 2 0 , 0 0 0 0 0 までのアドレス空間は V M E バス B 用の S M E M 1 6 B に割り当てられている。以下同様に 1 6 メガバイトの空間が V M E バス C 用に、またさらに次の 1 6 メガバイトの空間が V M E バス D 用に割り当てられている。なお本実施例ではメモリテストユニット 9 0 の数を 4 (9 0 A ~ 9 0 D) としているが、本発明の範囲は、テストユニット 9 0 の数が 4 である場合に限定されるものではない。

【 0 0 1 4 】

図 4 は、各 V M E バス上における R M E M 3 2 ~ 3 6 、M E M 1 4 及び S M E M 1 6 のアドレス空間を示すメモリマップである。各 R M E M 3 2 ~ 3 6 、M E M 1 4 及び S M E M 1 6 には連続したメモリ空間が割り当てられている。具体的には、本実施形態においては、図 3 に示すポート A 用共有メモリの 1 6 メガバイトのアドレス空間 0 0 , 0 0 0 0 0 から 0 F , F F F F F が、図 4 に示す V M E バス A 上のアドレス空間 3 0 0 , 0 0 0 0 0 から 3 1 F , F F F F F に割り当てられている。同様に、図 3 に示すポート B 共有メモリ用のアドレス 1 0 , 0 0 0 0 0 から 1 F , F F F F F の 1 6 メガバイトのアドレス空間が V M E バス B 上の 3 1 0 , 0 0 0 0 0 から 3 1 F , F F F F F の 1 6 メガバイトのアドレス空間に割り当てられている。

【 0 0 1 5 】

図 5 は、図 4 に示す S M E M 1 6 の V M E 側からみたメモリ空間を詳細に示す詳細メモリマップである。アドレス 3 1 0 , 0 0 0 0 0 から 3 1 0 , F F F F F までは、E W S 1 0 と M C P U 4 0 との通信に用いられる通信用アドレス空間である。この通信用アドレス空間

10

20

30

40

50

には、EWS 10とMCPU 40との通信を制御するために必要な、EWS 10からMCPU 40へのコマンド、MCPU 40及びRCPU 42～46のステータス、MCPU 40からEWS 10へのレスポンス、並びにコマンド及びレスポンスに伴うデータが格納される。

【0016】

複数のRCPU 42～46へ転送すべきデータが、SMEM 16上の連続したアドレス空間に格納される。この実施例では、RCPU 42用のデータがアドレス311,0000から311,1FFFFまでの空間に、RCPU 44用のデータがアドレス311,20000から311,3FFFFまでのアドレス空間に格納されている。この様に各RCPU 42～46用のデータを連続したアドレス空間に割り当てることにより、EWS 10は各RCPU 42～46用のデータを一括してSMEM 16に転送しやすくなる。特にEWS 10がDMAコントローラを有する場合には、一つの単純なDMA転送命令によって連続したデータをSMEM 16に書き込むことができる。またMCPU 40がDMAコントローラを有する場合、MCPU 40は、1つの単純なDMA転送命令によって各RCPU 42～46へのコマンドをSMEM 16からRMEM 32～36へ転送することができる。

10

【0017】

図6は、図2に示す割り込みコントローラ(INT CNT) 22及びI/Oポート(I/O Port) 24の詳細な構成を示すブロック図である。INT CNT 22は、MCPU 40が生成した各割り込み信号iA～iDをマスクするANDゲート62A～62Dと、ANDゲート62A～62Dを通過した割り込み信号のORを取るORゲート70と、ANDゲート62A～62Dを通過した割り込み信号のANDを取るANDゲート72と、ORゲート70およびANDゲート72が生成した信号の一方を選択する選択回路82とを有する。

20

【0018】

I/Oポート24は、MCPU 40が生成した各割り込み信号iA～iDをマスクするマスク信号MASK-A～MASK-Dと、選択回路80を制御する選択信号SELECTを生成する。選択回路82は、ORゲート70が出力した信号をマスクするANDゲート74と、ANDゲート72が生成した信号をマスクするANDゲート76と、ANDゲート74及び76の信号のORを取るORゲート78と、I/Oポート24が生成した選択信号SELECTを反転するインバータ80とを有する。

30

【0019】

各MCPU 40は、EWSにレスポンス又はステータスを通知するときに割り込み信号(iA～iD)を生成する。各MCPUが生成した割り込み信号iA～iDは、それぞれANDゲート62A～62Dに入力される。ANDゲート62A～62Dが有するもう一方の入力端子には、I/Oポート24から出力されたマスク信号が入力されているので、マスク信号をLAW(0)とすることによって、各割り込み信号iA～iDをマスクすることができる。また割り込み信号iA～iDはI/Oポート24に入力されているので、EWS 10はI/Oポート24を通じて割り込み信号iA～iDの状態を読みとることができる。割り込み信号INTがEWS 10に通知されたときに、EWS 10が再度I/Oポート24を通じて割り込み信号iAからiDの状態を読み取ることによって、割り込み信号iA～iDの状態を確認することができるので、このMCPUが割り込み信号をあげたか識別することができる。

40

【0020】

割り込み信号iA～iDのいずれかが生成された場合に、ORゲート70の出力がHIGH(1)となる。また全ての割り込み信号iA～iDが生成された場合にANDゲート72の出力がHIGH(1)となる。選択信号SELECTは、MCPU 40A～40Dのいずれかが割り込みを生成したことをEWS 10に通知するORモードと、MCPU 40A～40Dのすべてが割り込みを生成したとをEWS 10に通知するANDモードの、いずれを選択するかを示す。

50

【 0 0 2 1 】

A N Dモードは、同一かつ多数のメモリデバイスをテストする場合のように、各 R C P U 4 2 ~ 4 6 の処理時間がほぼ同じである場合に適している。一方、異なる種類のメモリを並列して試験する場合のように、各電気部品の試験時間が異なる場合には O Rモードが適している。従って、実際に試験する電気部品によって、A N Dモード又は O Rモードのいずれかが選択される。選択信号 SELECT が HIGH (1) である場合には A N Dモードが選択され、SELECT が LOW (0) である場合には、O Rモードが選択される。通常選択信号 SELECT は 1 なので、全ての M C P U 4 0 A ~ 4 0 D が割り込み信号 i A ~ i D を生成した場合にのみ、割り込み信号 I N T が E W S 1 0 へ伝達される。

【 0 0 2 2 】

10

図 7 は、本実施例におけるメモリテストシステムの初期化プロセスを示すフローチャートである。まず M C P U 4 0 が S M E M 1 6 を初期化し (S 1 0)、各 R C P U 4 2 ~ 4 6 がそれぞれに対して設けられた R M E M 3 2 ~ 3 6 を初期化する (S 1 2)。各 R C P U 4 2 ~ 4 6 は、R M E M 3 2 ~ 3 6 の初期化を終了すると、初期化終了時の状態を示すステータス情報を R M E M 3 2 ~ 3 6 の所定のエリアに格納する (S 1 4)。また R C P U 4 2 ~ 4 6 は、初期化の終了を通知するレスポンスを割り込みによって M C P U 4 0 に通知する。

【 0 0 2 3 】

M C P U 4 0 は、全 R C P U 4 2 ~ 4 6 から割り込み信号を受け取ったか異なかを判断する (S 1 6)。M C P U 4 0 は、すべての R C P U 4 2 ~ 4 6 から割り込み信号を受けつけた場合に、各 R M E M 3 2 ~ 3 6 に格納されているステータス情報を読み取り S M E M 1 6 A にコピーし (S 1 8)、E W S 1 0 への割り込み信号 i を生成する。割り込み信号 i は共有メモリユニット 1 2 の割り込みコントローラ (I N T C N T) 2 2 に入力される。

20

【 0 0 2 4 】

S 1 0 ~ S 2 0 間での処理は全てのメモリテストユニット 9 0 で並行して行われる。I N T C N T 2 2 の割り込みモードは A N Dモードに設定されており、すべての M C P U 4 0 A ~ 4 0 D から割り込み i A ~ i B が通知された場合に、割り込み信号 I N T を E W S 1 0 に通知する (S 2 2)。割り込み信号 I N T を受け取ると E W S 1 0 は、S M E M 1 6 A ~ 1 6 D から一括してステータス情報を読み込む。従って E W S 1 0 は一回の割り込み信号 I N T を受信することによって、すべての R C P U 4 2 ~ 4 6 が生成したステータス情報を読み込むことができる。

30

【 0 0 2 5 】

従来は、各メモリテストユニット 9 0 に設けられた R C P U 4 2 ~ 4 6 が、初期化を終了したときにそれぞれ割り込みを E W S 1 0 に通知していた。極めて多くの割り込み E W S 1 0 に通知されるので、割り込み処理の開始及び終了に多くの時間がかかっていた。それと比較して本実施形態によれば、短い時間で、各 R C P U 4 2 ~ 4 6 が生成したステータス情報を E W S 1 0 が読み取り処理することができる。

【 0 0 2 6 】

図 8 は、E W S 1 0 が各 R C P U 4 2 ~ 4 6 に対してコマンドを送信する場合のメモリテストシステム全体の動作を示すフローチャートである。コマンドを生成する場合、E W S 1 0 はまず全 R C P U 4 2 ~ 4 6 が R E A D Y (処理可能状態) であるかどうかを判断する (S 3 0)。この判断は、S M E M 1 6 に格納されたステータス情報を E W S 1 0 が読み取ることによって行うことができる。全 R C P U 4 2 ~ 4 6 が R E A D Y 状態でない場合には待機し、R E A D Y であった場合には、R C P U 4 2 ~ 4 6 に対するコマンドを E W S 1 0 が S M E M 1 6 A ~ 1 6 D に書き込む。

40

【 0 0 2 7 】

すると M C P U 4 0 は、E W S 1 0 から通知されたコマンドが全 R C P U 4 2 ~ 4 6 に対する共通のコマンドであるかどうかを判断する (S 3 4)。共通のコマンドであった場合には、そのコマンドを各 R C P U 4 2 ~ 4 6 用の R M E M 3 2 ~ 3 6 にコピーする (S 2

50

6)。EWS10が単一の共通コマンドをSMEM16に書き込んだ場合であっても、各MCPUがその単一の共通コマンドを読み取って各RCPU42～46へ転送する。これにより、EWS10の負荷を軽減するとともにコマンドを伝達する際のメモリテストシステム全体の処理時間を短くすることができる。

【0028】

S34においてコマンドが各RCPU42～46宛であった場合には、宛先のRCPU42～46に対してもうけられたRMEM32～36にそれぞれのコマンドをコピーする(S38)。MCPU40はコマンドのRCPU42～46への転送を終了すると、コマンドの転送が終了したことを割り込み信号iによってEWS10へ通知する。S34からS40の処理は全てのMCPU40で行われる。各MCPUが生成した割り込み信号iA～iDはINTCNT22で受け取られ、すべての割り込み信号iA～iDが有効(1)となった場合に、割り込み信号INTがEWS10へ通知される(S42)。割り込み信号INTを受け取るとEWS10は、SMEM16A～16Dから一括してレスポンスを読みとる。

10

【0029】

従来は、各メモリテストユニット90に設けられた多数のRCPU42～46が、直接、コマンドの受信を確認する割り込み信号をEWS10へ通知していた。これと比較して本実施例においては、一つの割り込み信号INTが通知されることによって、各RCPU42～46がコマンドの受信を完了したことをEWS10が確認することができる。従ってEWS10の負荷が小さくなるとともに、コマンドの伝達にかかるメモリテストシステム全体の処理時間を短くすることができる。

20

【0030】

図9は、RCPU42～46がEWS10へレスポンスを通知する場合の、メモリテストシステム全体の動作を示すフローチャートである。まずRCPU42～46は、与えられたコマンド(例えばメモリ試験)の実行が終了したかを判断する(S50)。与えられたコマンドの実行が終了するとRCPU42～46は作業の終了をMCPU40に通知する。MCPU40は、全てのRCPU42～46がコマンドの実行を終了したか否かを判断し(S54)、すべてのRCPU42～46がコマンドの実行を終了すると、コマンドに対する応答の内容をSMEM16に書き込んで、割り込み信号iを生成する(S56)。S50～S56の処理は各メモリテストユニット90で行われ、割り込み信号iA～iDがINTCNT22に

30

【0031】

従来は、各RCPU42～46がコマンドの終了を示すレスポンスをEWS10に直接通知していた。EWS10には多くの割り込み信号が入力されるので、各割り込み処理の順位の決定、タスクの切り替え等に多くの時間がかかっていた。またEWS10は各RCPU42～46に対する処理をそれぞれ独立に行わなければならなかったので、EWS10の負荷が大きかった。本実施例によれば、1つの割り込み信号INTを受け取ることによって、EWS10は各RCPU42～46が生成したレスポンスを処理することができる。従って、従ってEWS10の負荷が小さくなるとともに、レスポンスの伝達にかかるメモリテストシステム全体の処理時間を短くすることができ、メモリ試験に要する時間を短縮することができる。

40

【0032】

【発明の効果】

以上の説明から明らかなように、本実施形態によればEWS10は単一の割り込み信号INTによって多数のメモリデバイス52～56からの、レスポンスの処理及びステータス情報の読み取りを行うことができる。このため、割り込み信号が入力された際に必要なプロセスの切り替え処理等が少なく、メモリテストにかかる時間を短縮することができる。

50

さらにEWS10は単一の割り込み信号INTの入力によって多数のメモリデバイス52～56に対する処理を行うことができるので、EWS10におけるメモリの評価プログラムが作りやすい。また多数のメモリデバイス52～56のテスト結果に基づいて生成すべき統計的な評価データをEWS10は容易に生成する事ができる。

【0033】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることができることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0034】

特に、上記実施例においてはメモリをテストするシステムを電気部品テストシステムの例として用いたが、メモリ以外の半導体や半導体以外の電気部品をテストする場合においても本発明を適用することができることは言うまでもない。

【図面の簡単な説明】

【図1】 電気部品テストシステムの一例としての、従来のメモリテストシステムを示すブロック図である。

【図2】 本発明のメモリテストシステムの構成を示すブロック図である。

【図3】 EWSからみた共有メモリユニットのメモリマップである。

【図4】 各VMEバス上におけるRMEM、MEM及びSMEMのアドレス空間を示すメモリマップである。

【図5】 SMEMのメモリ空間を詳細に示す詳細メモリマップである。

【図6】 割り込みコントローラ(INTCNT)及びI/Oポート(I/O Port)の詳細な構成を示すブロック図である。

【図7】 実施例におけるメモリテストシステムの初期化プロセスを示すフローチャートである。

【図8】 EWSが各RCPUに対してコマンドを送信する場合のメモリテストシステム全体の動作を示すフローチャートである。

【図9】 RCPUがEWSへレスポンスを通知する場合の、メモリテストシステム全体の動作を示すフローチャートである。

【符号の説明】

10	EWS(ホストコンピュータ)
12	共有メモリユニット
14	MCPU用メモリ
16	共有メモリ
20	EWSインタフェース
22	割り込みコントローラ
32、34、36	RCPU用メモリ
40	MCPU(スレーブCPU)
42、44、46	RCPU
50	メモリテスト
52、54、56	メモリデバイス
80	VMEインタフェース
90	メモリテストユニット

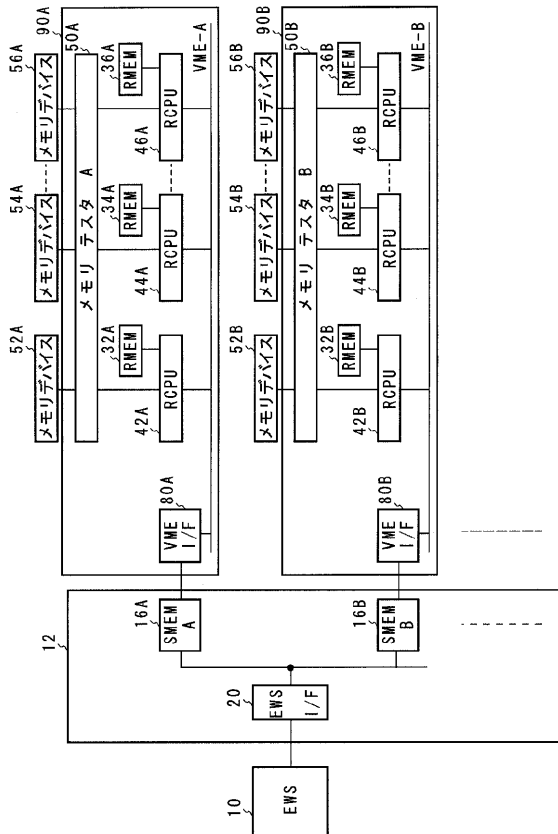
10

20

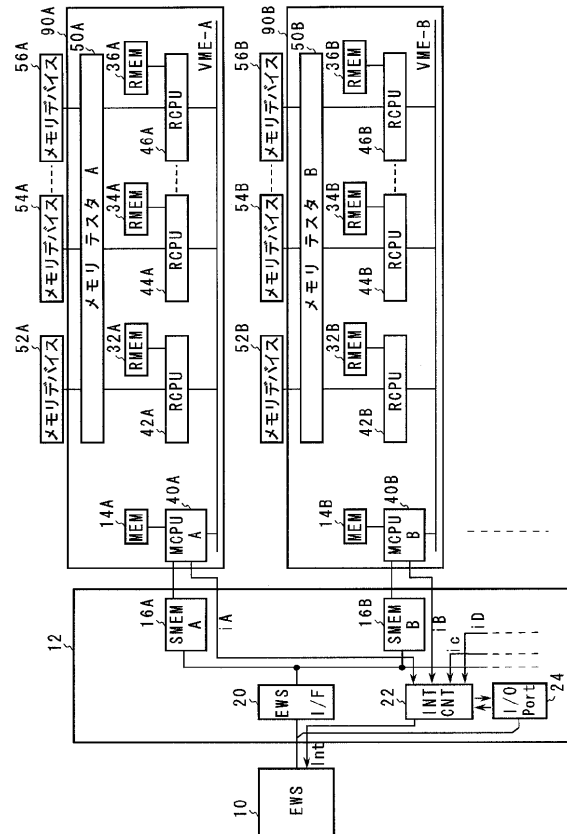
30

40

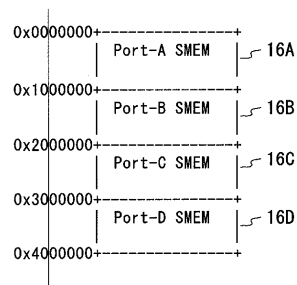
【図 1】



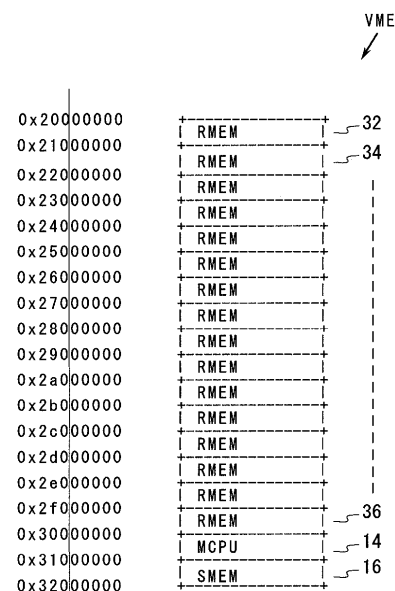
【図 2】



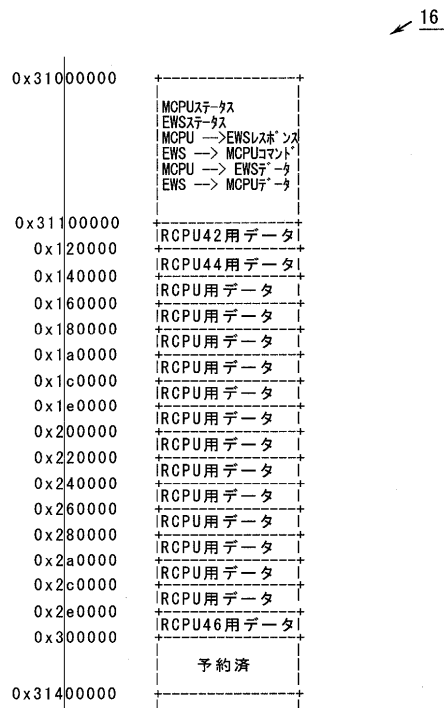
【図 3】



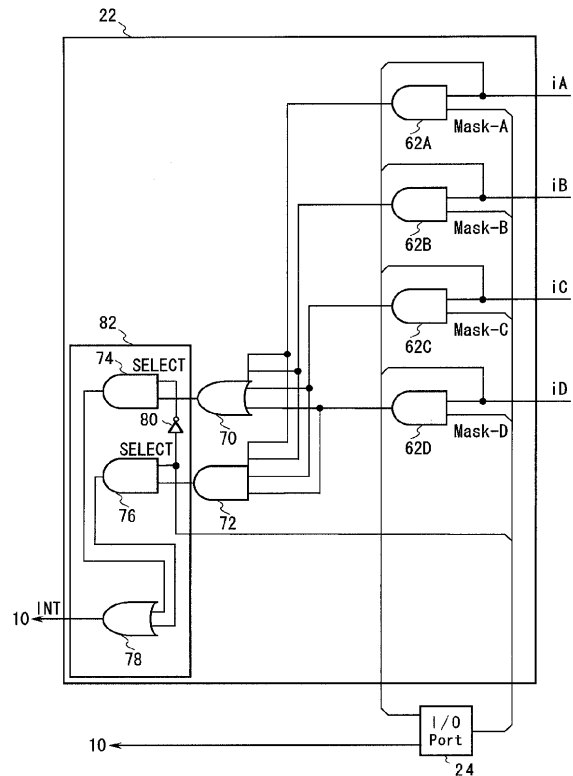
【図 4】



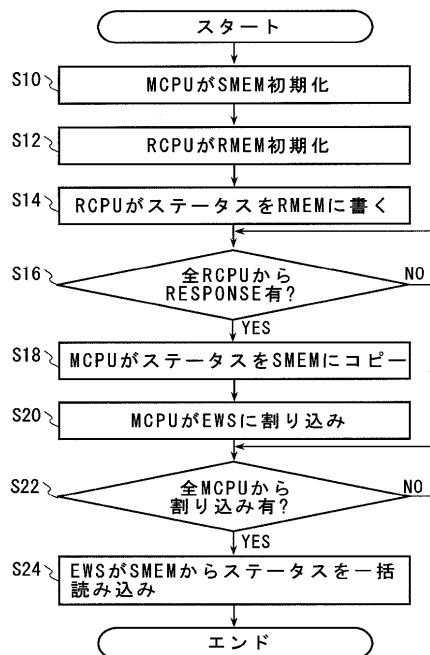
【図5】



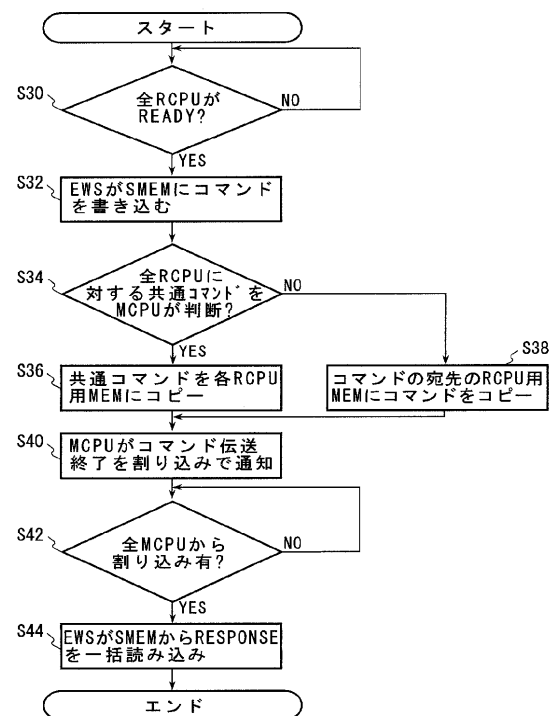
【図6】



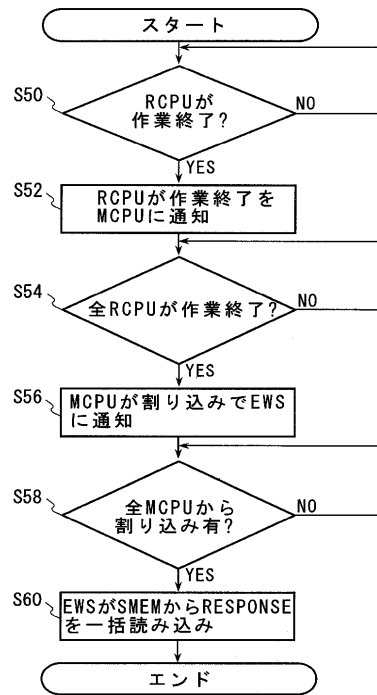
【図7】



【図8】



【図 9】



フロントページの続き

(51)Int.Cl. F I
G 0 6 F 11/34 B
G 1 1 C 29/00 6 5 5 Z

(56)参考文献 特開平 0 8 - 0 5 0 1 6 2 (J P , A)
特開平 0 9 - 2 6 1 2 7 8 (J P , A)
特開平 0 3 - 1 9 2 4 8 8 (J P , A)
特開昭 6 0 - 2 5 2 2 7 5 (J P , A)
特開平 0 9 - 2 9 8 2 2 2 (J P , A)
特開平 0 6 - 3 1 0 5 8 3 (J P , A)
特開平 0 6 - 2 3 0 0 8 0 (J P , A)
特開平 0 9 - 2 6 4 9 3 3 (J P , A)
国際公開第 9 6 / 0 2 9 6 4 9 (WO , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G01R 31/00
G01R 31/28-31/319
G01R 31/26
G11C 29/44
G06F 11/28-11/34