(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2005-526399
(P2005-526399A)
(43)公表日　平成17年9月2日(2005.9.2)

(51)Int.Cl.[7]	F I			テーマコード（参考）
H01L 21/8234	H01L	27/08	102C	5F048
H01L 21/316	H01L	21/316	S	5F058
H01L 21/8238	H01L	29/78	301F	5F140
H01L 27/088	H01L	29/78	301G	
H01L 27/092	H01L	27/08	321D	

審査請求 未請求　予備審査請求 有　（全 14 頁）　最終頁に続く

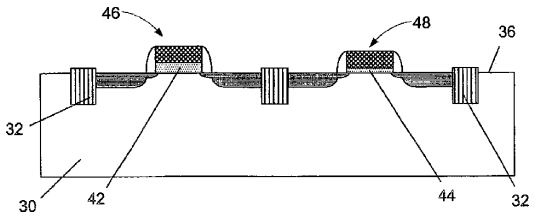
(21)出願番号　特願2004-506080 (P2004-506080)
(86)(22)出願日　平成14年12月17日 (2002.12.17)
(85)翻訳文提出日　平成17年1月12日 (2005.1.12)
(86)国際出願番号　PCT/US2002/040500
(87)国際公開番号　WO2003/098685
(87)国際公開日　平成15年11月27日 (2003.11.27)
(31)優先権主張番号　10/145,519
(32)優先日　平成14年5月14日 (2002.5.14)
(33)優先権主張国　米国 (US)

(71)出願人　591016172
アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
ＡＤＶＡＮＣＥＤ　ＭＩＣＲＯ　ＤＥＶＩＣＥＳ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、９４０８８－３４５３　カリフォルニア州、サニィベイル、ピィ・オゥ・ボックス・３４５３、ワン・エイ・エム・ディ・プレイス、メイル・ストップ・６８（番地なし）
(74)代理人　100099324
弁理士　鈴木　正剛
(74)代理人　100111615
弁理士　佐野　良太

最終頁に続く

(54)【発明の名称】厚みの異なる複数のゲート絶縁層を備えたトランジスタを形成するための方法

(57)【要約】
一実施形態において、本方法は、シリコンで構成された基板（３０）に材料犠牲層（３４）を形成する過程と、前述の犠牲層（３４）を除去するためのウェットエッチングプロセス実行する過程と、前述の犠牲層（３４）が除去された後、基板（３０）の選択された部分にフッ素原子を注入する過程と、基板（３０）に複数のゲート絶縁層（４２，４４）を形成するために熱酸化プロセスを実行する過程とを含み、フッ素注入された前記基板（３０）の選択部分に形成されたゲート絶縁層（４２）は、フッ素が注入されていない基板部分（３０）に形成されたゲート絶縁層（４４）の膜厚より高い膜厚を有する。



【特許請求の範囲】
【請求項１】
シリコンを含む基板３０上に犠牲材を含む材料犠牲層２４を形成する過程と、
前記犠牲層３４を除去するためのウェットエッチングプロセスを実行する過程と、
前記犠牲層３４が除去された後、前記基板３０の選択された部分にフッ素原子を注入する過程と、を有し、かつ、
前記基板上に複数のゲート絶縁層４２、４４を形成するための熱酸化プロセスを実行する過程であって、前記フッ素が注入された前記基板の選択された部分の上に形成された前記ゲート絶縁層４２は、フッ素が注入されていない前記基板部分に形成された前記ゲート絶縁層４４よりも層厚が大きくされる過程を有する、
方法。
【請求項２】
シリコンを含む基板３０上に犠牲材を含む材料犠牲層３４を形成する過程は、シリコンを含む基板３０に酸化シリコンを含む犠牲層３４を形成する過程を含む、
請求項１記載の方法。
【請求項３】
シリコンを含む基板３０に材料犠牲層３４を形成する過程は、シリコンを含む前記基板３０上に酸化シリコンを含む犠牲層３４を熱的に成長させる過程を含む、
請求項１記載の方法。
【請求項４】
前記犠牲層３４を除去するためのウェットエッチングプロセスを実行する過程は、前記犠牲層３４を除去するための希フッ化水素酸ウェットエッチングプロセスを実行する過程を含む、
請求項１記載の方法。
【請求項５】
前記犠牲層３４が除去された後で前記基板３０の選択された部分にフッ素原子を注入する過程は、前記犠牲層３４が除去された後で前記基板３０の選択された部分にフッ素原子を注入する過程を含み、前記フッ素原子は、おおよそ$5E^{14}$～$5E^{15}$ ions／cm^2 の量で注入される、
請求項１記載の方法。
【請求項６】
前記犠牲層３４が除去された後で前記基板３０の選択された部分にフッ素原子を注入する過程は、
前記基板３０上にフォトレジスト材料のパターン層３８を形成する過程と、
前記犠牲層３４が除去された後に、フォトレジスト材の前記パターン層３８をマスクとして用いて前記基板にフッ素原子を注入する過程と、を含む、
請求項１記載の方法。
【請求項７】
前記基板上に複数のゲート絶縁層４２、４４を形成するための熱酸化プロセスを実行する過程であって、前記フッ素が注入された前記基板の選択された部分の上に形成された前記ゲート絶縁層４２は、フッ素が注入されていない前記基板部分に形成された前記ゲート絶縁層４４よりも層厚が大きくされる過程は、前記基板上に複数のゲート絶縁層４２、４４を形成するための熱酸化プロセスを実行する過程であって、前記フッ素が注入された前記基板の選択された部分の上に形成された前記ゲート絶縁層４２は、フッ素が注入されていない前記基板部分に形成された前記ゲート絶縁層４４よりも層厚が大きくされる過程を含み、前記層厚の差は、約０．１～１．０ｎｍである、
請求項１記載の方法。
【請求項８】
更に、前記複数のゲート絶縁層の各々に一ゲート電極構造を形成する過程を含む、
請求項１記載の方法。

【請求項９】
熱酸化プロセスを実行する過程は、約６００℃から１０００℃までの温度で熱酸化プロセスを実行する過程を含む、
請求項１記載の方法。
【請求項１０】
シリコンを含む基板３０上に二酸化シリコンを含む犠牲層３４を形成する過程を有し、
前記犠牲層３４を除去するために希フッ化水素酸ウェットエッチングプロセスを実行する過程を有し、
酸化シリコンを含む前記犠牲層３４が除去された後、前記基板３０の選択された部分にフッ素原子を注入する過程を有し、
前記基板に複数のゲート絶縁層４２、４４を形成するために熱酸化プロセスを実行する過程であって、前記基板３０の前記フッ素が注入された選択部分上に形成された前記ゲート絶縁層４２は、フッ素が注入されていない前記基板３０部分上に形成された前記ゲート絶縁層４４よりも層厚が大きくされる過程を有する、
方法。
【請求項１１】
前記基板に複数のゲート絶縁層４２、４４を形成するために熱酸化プロセスを実行する過程であって、前記基板３０の前記フッ素が注入された選択部分上に形成された前記ゲート絶縁層４２は、フッ素が注入されていない前記基板３０部分上に形成された前記ゲート絶縁層４４よりも層厚が大きくされる過程は、前記基板に複数のゲート絶縁層４２、４４を形成するために熱酸化プロセスを実行する過程であって、前記基板３０の前記フッ素が注入された選択部分上に形成された前記ゲート絶縁層４２は、フッ素が注入されていない前記基板３０部分上に形成された前記ゲート絶縁層４４よりも層厚が大きくされる過程を含み、前記層厚の差は約０．１ｎｍ～１．０ｎｍである、
請求項１０記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、概して半導体製造技術に関し、より具体的には、膜厚に差異を有する複数のゲート絶縁層を備えたトランジスタを形成するための方法に関する。
【背景技術】
【０００２】
半導体業界において、例えば、マイクロプロセッサ、メモリデバイス等のような集積回路デバイスの動作速度を増そうとするための絶え間ない動向がある。この動向は、ますます増える高速度で動作するコンピュータと電子的デバイスに対する消費者の需要によって煽られている。速度を増やすことに関するこの需要は、例えば、トランジスタのような半導体デバイスサイズの絶え間なく続く小型化という結果をもたらしている。これは、例として、チャンネル長さ、接合の深さ、ゲート絶縁層、及び同様のもの等の一般的な電界効果トランジスタ（FET；field effect transistor）の多くの素子サイズが減少されているのである。例えば、他の条件がすべて同じだとすると、トランジスタのチャンネル長さが小さければ小さいほど、トランジスタの動作は高速となる。それ故、トランジスタ全体の速度を増すための一般的な素子のサイズ、又はスケールを小さくすることが絶えず求められており、そうしたトランジスタを内蔵する集積回路デバイスに関しても同様である。
【０００３】
従来技術として、図１は、ウェーハ又は基板１１に形成されたトランジスタ１０の一例を表している。トランジスタ１０は、ゲート絶縁層１４、ゲート電極１６、側壁（サイドウォール）スペーサ１９、及びソース／ドレイン１８で構成されている。ゲート電極１６は、限界寸法１６Ａ（ゲート長）を有する。トレンチ絶縁領域１７も又、基板１１に形成されている。図１にも示されているように、絶縁体層２１に複数の導電性コンタクト１５が形成されている。導電性コンタクト１５は、電気的接続をソース／ドレイン１８に与え

る。構築が示すようにトランジスタ１０は、ゲート絶縁層１４の下の基板１１にチャンネル領域１２を定義している。基板１１は、通常、例えば、ＮＭＯＳデバイス用にボロン又は二フッ化ホウ素のようなＰ型ドーパント、又はＰＭＯＳデバイス用にヒ素又はリンのようなＮ型ドーパントといった、適切なドーパント材料によってドープされる。

【０００４】

近代的な集積回路デバイスのパフォーマンス特性を高めるために、ゲート絶縁層１４は、一般的に二酸化シリコンで構成されており、２．０ｎｍ～２．５ｎｍ（２０Å～２５Å）程度まで薄く形成することが可能であり、将来的に更に薄くすることが計画されている。この薄膜の絶縁層１４により、トランジスタの印加電流をより大きくし、トランジスタ切り替え速度をより高速にすることが可能となる。しかし、ゲート絶縁層１４を上述したレベルの膜厚に減少させることで、他の問題が生じ得る。例えば、現在の集積回路デバイスの幾つかにおける動作電圧においては、ゲート電流、即ち、基板１１とゲート電極１６の間の電流が生じるおそれがある。そうしたゲート電流の原因は、部分的にはゲート絶縁層１４膜厚が減少したことに起因し、ゲート電極１６を電気的に絶縁するという意図された機能を実行するための性能を制限する傾向がある。このゲート電流は、様々な点で問題となり、トランジスタ１０の電力消費とオフ状態のリーク電流を増大してしまうおそれがある。

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかし、例えば、マイクロプロセッサ、アプリケーション仕様集積回路（ＡＳＩＣｓ）等のような多くの近代的な集積回路デバイスにおいて、全部の集積回路製品の回路に関してそうしたかなり薄い膜のゲート絶縁層１４のような形成が求められているわけではない。例えば、マイクロプロセッサに関して、完成したデバイスの切り替え速度の構築に関連することから“クリティカルパス”の一部を構成はしないという回路が幾つかあり得る。別の例において、マイクロプロセッサの回路の幾つかは、他の理由によりゲート絶縁層の膜厚を増加することが求められる場合がある。例えば、外部デバイスとインターフェースする様々な入力／出力回路に関して、ゲート電流が高くなり過ぎないことを確実なものとするために、比較的膜厚の大きいゲート絶縁層１４が求められる場合がある。もう一つの例として、集積回路デバイスのプロットスペースをかなり占有し得るにもかかわらず、集積回路デバイスの動作周波数の構築に関連することから、クリティカルパスの一部を構成することがないという回路もある。例えば、あるマイクロプロセッサの例では、一方では集積回路デバイスのプロットスペースをかなり占有するものの、パフォーマンスに関してマイクロプロセッサのクリティカルパスの一部を構成していないという多くのデカップリングコンデンサ回路があり得る。そのような状況において、デカップリングコンデンサが、非常に薄いゲート絶縁層で形成された場合、デカップリングコンデンサ回路は、必ずしもデバイス全体のゲート電流を無用の増加を招き、更に、上述した幾つかの不都合を生じることになるであろう。

【０００６】

それ故、製造業者は、現在の幾つかの集積回路デバイスにおいて、集積回路デバイスの様々な回路用に膜厚に差異を有するゲート絶縁層を備えた、即ち、デュアルゲート酸化物回路、トリプルゲート酸化物回路と呼ばれる複数のトランジスタの形成を始めている。これは、少なくとも幾つかの回路に関して、ある種のトランジスタ１０のゲート絶縁層は、かなり薄い膜で形成され、一方、集積回路デバイスのさほどクリティカルではない回路における他のトランジスタは、比較的高い膜厚のゲート絶縁層１４を有している。例えば、図２を参照すると、第１トランジスタ２２は、比較的高い膜厚のゲート絶縁層２２Ａを有し、一方、第２トランジスタ２４は、比較的薄い膜厚のゲート絶縁層２４Ａを有していることが示されている。図２に示されるゲート絶縁層２２Ａと２４Ａの相対膜厚は、明りょう性と説明目的のために誇張されている。上述したようにトランジスタ２４は、パフォーマンスに関して集積回路デバイスのクリティカルパスの一部を構成しているが、一方で、

トランジスタ２２は、そのようなクリティカルパスにあるのではなく、即ち、集積回路製品の入力／出力回路の一部であり得るために、比較的高い膜厚のゲート絶縁層２２Ａを与えることが重要になる場合がある。

【０００７】

図２に示されるトランジスタ２２と２４を形成するためのプロセスフローを以下に記載する。まず最初にトレンチ絶縁領域１７が、基板１１に形成される。その後、（図示されていない）犠牲酸化層がデポジットされるか、又は、基板１１の表面部に熱的に成長され得る。次に、（図示されていない）フォトレジストのパターン層が、基板１１に形成される。フォトレジストのパターン層は、基板１１の選択された部分を露光するために用いられる、図２に示されるトランジスタ２２のような増加した膜厚を備えたゲート絶縁層を有するトランジスタを形成することが求められる。マスク層が形成された後、マスクパターンにより露光された基板１１部分に犠牲酸化層を通じてフッ素原子を注入するよう、イオン注入プロセスが実行される。その後、フォトレジストマスクパターン層が除去される。その後、フッ化水素酸（ＨＦ）を用いて行う一般的なウェットエッチングプロセスが、犠牲酸化層を除去するためと、概してトランジスタ２２と２４のゲート絶縁層２２Ａと２４Ａが形成される前に基板１１を洗浄するために実行される。その後、熱酸化プロセスが、図２に示されるゲート絶縁層２２Ａと２４Ａを形成するために実行される。基板１１の、フッ素が注入された領域に形成されたゲート絶縁層の膜厚が比較的高いのは、注入されたフッ素原子がシリコン基板１１の酸化率を増すからである。ゲート絶縁層２２Ａと２４Ａが形成された後、従来のプロセス動作は、トランジスタ２２と２４を形成するために継続可能である。

【０００８】

残念なことに、上述したプロセスフローは、問題が無いわけではない。例えば、犠牲酸化層を除去するために実行されるエッチングプロセスの間、即ち、上述したフッ化水素酸（ＨＦ）によるエッチングプロセスの間、（犠牲酸化層を通り抜けてなされた）フッ素注入プロセスに晒されたトレンチ絶縁領域１７は、フッ素注入プロセスに晒されていないトレンチ絶縁領域よりも高速に食刻される傾向がある。結果として、図２に示されるようにフッ素注入された絶縁領域１７、即ちトランジスタ２２と関連づけられた絶縁領域は、犠牲酸化層を除去するために実施されたウェットエッチングプロセスの間、食刻され過ぎる傾向がある。結果として、影響を受けた絶縁領域１７に近傍する基板１１部分が、露光される場合がある。露光された基板１１部分は、様々な点において問題を有する可能性がある。例えば、デバイスパフォーマンスの削減につながるおそれがある。

【０００９】

本発明は、そうした課題を解決し、又は上述した問題の幾つか若しくは全部を少なくとも軽減し得る方法を得ることを目的とする。

【課題を解決するための手段】

【００１０】

本発明は、概して膜厚に差異を有する複数のゲート絶縁層を備えたトランジスタを形成するための方法を得るために向けられたものである。一実施形態によると、この方法は、シリコンで構成された基板に犠牲材層（sacrificial layer of material ）を形成する過程と、この犠牲材層を除去するためのウェットエッチングプロセスを実行する過程と、犠牲材層が除去された後に基板の選択された部分にフッ素原子を注入する過程と、基板に複数のゲート絶縁層を形成するために熱酸化プロセスを実行する過程と、を含み、結果としてフッ素が注入された基板の選択された部分に形成されたゲート絶縁層は、フッ素が注入されていない基板部分に形成されたゲート絶縁層の膜厚より高い膜厚を有する。

【発明を実施するための最良の形態】

【００１１】

本発明は、添付の図面に関連して記載された以下の説明を参照することによって、理解され得る。参照の符号は、同様の構成要素と同一である。

本発明の実施形態は、以下に記載されている。明りょう性を期すため、実際の実施例全

部のフィーチャを本明細書に記載したわけではない。実施例毎に変化する、種々のシステム関連及びビジネス関連による制約を満たすというような、開発者の特定のゴールを実現するためには、そうした実際の実施形態の開発段階における多くの特定の実施の決定がなされなくてはならないことが、当然理解されよう。このような開発への努力は複雑であり、時間がかかる場合があるが、それにもかかわらず、本開示から利益を有する当業者にとって、取り組むべきルーチン的業務であることが理解されよう。

【００１２】

添付した図面を参照して本発明を説明する。半導体デバイスの様々な領域と構造は、かなり精密で、明確な構築と側面図を有する図面で描かれているけれど、当業者は、実際において、図面に示されたこれらの領域と構造と同じ程度に精密ではないことを認識するだろう。更に、図面に描かれた様々なフィーチャとドープされた領域の相対サイズは、製品化されたデバイスのこれらのフィーチャと領域のサイズと比較すると、誇張又は軽減されている場合がある。それにも係わらず、添付した図面は、本発明の実施例を記載し、説明することを包含している。本明細書に用いられた用語と成句は、関連する技術分野の当業者による用語と成句の理解と一貫する意味を有するように理解され、及び解釈されなければならない。用語又は成句の特別な定義、即ち、当業者によって通常、慣用的に理解される意味から異なる定義が、本文における用語又は成句の一貫した使用法に包含されるべきであるとしては意図されていない。そうした用語又は成句が特別の意味に意図される範囲、即ち、当業者によって理解される以外の意味を有する範囲のような特別の定義は、用語又は成句に関する特別な定義を直接及び明確に提供する定義形式で本明細書に表現されている。

【００１３】

概して、本発明は、異なる膜厚を有する複数のゲート絶縁層を備えたトランジスタを形成するための方法を得ることを目的とする。本発明は、例示的なＮＭＯＳトランジスタを形成するコンテキストにおいて開示されているが、当業者は、本出願を完全に読んだ後で本発明がそれ程、制限されていないことが理解されるだろう。より具体的には、本発明は、例えば、ＮＭＯＳ、ＰＭＯＳ、ＣＭＯＳ等のような様々な技術に関連して利用可能であり、例えば、メモリデバイス、マイクロプロセッサ、ロジックデバイス等のような種々の異なる形式のデバイスで利用され得る。本発明は、又、シリコン・オン・インシュレータ（ＳＯＩ）基板及び同様のものに集積回路デバイスを形成するためのコンテキストにおいて利用され得る。

【００１４】

図３Ａに示されるように複数の絶縁領域３２は、半導体基板３０に形成され、犠牲層３４は、基板３０の表面部３６に形成されている。図３Ａに描かれているステップの前に様々なウェル注入及びアニールプロセスが、ＮＭＯＳ及びＰＭＯＳデバイス、即ちＣＭＯＳアプリケーションを形成するために基板３０内に（もし要請があれば）求められたウェルを形成するために実行されてよい。絶縁領域３２は、様々な周知技術によって形成され得る。例えば、複数のトレンチは基板３０に形成されてよいし、続いて二酸化シリコンのような絶縁材料で充填されてよい。同様に、犠牲層３４は、例えば、二酸化シリコンで構成され、おおよそ１０ｎｍ～２０ｎｍ（１００Å～２００Å）の膜厚を有してよいし、複数の技術、即ち、デポジション、熱成長等によって形成されてよい。

【００１５】

次に図３Ｂに示すようにウェットエッチングプロセスにより、完成したデバイスのゲート絶縁層が形成される前に犠牲層３４を除去し、基板３０の表面部３６を洗浄する。このウェットエッチングプロセスは、例えば、おおよそ１０：１の濃度の希フッ化水素酸を用いて実行され得る。

【００１６】

従って、図３Ｃに示すように（ポジ型又はネガ型材料の）フォトレジストのパターン層３８が、基板３０の表面部３６に形成される。フォトレジストパターン層３８は、複数の開口部３９を有し、この開口部３９によって、後続のプロセスにて基板３０の領域が露出

される。その後、矢印４０によって示されるように、パターンされたマスク層３８によって露出された基板３０の部分にフッ素原子を注入するようイオン注入プロセスが実行される。フッ素原子の注入量は、フッ素原子が注入される領域における基板３０に形成されなければならないゲート絶縁層に求められる膜厚により異なる。概して、イオン注入プロセス４０は、おおよそ$5E^{14}$～$5E^{15}$ ions/cm^2の注入量を用いて実行され得る。このイオン注入プロセス４０は、領域３３によって示されるようにフッ素原子を基板３０に注入するという結果を生じさせる。このイオン注入プロセス４０は、例えば、犠牲層３４が希フッ化水素酸エッチングプロセスのようなウェットエッチングプロセス又は剥離プロセスを実行することによって除去された後に実行されることに注目されたい。

【００１７】

次に、図３Ｄに示されるように、フォトレジストパターン層３８は除去され、基板３０の表面部３６が洗浄される。フォトレジスト材料層の除去は、例えば、酸素（O_2）プラズマ灰化プロセスのような様々な技術を実行し、次に続く希硫酸ウェット洗浄プロセスを実行することによって実現され得る。以下に記載された本発明に係るプロセスフローにおいて、犠牲層３４は、フッ素原子が基板３０の露出された部分と、露出された絶縁体３２と、に注入されるステップの前に除去されることに注目されたい。これは、絶縁領域がフッ素注入プロセスに晒された後に、犠牲層３４が除去されるという、従来技術のプロセスフローとは対照的に、結果として（フッ素が注入されて）影響を受けた領域により高度のエッチング率を示している。この新しいプロセスフローの結果として、絶縁領域３２の整合性がより良好に保持され、絶縁領域３２近傍の基板３０部分が意に反して露出されることが回避され得る。即ち、本発明は、図２に描かれているように、基板の露出された部分２３を削減あるいは除去するために利用され得る。

【００１８】

その後、図３Ｅに示されるように、ゲート絶縁層４２と４４を形成するために、熱酸化プロセスが、おおよそ６００℃から１０００℃までの温度で実行される。ゲート絶縁層４２は、ゲート絶縁層４４よりもおおよそ０．１ｎｍ～１．０ｎｍ（１Å～１０Å）膜厚が厚くなっている。ゲート絶縁層４２の膜厚は、上述した注入プロセス４０の間、注入されたフッ素原子があるために増加している。絶縁層４２と絶縁層４４の膜厚の差異は、基板３０に注入されたフッ素量によって制御され得る。概して注入プロセス４０の間、基板３０にフッ素が注入されればされるほど、ゲート絶縁層４２とゲート絶縁層４４の間の差異は大きくなる。一実施例によると、ゲート絶縁層４２は、おおよそ２．１ｎｍ～３．０ｎｍ（２１Å～３０Å）の膜厚を有し、一方、ゲート絶縁層４４は、おおよそ２．０ｎｍ～２．５ｎｍ（２０Å～２５Å）の膜厚を有することとなる。

【００１９】

次に、図３Ｆに示されるように、トランジスタ４６と４８の形成を完了するために更なるプロセスが実行される。そのようなプロセスは、ゲート電極、側壁（サイドウォール）スペーサ、及びソース／ドレイン領域を含む。本文に記載された本発明に係るプロセスフローを実行することによって、フッ素原子が注入された基板３０に近傍する絶縁体領域の整合性が保持される。これは、犠牲層３４がフッ素注入プロセス４０の前に除去されるためであって、例えば、犠牲層３４を除去するために実行されるフッ化水素酸エッチングプロセスのような比較的積極的なウェットエッチプロセスに絶縁領域が晒される前にフッ素を注入することによって絶縁領域のエッチング率が大きくなる、というわけではない。結果として、絶縁領域の整合性は、損なわれずそのまま残るのである。

【００２０】

図４Ａと図４Ｂは、本発明の効果を明示する様々なテストデータのグラフである。図４Ａは、寄生フィールドトランジスタ閾値電圧のグラフである。図４Ｂは、アクティブ／STI端部ゲート酸化キャパシタに関するゲート電流のグラフである。双方の図において、３つのラインが確認されている。ライン５０は、本出願の背景技術に記載された従来技術に関連して形成されたデバイスのデータを表す。即ち、ライン５０は、絶縁領域がフッ素注入プロセスに晒され、その後、エッチングプロセスに晒されるデバイスの代表的なもので

ある。ライン５２は、本文に記載された本発明に係る方法に従って形成されたデバイスに対応するものである。ライン５４は、フッ素注入が全く実行されていないデバイスの代表的なものである。

【００２１】

図４Ａに関しては、寄生フィールドトランジスタの閾値電圧が高ければ高い程、より優れている。図４Ａに示されるようにサンプルされた領域の閾値の中央値５６において、従来技術に従って形成されたデバイスの電圧は、おおよそ９．２ボルトであり、（プロット５２に示すように）本発明に従って形成されたデバイスの電圧はおおよそ１０．８ボルトであり、（プロット５４に示すように）二重ゲート酸化注入ステップが実行されていないデバイスの電圧は、おおよそ１１．２ボルトである。プロット５２（本発明）に示されるように、プロット５０（従来技術）に比較して閾値が相対的に高くなっていることは、二重ゲート形成に関する本文に記載されたプロセスを利用した本発明を実施することで、絶縁領域において消耗又は浸食が少ないことを意味している。

【００２２】

同様に、アクティブ／STIエッジインテンシブゲート酸化コンデンサ（active/STI edge intensive gate oxide capacitor）のゲート電流の中央値５６は、従来技術のプロセスフローに従って形成されたデバイスと比較すると本発明に従って形成されたデバイスの方が比較的低い。これは、図４Ｂに示されるように（グラフ５２の）本発明に従って形成されたデバイスのゲート電流の中央値５６は、おおよそ$1e^{-4}$ amps/cm^2 であり、一方、（グラフ５０の）従来技術プロセスのゲート電流は、おおよそ０．１３amps/cm^2 である。（グラフ５４の）二重ゲートを備えていないデバイスのゲート電流は、$1e^{-3}$ amps/cm^2 よりわずかに少ないことを示している。それ故、本発明を利用すると、アクティブ／静的（STI）端部コンデンサの意に反したゲート電流は、従来技術のプロセスフローに従って形成されたデバイスのゲート電流より比較的低くなる。これは、二重ゲート酸化物を形成するために本文に開示された進歩的なプロセスを利用することにより、絶縁領域の浸食作用の減少が生じた結果である。

【００２３】

本発明は、概して膜厚に差異を有するゲート絶縁層を備えたトランジスタを形成するための方法に向けられたものである。一実施例において、この方法は、シリコンで構成された基板に材料犠牲層を形成する過程と、この犠牲層を除去するためのウェットエッチングプロセスを実行する過程と、犠牲層が除去された後、選択された基板部分にフッ素原子を注入する過程と、及び基板に複数のゲート絶縁層を形成するための熱酸化プロセスを実行する過程とを含み、フッ素が注入された基板の選択部分に形成されたゲート絶縁層は、フッ素が注入されていない基板部分に形成されたゲート絶縁層の膜厚より高い膜厚を有する。

【００２４】

本発明が、本開示から利益を有する当業者にとって、異なるが均等であることが明りょうである方法で改変及び実施され得るので、上述された特定の実施形態は、説明目的のためのみのものである。例えば、上述されたプロセスステップは、異なる手順で実行される場合がある。更に、請求項に限定された範囲以外で、本文に示した構成又は設計の詳細に制限されることは意図されていない。上述した特定の実施形態は、改変又は修正可能であり、そうした改変の全部は、本発明の趣旨の範囲内にあると考えられる。従って、本文に求められる保護は請求項に記載されたとおりである。

本発明は、種々の改善及び代替実施例に改変可能である一方で、本文の特定の実施形態は図面における実施例という方法で示され、詳細は以下に記載されている。しかし、本明細書に記載された特定の実施形態は、本開示の特定の形式に本発明を制限することを意図したものでないことが理解されなければならないし、それ以上に本発明は、添付された請求項に限定された本発明の趣旨の範囲内における全部の改善、均等物、及び代替例を含めるものである。

【図面の簡単な説明】

【００２５】
【図１】基板に形成された半導体デバイスの従来技術の一例を示す断面図である。
【図２】従来技術の一例に従って形成された、膜厚の異なるゲート絶縁層を有する複数のトランジスタを備えた基板の一例を示す断面図である。
【図３Ａ】本発明の一実施形態に従った方法の断面図である。
【図３Ｂ】本発明の一実施形態に従った方法の断面図である。
【図３Ｃ】本発明の一実施形態に従った方法の断面図である。
【図３Ｄ】本発明の一実施形態に従った方法の断面図である。
【図３Ｅ】本発明の一実施形態に従った方法の断面図である。
【図３Ｆ】本発明の一実施形態に従った方法の断面図である。
【図４Ａ】本発明の効果を示すグラフである。
【図４Ｂ】本発明の効果を示すグラフである。

【図１】

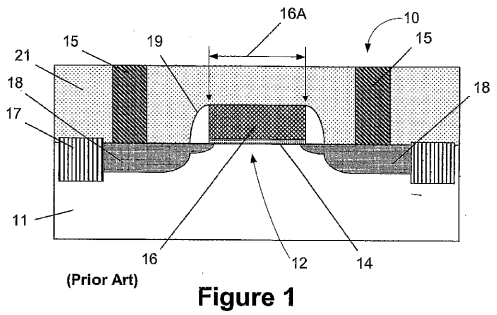


Figure 1

【図２】

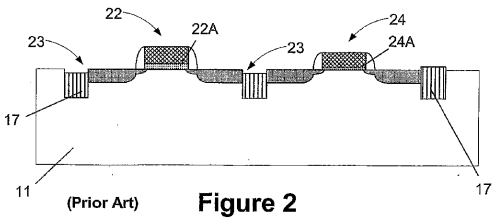


Figure 2

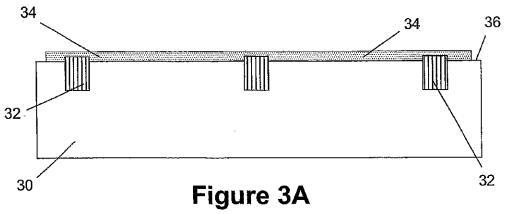


Figure 3A

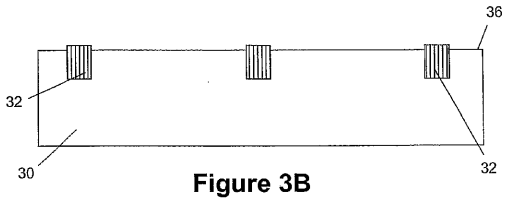


Figure 3B

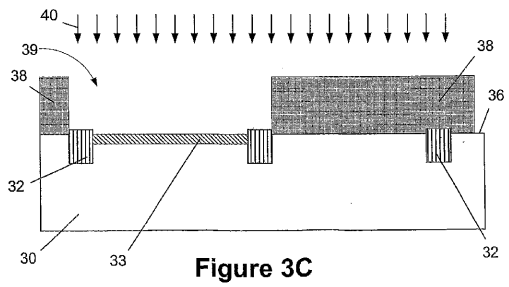


Figure 3C

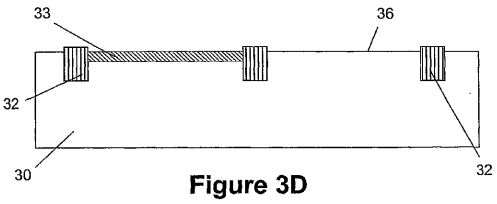


Figure 3D

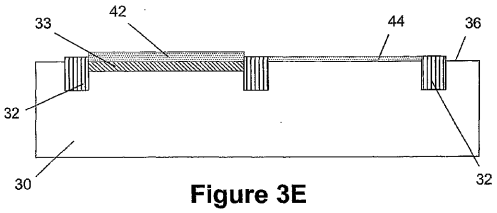


Figure 3E

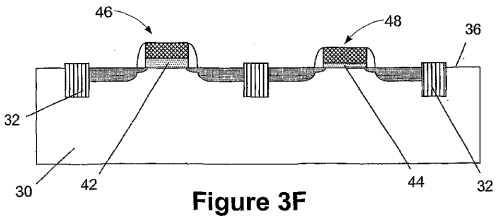
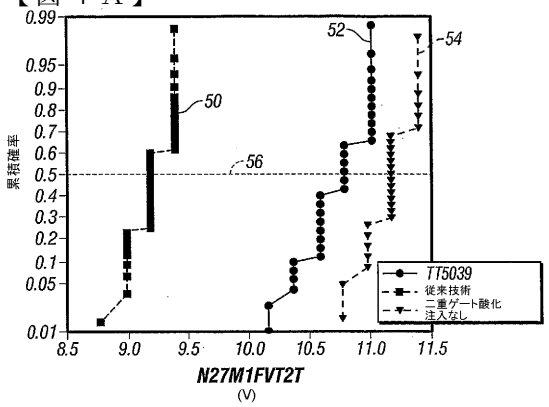
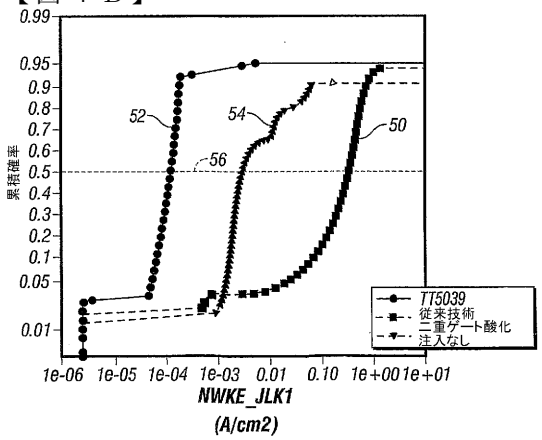


Figure 3F

【図４Ａ】



【図４Ｂ】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 02/40500

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/8234

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, PAJ, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 576 226 A (HWANG HYUN S) 19 November 1996 (1996-11-19) column 2, line 45 -column 3, line 15; figures 2A-2F	1-11
Y	US 6 251 747 B1 (NOURI FARAN ET AL) 26 June 2001 (2001-06-26) column 4, line 1 - line 48; figures 2A-2D	1-11
Y	US 6 091 109 A (HASEGAWA EIJI) 18 July 2000 (2000-07-18) figure 5	5,7,11
A	DE 198 57 095 A (MITSUBISHI ELECTRIC CORP) 23 December 1999 (1999-12-23) column 7, line 50 -column 8, line 12; figures 9-11	1-11

-/--

[X] Further documents are listed in the continuation of box C.

[X] Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 March 2003	01/04/2003

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31–70) 340–2040, Tx. 31 651 epo nl, Fax: (+31–70) 340–3016	Agne, M

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 02/40500

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 335 262 B1 (HARGROVE MICHAEL JOHN ET AL) 1 January 2002 (2002-01-01) abstract; figures 1-4	1-11

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/US 02/40500

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 5576226	A	19-11-1996	KR	136935 B1	24-04-1998
			JP	2663107 B2	15-10-1997
			JP	7297298 A	10-11-1995
US 6251747	B1	26-06-2001	CN	1384976 T	11-12-2002
			CN	1342329 T	27-03-2002
			EP	1145304 A1	17-10-2001
			EP	1145307 A1	17-10-2001
			WO	0133626 A1	10-05-2001
			WO	0133628 A1	10-05-2001
US 6091109	A	18-07-2000	JP	3194370 B2	30-07-2001
			JP	11330263 A	30-11-1999
DE 19857095	A	23-12-1999	JP	2000003965 A	07-01-2000
			DE	19857095 A1	23-12-1999
			KR	2000005593 A	25-01-2000
			US	6410991 B1	25-06-2002
US 6335262	B1	01-01-2002	NONE		

Form PCT/ISA/210 (patent family annex) (July 1992)

フロントページの続き

(51)Int.Cl.[7] F I テーマコード（参考）
H01L 29/78

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZM,ZW

(74)代理人 100108604
弁理士 村松 義人
(72)発明者 ジェイムズ エフ. ビューラー
アメリカ合衆国、テキサス州 ７８７５９、オースティン、インディカ コウブ ６９０８
(72)発明者 ジョン ディー. チーク
アメリカ合衆国、テキサス州 ７８６８１、ラウンド ロック、ニューランド プレイス ３６０２

Fターム(参考) 5F048 AA07 AC01 AC03 BA01 BB16 BB17 BC06 BE03 BG12 BG13
DA23
5F058 BA20 BC02 BD04 BE01 BE03 BE07 BF55 BJ01
5F140 AA26 AB01 AB03 BA01 BB16 BC06 BD17 BD20 BE01 BE02
BE03 BE07 BG08 BH15