

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4414102号
(P4414102)

(45) 発行日 平成22年2月10日(2010.2.10)

(24) 登録日 平成21年11月27日(2009.11.27)

(51) Int.Cl.

G06F 1/10 (2006.01)
H03K 3/03 (2006.01)

F 1

G06F 1/04
H03K 3/03

請求項の数 54 (全 35 頁)

(21) 出願番号	特願2000-595425 (P2000-595425)	(73) 特許権者	501262798 マルチギグ リミテッド MultiGig Limited イギリス国 NN8 2UB ノーサンツ ウイルビィ ウェリングバラーメイン ロード 29-31 メイン ハウス
(86) (22) 出願日	平成12年1月24日 (2000.1.24)	(74) 代理人	100068755 弁理士 恩田 博宣
(65) 公表番号	特表2002-535790 (P2002-535790A)	(74) 代理人	100105957 弁理士 恩田 誠
(43) 公表日	平成14年10月22日 (2002.10.22)	(72) 発明者	ウッド、ジョン イギリス国 NN9 6QL ノーサンブ トンシャー ラウンズ ブロードランズ 2
(86) 國際出願番号	PCT/GB2000/000175		
(87) 國際公開番号	W02000/044093		
(87) 國際公開日	平成12年7月27日 (2000.7.27)		
審査請求日	平成19年1月24日 (2007.1.24)		
(31) 優先権主張番号	9901359.1		
(32) 優先日	平成11年1月22日 (1999.1.22)		
(33) 優先権主張国	英國 (GB)		
(31) 優先権主張番号	9901618.0		
(32) 優先日	平成11年1月25日 (1999.1.25)		
(33) 優先権主張国	英國 (GB)		

最終頁に続く

(54) 【発明の名称】電子回路

(57) 【特許請求の範囲】

【請求項 1】

少なくとも第1ループと第2ループとによって形成される信号経路からなる、タイミング信号の生成と分配との回路であって、第1ループと第2ループとは伝送線を形成して単一の連続エネルギー導電路を形成すべく連結されて、信号位相反転を行ない、関連する再生能動手段は第1ループと第2ループとの間で接続されている、回路。

【請求項 2】

演算回路およびタイミング信号分配手段を実装する能動エリアを有する半導体集積回路からなり、信号経路およびタイミング信号源として機能する、再生能動手段を備える請求項1記載の電子回路。

10

【請求項 3】

前記再生能動手段は、2つの電源電圧レベルに対するスイッチング作用を有する請求項1記載の電子回路。

【請求項 4】

前記再生能動手段は、前記スイッチングの間、増幅作用をする請求項3記載の電子回路。

【請求項 5】

前記再生能動手段は、前記信号経路内の前記タイミング信号に対して反転作用を有する請求項1記載の電子回路。

【請求項 6】

20

前記再生能動手段は双方向特性を有し、その結果、前記タイミング信号は、180°位相ずれにおいて前記信号経路のどこででも使用可能な双極差動成分を有する請求項1記載の電子回路。

【請求項7】

前記信号経路は、单一の連続エネルギー伝導路の一部として複数のループを形成し、その結果、前記タイミング信号は、同じ方向の1つの追加ループのために直角を含む多位相成分で得られる請求項6記載の電子回路。

【請求項8】

前記再生能動手段は、前記信号経路の長さ方向に沿った1つの位置に物理的に局在化され、その結果、前記タイミング信号が定在波特性を有する請求項1記載の電子回路。 10

【請求項9】

前記双方向能動手段は、決して完全な「オン」または完全な「オフ」状態には達せず、その結果、前記定在波タイミング信号が正弦波となり、前記再生能動手段は、前記信号経路の長さ方向に沿って1つの場所に物理的に局在し、その結果、前記タイミング信号は進行波特性を有する請求項6記載の電子回路。

【請求項10】

前記再生能動手段は、前記信号経路の長さ方向に沿って物理的に分散され、その結果、前記タイミング信号は再循環進行波タイミング信号である請求項1記載の電子回路。

【請求項11】

前記再生能動手段は更に、前記信号経路に沿って離間された複数の反転増幅器を備える請求項10記載の電子回路。 20

【請求項12】

前記再生能動手段は双方向能動手段で、その結果、前記タイミング信号は180°位相ずれにおいて前記信号経路のどこででも使用可能な双極差動成分を有し、前記信号経路を横断するための進行波タイミング信号のために要する時間の比較的短い部分において、完全に「オン」または完全に「オフ」に達し、かかるタイミング信号が矩形である請求項1記載の電子回路。

【請求項13】

前記再生能動手段は、第1と第2のループの間で接続される入力／出力端子を有し、前記单一の連続エネルギー伝導路が安定したDC動作点のない端子のDC相互接続となる請求項10記載の電子回路。 30

【請求項14】

前記信号経路は、横断電磁波形の信号のための伝送線特性を有する請求項1記載の電子回路。

【請求項15】

前記再生手段は、電磁的に無限な前記信号経路の低インピーダンスによって低エネルギー損失になる請求項1記載の電子回路。

【請求項16】

前記信号経路は伝送線特性を有し、前記信号位相反転を行なう伝送線変圧手段を含む請求項1記載の電子回路。 40

【請求項17】

前記信号経路は伝送線特性を有し、基板上に、離間した全体的に並列な導体形成を備え、前記導体形成の交差接続が単一の無限導体長となる請求項1記載の電子回路。

【請求項18】

前記伝送線信号経路は、共通面マイクロストリップ／マイクロストリップ特性の構造である請求項17記載の電子回路。

【請求項19】

前記伝送線信号経路は誘電体相によって狭持されて、差動モードの前記タイミング信号を生成する離間導体線を備える請求項18記載の電子回路。

【請求項20】

前記誘電体相は導電層によって狭持され、遮蔽および／または共通モードのタイミング信号を可能にする請求項19記載の電子回路。

【請求項21】

前記伝送線信号経路の容量性および／または誘導性リアクタンスは、前記導体線の特定の幾何学的形状およびその長さに沿った線間隔によって決定される請求項19記載の電子回路。

【請求項22】

前記幾何学的形状は、前記導体線の接続部のリアクタンスに対応して、必要性に応じて局部的に変化する請求項21記載の電子回路。

【請求項23】

前記信号経路は180°の電気的長さを有し、前記再生手段は双方向反転スイッチングおよび増幅特性を有する請求項16記載の電子回路。

【請求項24】

前記再生手段は背面接合反転器からなる請求項23記載の電子回路。

【請求項25】

前記反転器はPチャネルおよびNチャネルMOSFET回路である請求項24記載の電子回路。

【請求項26】

前記反転器は、前記信号経路に沿って順次一方向に切り替わり、次の反転器のスイッチングによって受けるエネルギーを渡すために電源電圧線に接続され、それによって前記信号経路の再循環横断を補強する請求項25記載の電子回路。

【請求項27】

前記信号経路は更に、同信号経路の半分の電気的長さを有する交差接続を備える請求項1項記載の電子回路。

【請求項28】

前記信号経路は、前記信号経路に直接に電気接続する演算回路に物理的に隣接している請求項1記載電子回路。

【請求項29】

前記演算回路へ信号を供給するための電気信号への電気接続を更に備える請求項28記載電子回路。

【請求項30】

前記接続部は、前記伝送線信号経路から容量性タブを介する請求項29記載の電子回路。

【請求項31】

前記容量性タブは、前記伝送線信号経路に沿って均一に離間されている請求項30記載の電子回路。

【請求項32】

前記接続部はMOSFET反転器を介する請求項29記載の電子回路。

【請求項33】

複数の信号経路経を備える請求項1記載の電子回路。

【請求項34】

少なくとも2本の前記信号経路を相互結合し、磁界および／または電界の共有によって同期的に動作する請求項33記載の電子回路。

【請求項35】

少なくとも2つの前記信号経路は共通な部分を有し、インピーダンスが、2つの前記信号経路の残りのそれの半分である請求項33記載の電子回路。

【請求項36】

少なくとも2つの前記信号経路を相互接続して同期的に動作させる請求項33記載の電子回路。

【請求項37】

10

20

30

40

50

同じ周波数において動作することを意図した前記信号経路間の自己同期相互接続は、受動回路を介し、軽い双方向結合を提供する請求項 3 6 記載の電子回路。

【請求項 3 8】

奇数高調波関係を有する異なる周波数において動作することを意図した前記信号経路間の自己同期相互接続は極性反転器を介して行なわれ、それによって、より高い周波数がより低い周波数に影響を及ぼさない請求項 3 6 記載の電子回路。

【請求項 3 9】

相互接続された前記信号経路は、当該相互接続に入るおよびこれから出るエネルギーの一一致を保証するインピーダンスを有する請求項 3 6 記載の電子回路。

【請求項 4 0】

前記信号経路は、信号位相反転を課する手段に関連して、ループの電気的長さに沿って一致する位置で、ループ中の離間導体を有する請求項 3 6 記載の電子回路。

【請求項 4 1】

45°の倍数で一致する相互電気的長さで複数の前記信号経路を直接相互接続する請求項 3 6 記載の電子回路。

【請求項 4 2】

前記信号経路は、一方が他方に中にあり、信号横断の時間を調和するパラメータ差を有する請求項 3 6 に記載の電子回路。

【請求項 4 3】

前記演算回路は、矩形グリッド・アレイに対応するエリアに位置し、前記信号経路は、交代する前記矩形グリッドの行および列に沿ったエリアに対応し、中間エリアも前記タイミング信号を供給するために機能する請求項 4 1 記載の電子回路。

【請求項 4 4】

前記信号経路の少なくとも 1 本は別の信号経路またはそのアレイに、180°の電気的長さまたはその奇数倍の少なくとも 1 つの伝送線接続部を介して接続されて、周波数および位相ロックを確実にする請求項 3 3 記載の電子回路。

【請求項 4 5】

2 つの前記伝送線接続部は、それぞれのタイミング信号によって横断する信号経路の方向の所望のロックを確保するように機能する請求項 4 4 記載の電子回路。

【請求項 4 6】

前記信号経路に対して作られた少なくとも 1 つの接続部は短絡特性を有し、電気的長さが 90 度である請求項 1 0 記載の電子回路。

【請求項 4 7】

前記信号経路に対して作られた少なくとも 1 つの接続部は開放回路特性を有し、電気的長さが 180 度である請求項 1 0 記載の電子回路。

【請求項 4 8】

タイミング信号を要求する能動スイッチング特性を有する論理回路と、

同論理回路にタイミング信号を分配するための伝導分配手段であって、同分配手段の一部は、少なくとも第 1 ループと第 2 ループとによって形成される信号経路であって、第 1 ループと第 2 ループとは伝送線を形成し、単一の連続エネルギー導電路を形成すべく連結されて、信号位相反転を行ない、関連する再生能動手段は第 1 ループと第 2 ループとの間に接続されている、半導体集積回路 (I C)。

【請求項 4 9】

少なくとも 2 つの半導体 I C は同じタイミング信号を発し、I C の信号経路間で I C 接続を有し、信号経路の位置で I C の周波数と位相コヒーレンスを統合して統合されたタイミング信号を生成する請求項 4 8 記載の半導体集積回路 (I C)。

【請求項 5 0】

前記 I C の相互接続は、信号経路の電気的長さまたはその奇数倍の電気的長さを有する請求項 4 9 記載の電子回路。

【請求項 5 1】

10

20

30

40

50

前記 I C 相互接続の位置での位相差は信号経路の電気的長さに相当する請求項 4 9 記載の電子回路。

【請求項 5 2】

更に第 2 の異なる I C 相互接続を備え、同 I C 相互接続は信号経路に沿ってタイミング信号の方向を規定する請求項 4 9 記載の電子回路。

【請求項 5 3】

少なくとも第 1 ループと第 2 ループとによって形成される信号経路からなる、タイミング信号の生成と分配との回路において、信号経路の信号横断時間内にパルス期間を設定して、信号位相反転をさせる無限電磁連続性を有する信号経路であって、同信号経路は、各信号横断の終端で比較的短いパルスの立ち上げと立ち下げ時間を設定するための再生能動手段を有する、電子パルス発生回路。

10

【請求項 5 4】

少なくとも第 1 ループと第 2 ループとによって形成される信号経路からなる、タイミング信号の生成と分配との回路において、再循環進行波の伝播手段が、各進行波の循環のための位相反転をさせるための閉じた信号経路を提供し、再生能動双方向スイッチングと増幅の手段が各循環中に動作可能で、その結果、逆電圧軌跡が連続進行波循環になる、進行波電子振動子回路。

【発明の詳細な説明】

【0001】

(発明の分野)

20

本発明は、タイミング信号ならびにその生成および分配に係る電子回路、即ち、かかるタイミング信号のソースとしての発振器、およびタイミング信号に応じた通信に関する。

【0002】

(発明の背景)

ディジタル電子データ処理回路およびシステムは、データ処理動作の同期を取るために、タイミング信号を必要とする。通常、かかるタイミング信号は、マスタ・タイミング信号を含み、これからその他のタイミング信号を派生することができる。かかるマスタ・タイミング信号のことを一般に「クロック」信号と呼んでいる。1 位相以上で得られるクロック信号を有することが望ましい場合がしばしばある。

【0003】

30

二相クロック信号の一例は、ダイナミック・ロジックおよびシフト・レジスタ回路においてよく用いられるように、得られるクロック信号が 180 度の位相差を有する場合である。四相クロック信号の一例は、得られるクロック信号が 90 度の連続位相差を有する場合である。半導体集積回路 (I C またはチップ) は、通常のホスト環境であり、マイクロプロセッサまたはメモリに関しては超大規模 (VLSI) であることが多い。

【0004】

従来では、約 50 MHz までの中位の動作クロック周波数であれば、オフチップ・クリスタル・クロック発振器を用い、単純にチップ上の二点間でクロック信号を分配すればよかつた。今日では、遙かに高い動作周波数、通常 300 MHz ないし 1 GHz を対象とする場合、クロック信号の反射やスキューに伴う固有のオンチップ分配問題が、非常に重大となっている。何故なら、二進信号の幅 / 期間はもはやクロック信号パルスよりも格段に短いということはないからである。I C チップの必然的な発展に伴い、チップは物理的に一層大きくなり、機能的には一層複雑化して、これらの問題が更に悪化する。

40

【0005】

クロック信号の発生は、現在では通常、オンチップの位相ロック・ループ (PLL) 制御回路を用いて、オフチップのクリスタル・クロック発振器からの周波数乗算によって行なっているが、PLL 制御回路は貴重なチップ・エリアを占有し、かなりの電力を消費し、信号反射、容量性負荷および電力消散にともなう問題があり、事実上最大動作周波数が制限される。関連するクロック信号の分配は、大抵の場合、動作回路のツリー状構成を伴い、クロック信号の連鎖が間隔を置いてバッファをブーストする。それであっても、半導体

50

プロセス・パラメータのばらつきは、バッファにおけるものも含めて、チップ上の異なる位置において、望ましくなくしかも予測不可能な位相遅延（スキュー）を招き、したがって同期動作の信頼性や、チップの隣接エリアに対する場合でも通信に悪影響を及ぼす。その結果、I Cは、クロック・レートに対して設計された最大値よりも低いクロック・レートで動作しなければならないことが多い。実際、I C製造会社は、長年にわたる傾向に逆行し、最新のI Cに対してより小さなチップ・サイズを用いている。

【0006】

大面積高密度チップを信頼性高くクロック駆動することができないために、高集積化した「システム・オン・シリコン」チップの開発が阻害されている。MOSFET I Cトランジスタが25ギガヘルツ以上でスイッチングすることができる構造であるにも拘らず、クロック・レートは、約1ギガヘルツ未満までに制限される傾向にあることは注記するに値しよう。

10

【0007】

本発明は、基本的に、チップ上にPLLを設ける際の面積および／または電力に対する要件を少なくとも低減し、更に可能であれば、ある程度使用できる程度までに、クロック信号分配の問題を取り組む、代替手法を模索することからなされたのである。

【0008】

(発明の概要)

本発明の広義な視点または態様は、繰り返しパルス即ち循環信号を生成し維持する能動的手段を用いて、これらの信号を効果的に統合化し、相乗的にその分配を組み合わせる方法および手段の概念および実現にある。マスター・クロックを含むタイミング信号を同時に発生し分配する複合電磁／半導体構造が容易に得られる。適当な前記信号経路が、無限の電磁的連続を呈し、電磁波型信号の信号位相反転が生ずる。経路に関連する再生手段を用いると便利である。

20

【0009】

本発明の成功した関連する態様が発展し、繰り返しパルス即ち循環信号の時定数が、信号分配手段内の前記信号経路の電気的長さに関連し、これによって事実上規定される。その信号経路の横断時間が前記時定数を決定する場合、無限に電磁的に連続して前記信号経路を再循環する伝搬電磁波が好ましい。

【0010】

30

興味深くそして非常に驚くべきことに、これは、固有に高速立ち上がりおよび立ち下がり特性、即ち、既に生成された「方形状」を有するパルス状循環信号の特定な創作的直接生成を促進し、これまでのように基本的に生来的に実質的に正弦波信号に対する「方形化」動作に頼らなくてよいことがわかった。実際、かかる創作的電気長／信号の横断時定数規定関係によって、事実上最初に1つの単極半サイクル信号移動を規定し、次に、または次の前記信号横断において、事実上2つの逆の半サイクル移動から成る双極サイクル全体の規定を完了する、前記電気長または1つの前記信号横断につながり、便利でありしかも有利である。前記電気長は、したがって、かかる双極サイクル全体に対する2回の連続するパルス移動の各々に対して、180度に対応する。

【0011】

40

かかる関係を達成する具体的な創作的態様は、進行波特性の信号を伴って見られ、信号分配路は、適切な伝搬特性を有し、通常は無限伝送線形態であり、更に、所望の信号の再循環に伴って転置効果および反転作用を有する。

【0012】

1つの具体的な創作的態様では、所望の繰り返し循環信号は、再循環進行波伝搬手段を伴い、事実上、所望の進行波によるその回りの回転、および各信号移動の期間の設定を伴い、能動再生手段は、スイッチングおよび増幅特性を有することができ、エネルギー要求量を供給し、各信号移動の終了時に比較的短い立ち上がりおよび立ち下がりを設定する双方反転増幅器とすると好都合である。

【0013】

50

能動反転手段に対して所望の転置効果を有する適當な進行波伝搬手段は、横断進行波、反転手段の入力および出力の対向側に接続するためにその長さに沿って撚られた物理的幅、例えば、メビウス・バンドまたはリボンによって見られるように、例示される。実際、可撓性基板上に作られた集積回路は、細長い形態とことができ、その経路はその長さに沿い、その端部は、メビウス・バンドまたはリボンとして相互接続され、その進行波伝搬構造のいずれかの側または両側に、即ち、これらを跨がるような機能回路ブロックを有する。少なくともこのとき、この循環信号手段の反転および進行波伝搬機能の統合は、連続半導体反転器特性を有するその長さ全域まで達し、少なくともCMOS技術を用いる。

【0014】

しかしながら、進行波伝搬手段の平面実施態様では、通常の伝送線形態は、導体構造に続く離間経路を用いる。前述のメビウス撚り線効果は、これら離間導通構造の相互に絶縁した1つのみによって得られる。代替案は、伝送線反転変圧器を、進行伝搬手段の他の伝送線形態において、またはこれと関連付けて用いることであろう。

10

【0015】

この例示の実施形態の創作的態様は、離間した導体構造を、トレース形成として用い、各々、実質的に同じ長さを有し、好ましくは、これら導体トレース間に接続された少なくとも1つの反転器構造の出力および入力間に於て途中で転置されている。実際には、少なくとも、反転器構造が導体構造に沿って約1%未満の範囲である場合、本発明が定波発振器としての動作に適合化されているのではないなら、導体構造即ちトレースに沿って離間された複数の反転器構造があることが好ましい。

20

【0016】

好ましい反転手段は、1対の対向する並置または背面接合した反転器のような、双方向特性を有する。かかる設備によって、同様または実質的に同一の逆位相循環信号成分の直接的同時生成が容易となる。

【0017】

本発明から得られる特に興味深く有利な結果は、非常に低い電力消費でタイミング信号を供給することが含まれ、伝送線および反転器の作用損失を効果的に、即ち、反転器の設置によるほぼ無視できる補給(tapping-up)まで、制限することができる。そして、演算回路に対するテクオフは、例えば、受動抵抗性および/または容量性および/または誘導性あるいは伝送線特性の軽い双方向接続路、あるいは、例えば、以下に更に詳細に説明するように、ダイオードまたは反転器等を用いて单一方向によって、容易に作られる。

30

【0018】

この他にも、かかる得られる結果は、少なくとも原理的に、製造の欠点がなく、循環信号の供給は、進行波伝搬の方向あるいは回転のいずれにも生来的な優先度を有さないことがあるが、いずれも、反転器手段間または内部の規定した間隔またはその他の差等によって、予め含まれるかまたは賦課される可能性はある。

【0019】

このようなパルス発生器および発振器に関する本発明の提案および態様は、IC生産に全体的に適合する方法で、そして特に伝送線と関連する、下に形成しひアで接続することができる。要求絶縁交差または離間伝送線変圧部も同様に、交差に対するピア・ジャンプ接続を含んで、容易に形成される。更に、再生手段としての双方向反転器等の端子のDC不安定相互接続が得られる利点がある。電源に対する電気エネルギーの再循環を含む、かかる双方向反転器の連続動作の補強が行われる。

40

【0020】

更に、直接接続によるか、あるいは磁界および/または電界を共有することによるかには係らず、タイミング信号発生および分配回路の相互接続/相互結合において、創作的態様がある。特に奇数の高調波関係にある異なる周波数に拡張し、自己同期に基づいてこれを行なう。このようなIC間の相互結合および調整、そして更にデータ転送により、重要な

50

革新的および創意的メリットを有する。

【0021】

本発明のその他の態様および特徴は、この記載において後の方に見られ、および／または独立および従属請求項に明記されている。その用語は、ここにも含まれるものと見なす。本発明の具体的な実施態様の例について、これより添付図面を参照しながら説明しつつ示す。

【0022】

(例示する実施形態の詳細な説明)

公知の伝送線は、広義には2つの分類に該当し、開放端であるか、あるいは部分的または全体的に特定して終端されているかのいずれかである。ここに提案する伝送線が相違するのは、終端でも開放端でもないことである。これらは、無終端という用語がこれまで解釈されていた意味では、無終端でもない。ここで無終端とは、本発明の構造的態様を構成するものとして解釈し、無限電磁連続性を呈する信号経路を設ける理由で含めることとする。

10

【0023】

図1は、かかる伝送線15を、物理的に無限と見られる構造として示す。具体的には、单一の連続「元の」導体形成17から成り、2つの適切に離間され全体的に並列なトレースを形成する、ループ15a、15bとして示され、交差19は、導体17の局部的電気接続を全く伴わない。ここでは、元の導体17の長さをSとし、交差19を通って離間したループ・トレース15a、15b間に規定した、伝送線15の2「周」に対応する。

20

【0024】

この伝送線15の構造は、メビウス・ストリップ(Möbius strip)に対して平面等価性を有する。図2参照。180度の单一の撚りを有する無限ストリップが、効果的に二側および二縁、捩じれ、端部接合の元のストリップを、一側および一縁のみを有するように変換する。ストリップの中央線を無限に追跡する矢印を参照のこと。ストリップに沿ったいずれの位置からも、元々左または右側にあった縁が逆転、反転、または転置されて戻ることになる。ストリップに沿ったあらゆる奇数のかかる撚りでも同じことが言える。かかる導電性材料のストリップは、必要に応じて、本発明の実施形態の信号経路として機能し、本発明の別の構造的一面を構成する。可撓性基板であれば、真のモビウス・ストリップ伝送線構造、即ち、平面の同等の交差19と比較して、効果的な撚りの傾斜を実現することができる。このように形成され、ICを実装した可撓性プリント回路ボードは、実現可能な提案として見なされる。

30

【0025】

図3は、パルス発生器、実際には、発振器の回路図であり、図1の伝送線15を用いている。具体的には、更に、複数の離間した再生能動手段を、導電性ループ・トレース15a、15bの間に接続された双方向反転スイッチング／増幅回路21として有すると便利である。この特定実施形態では、回路21を、更に、2つの反転器23a、23bを備えるものとして示し、これらは背面同士が接続されている。代替再生手段は、負抵抗、負容量、またはそれ以外の適当に非線形な(ガン・ダイオードのような)再生型、または伝送線特性を拠り所とする。回路21は、複数であり、伝送線15に沿って分布することが好ましく、更に好ましくは、均一に、あるいは実質的に均一に、例えば、100個以上のような多数で、更に、合理的に多く各々が小さいことが更に好ましい。

40

【0026】

各スイッチング増幅器21の反転器23a、23bは、相対的に正および負の電源レール、通常V+およびGNDに対して、それぞれ、通常の接続を有する。各回路21のそれぞれの入力／出力端子は、ループ15a、15b間の伝送線15に接続されているように示されており、事実上单一の導体17に沿って実質的に最大の間隔が置かれ、これによって各々は、互いに、伝送線15に沿って実質的に中央に位置する。

【0027】

図4は、本発明の伝送線構造を用いた発振器の別の回路図であるが、3つの交差19a、

50

19b、19cを有し、図3に適用したのと同じメビウス・ストリップ状逆転／反転／転置特性となっている。

【0028】

伝送線15に対して示した矩形または円形は、図示の都合のためである。これらは、あらゆる形状でも可能であり、所望の動作周波数に適した長さを有する限り幾何学的に不規則なものも含み、増幅器21を離れた信号が、伝送線15の完全な「1周」後に、反転して戻ってくるようになっている。即ち、事実上、ループ15a、b間の間隔に交差19を加えると、時間Tpで横断し、動作周波数のパルス幅即ち半サイクル発振時間を事実上規定する。

【0029】

伝送線15に沿って増幅器21を均等に分配することの利点は2つある。最初に、拡散する浮遊容量が効果的に関連する増幅器21に集中し、伝送線特性インピーダンス Z_0 により多くそしてより容易に吸収し、これによって信号反射効果を低減し、貧弱な波形の画成を改善する。第2に、供給電圧 $V+$ およびGNDによって決定される信号振幅は、伝送線15全域にわたって実質的に一層一定となり、伝送線の誘電体および導体に伴う損をより良く補償する。再生スイッチング手段21を有する連続閉ループ伝送線15は、実質的に均等に分散されかつ接続されており、あらゆる地点で同一に見える、実質的に均一な構造に非常に緊密に類似することができる。各再生スイッチング手段に関連する基本容量およびインダクタンス(C_e および L_e)に対して、良い規則があり、共振分路タンク L_C を形成し、伝送線15の自己維持発振周波数 F (F_3 、 F_5 等)よりも大きな共振周波数 $1/2 * \pi * \text{root}(L_e * C_e)$ を有する。

10

【0030】

図5aは、本発明の伝送線15の一部の分散電気等価回路即ちモデルである。これは、直列接続された代替分散抵抗(R)および誘導(L)要素を示す。即ち、ループ15aの一部に対して、 R_2 に直列に接続された L_1 に直列に接続された R_0 等、およびループ15bの隣接部分に対して、 L_2 に直列に接続された R_1 に直列に接続された登録 L_0 等、および伝送線15間に並列に接続して示す分散容量正要素 C_0 および C_1 を示し、それぞれ C_0 に対して抵抗/容量要素 R_0/L_1 および誘導/抵抗要素 L_0/R_1 間、そしてそれぞれ C_1 に対して誘導性/抵抗性要素 L_1/R_2 、および抵抗性/容量性要素 R_1/L_2 間にループ15aおよび15bがある。ここで、符号 $R_0 = R_1 = R_2$ 、 $L_1 = L_2 = L_3$ 、および $C_0 = C_1$ が実質的に満たされ、図示の分散RLCモデルは、伝送線15の全長に及ぶ。図示しないが、実際には、各容量性要素 C 、具体的にはその誘電体材料と並列に寄生抵抗要素がある。

20

【0031】

図5bは、更に簡略化した代替分散電気等価回路、即ち、抵抗を無視したモデルである。図5aのこれらの、図5aにおけるその値(L)の半分($L/2$)における直列の誘導要素の分散による置換を参照のこと。このモデルは、本発明を具体化する伝送線の動作の基本原理を理解するのに有用である。

30

【0032】

「起動」フェーズ中、即ち、増幅器21に最初に電力を印加した後、増幅器21内部の固有ノイズの增幅により、発振が開始し、直ちに基本周波数 F に、通常ナノ秒以内静定するが、実質的に無秩序に開始する。各増幅器21に対して、その反転器23aおよび23bからのそれぞれの信号が、伝送線15に沿って伝搬遅延Tpを受けた後、反転して到達する。この伝搬遅延Tpは、伝送線15の誘導性および容量性パラメータの関数であり、ヘンリ/メートル(L)およびファラッド/メートル(C)で表し、伝送線の全ての容量性負荷を含み、特性インピーダンス $Z_0 = SQR(L/C)$ 、および線横断または伝搬たは位相速度 $Pv = 1/SQR(L/C)$ が得られる。遅延Tpが半サイクル時間の整数の細除数(sub-divisor)となる周波数の補強、即ち、選択增幅によって、支配的な最低周波数、即ち、基本周波数 $F = 1/(2 \cdot Tp)$ が得られる。細除数はこれを満足する。この周波数の他の全ての整数倍数もこの細除数条件を持たすが、増幅器21の利得

40

50

は周波数が高い程「低下」即ち、減少するので、伝送線 15 は周波数 F での基本発振に素早く静定する。

【0033】

伝送線 15 は、無限電磁連続を有し、反転器 23a および 23b における好適なトランジスタの高速スイッチング時間と共に、効果的に補強された発振における基本周波数 F の奇数の高調波を含む、強力な方形波形となる。奇数の高調波周波数を含む基本発振周波数 F では、増幅器 21 の端子は、伝送線 15 が「閉ループ」であり、いずれの形態の終端もないで、実質的に無負荷に見える。このため、低電力消費および低駆動要件には非常に望ましい結果となる。伝送線 15 の単位長当たりのインダクタンスおよび容量は、独立して変更することができ、これも望ましくしかも有利であるとすることができる。

10

【0034】

図 6a は、反転器 23a および 23b を有するスイッチング増幅器 21 の理想化した波形を示す。「起動」フェーズの直後に、成分発振波形 1、2 がこの増幅器 21 の入出力端子に現れ、通常動作の間続く。これらの波形 1 および 2 は、実質的に方形で差動である。即ち、180 度位相がずれた 2 つの逆転位相である。これらの差動波形 1 および 2 は、実質的に最大信号振幅 (V+) の中点 (V+ / 2) において交差する。この中点 (V+ / 2) は、「ヌル」点と見なすことができる。何故なら、双方の波形 1 および 2 が同じ電位にある時点では、電流に変位がなく、導体ループ・トレース 15a および 15b 間にも差動電圧が全くないからである。本発明の好適な再循環進行波の様では、このヌル点は伝送線 15 の回りを、事実上非常に速い立ち上がりおよび立ち下がり時間、ならびに非常に「きれいな」方形波画成で掃引する。また、このヌル点は、事実上、全サイクル双極クロック信号の逆運動に対する基準電圧もある。

20

【0035】

伝送線 15 にとって、進行波が完全に周回すると見なすと都合が良く、更に元の導体トレース 17 の全長 S にとっても都合が良い。双方とも「電気長」に関してである。図 6b は、元の導体線 / トレース 17 の伝搬遅延または横断時間 (Tp)、度を単位とする電気長、および物理的長さ (S) 間の関係を示す。位相外れ波形 1 および 2 の各々に対して、そして、伝送線 15 を繰り返し横断する進行波によって見られるように、実質的な方形波の各偏位運動は、1 回の完全な周回、即ち横断時間 Tp に対応し、連続する逆方向の波の偏位運動は 2 回の連続する周回、即ち、2 つの横断時間 (2 × Tp) を要する。伝送線 15 の 1 回の周回は、したがって、180 度の「電気長」を有し、2 回の周回が、0° ~ 360° 双極信号サイクル全域に必要となる。即ち、元の導体 17 の最大長に対応する。

30

【0036】

一例として、1 GHz における 1 回のラップおよび 1 / 2 波長に対応する 180° の電気長は、光速 (c) の 30% である位相速度 (Pv) を有する 50 mm の伝送線で形成することができる。即ち、Pv = 0.3 * c、または 5 mm であり、Pv = 0.03 * c、または自由空間では 166 mm、即ち、Pv = 1 * c である。

【0037】

図 7(i) ないし図 7(ix) は、次のサイクルの開始までの全サイクルを通じた、即ち、導体線即ちトレース 17 に沿ったサンプル位置間の 45° の 8 つの等しい電気長間隔における、波形 1、2 を示す。位相の表記は、図 7(i) に関係し、トレース 17 に沿ったいずれの位置でも可能である。即ち、伝送線 15 周囲を 2 回、そして、1、2 波形 15 の立ち上がり / 立ち下がりに対して 0 / 260° を任意にマークした。図 7(i) を時点 t0 とすると、図 7(ii) は、線 17 の全長 S の 1 / 8 (0.125S) 横断後、即ち、伝送線 15 の 1 / 4 および 45° の電気長の横断後の時点 t0 + (0.25Tp) における波形 1、2 を示す。時点 t0 + (0.5Tp)、t0 + (0.75Tp)、t0 + (0.75Tp)、.....t0 + (2Tp)、横断 0.25S、0.375S、0.5S.....1.0S および 90、135、180.....260 は、図 7(iii) ないし図 7(ix) にもそれぞれ適用されることは、容易に見て取れ、自明なはずである。

40

50

【0038】

図8a及び図8bは、偏位運動極性(円で示す)のスナップ・ショット、変位電流の流れ(細いトレース上の矢印で示す)、および電磁的無限伝送線15上のその2回の周回(したがって、元の連続導体17の全長)を含む任意の0/360°位置からの瞬時整相を示す。図7の1つのみの差動伝搬電磁(EM)波形(例えば、1)が示されているが、対向する方向のいずれでも、即ち、時計回りまたは反時計回りでも、伝送線15周囲の回転伝搬について示す。他方の波形(2)は、勿論、図示の波形(1)とは180°位相外れである。EM波の回転の実際の方向は、ポインティングス(Pointings)のベクトル、即ち、電気および磁気ベクトルの交差積で与えられる。EM波がこの領域19を横断する際、交差領域19は、信号1にも2にも大きな摂動を生ずることはない。
実際、高速立ち上がり/立ち下がり遷移は、位相速度Pvでの伝送線に沿って伝搬し、スイッチング増幅器21は、供給電圧レベル間の最初のスイッチングの間、遷移を増幅するように作用する。

【0039】

波形1および2の位相は、この伝送線15に対して、伝送線15上のあらゆる任意の基準点から精度高く決定することができ、したがって、整相の強いコヒーレンスおよび安定性を有することができる。

【0040】

双方向動作に適当な(実際、現在のIC製造技術および実施に関して好適な)スイッチング増幅器21は、背面接合MOSFET反転器23a、bを基本とし、1,000個の反転増幅器対までを、伝送線構造の通常の長さに沿って設けることができる。

【0041】

スイッチング増幅器21の双方向反転作用は、同期整流性を有する。波形1および2の立ち上がりおよび立ち下がり時間は、実際に、これまでの従来のタイミング信号と比較すると非常に高速であり、反転器23a、bの好適なMOSFETトランジスタの電子推移時間に基づいている。更に、補強は、好適な双方向スイッチング増幅器21の反転器におけるいかなる「オン」トランジスタよりも低いインピーダンスを有する伝送線15に関係するが、総並列化が同じ順序で用いられる。かかる反転器のスイッチングは、各増幅器21が、小さなエネルギー・パルスによって、得られる波形極性に寄与し、エネルギー・パルスは、対称性によって、双方の方向に伝搬しなければならないことを意味する。したがって、順方向のEM波パルスは所望通りに寄与する。前回切り替わった増幅器に戻るEM波パルスは、そこに既に存在するものと同じ極性を有し、したがって既存の切り替え状態を補強する。電源レールおよび増幅器21の好適な反転器の「オン」トランジスタを介した伝送線15間のオーミック経路は、かかる逆EM波パルスのエネルギーがこれらの電源レールV+、GNDに吸収されることを保証する。即ち、有用な電力保存がある。

【0042】

尚、CMOS以外でも、例えば、Nチャネル・プッシュプル、Pチャネル・プッシュプル、バイポーラ・トランジスタ、ガン・ダイオードのような負抵抗素子、MESFET等を用いることによっても実施が可能であることは認められよう。

【0043】

伝送線15をそのように見なすと、ICおよびPCBならびに相互接続部に容易に適用可能な相応しい媒体は、一般に、マイクロストリップまたは共平面導波路またはストリップラインと呼ばれており、リソグラフによって、即ち、レジストのパターニングおよびエッチングによって形成可能であることは周知である。IC上の伝送線の実際の誘電体は、多くの場合フィールド酸化物と呼ばれる二酸化シリコン(SiO₂)、金属間誘電体、および基板誘電体(少なくとも、絶縁物上シリコン型の半絶縁構造には使用可能である)。

【0044】

図9は、3つの金属層56、58および60、ならびに2つの誘電体層62および64から成るIC上伝送線形成の一例の一部の断面図である。中間金属層58は、2つの伝送線ループ導体トレース15aおよび15bから成るものとして示されており、これらは少な

くとも基本的に並列である。上側金属層 6 0 は、 A C 「接地」面として用いることができ、正電源電圧 V + に接続することができ、下側金属 5 6 は「接地」面であり、負電源電圧 G N G D に接続することができる。5 8 ならびに「接地」面 5 6 および 5 8 における金属伝送線トレース間の誘電体層 6 2 および 6 4 は、通常、二酸化シリコン (SiO₂) を用いて形成される。図示した構造全体が好ましいものとして見られるが、実用上必須ではない場合もある。即ち、「接地」面および誘電体層 6 2 、 6 4 のいずれかまたは双方を含むことに関しては実用上必須ではない場合もある。導体トレース 1 5 a 、 1 5 b 間の物理的間隔 6 6 は、信号伝搬の差動モードおよび共通モードに影響を与え、信号伝搬は、等しい、または実質的に等しい速度を有すると、間隔 6 6 からの電磁場の分散が最少となるので好ましい。「接地面」の使用により、遮蔽特性が改善し、この構造が、導体トレース 1 5 a 、 1 5 b に加えられる非対称的負荷即ち非平行負荷を駆動することが可能となる。
10

【 0 0 4 5 】

通常の I C C M O S プロセス上の金属間誘電体層は薄く、通常約 0 . 7 μ m であり、したがって、低信号損失のマイクロストリップ伝送線の構造は、低特性インピーダンス Z o (これまで同様、信号反射を管理可能なレベルに低減するように作用する非終端、部分的終端、または直列終端線に対する) を有していなければならない。自己維持、非終端、閉ループ伝送線 1 5 は、固有に、伝搬 E M 波発振の維持には、非常に低い電力消費を有する。何故なら、克服すべき誘電体および導体損失が通常低いからである。図 5 b から、伝送線 1 5 および増幅器 2 1 に関連する抵抗性損失がない場合、伝送線 1 5 は、最初に伝送線誘導要素 L e および容量性要素 C e を「充電する」ために必要とする以外には、エネルギーを必要としないことが認められよう。E M 波は、連続的に伝送線 1 5 内のエネルギー全てを用いて伝送線周囲を伝搬し、その電磁場、したがって、容量要素 C e および誘導性要素 L e 間を単に伝達または再循環する。伝送線 1 5 および増幅器 2 1 に伴う何らかの抵抗性損失があるはずであるが、図 5 a の伝送線抵抗性要素 R₀ - R₂ を見ると、抵抗は通常低く、関連する抵抗性損失も低い。ここでは、低インピーダンス伝送線 1 5 を用いることによる不利はなく、容量性負荷によって影響が軽減される利点すらあり、したがって、論理ゲートを「一層確実に」駆動することができる。
20

【 0 0 4 6 】

交差 1 9 は、 I C 上で、金属層間に「ビア」を用いて実現することができ、好ましくは、各ビアは、伝送線 1 5 の全長 S の小さな部分のみとする。
30

伝送線 1 5 には 1 つの増幅器 2 1 のみが接続されている場合、異体が生じ、E M 波はもはや伝送線 1 5 に沿って伝搬せず、定在波発振が得られる。单一増幅器 2 1 については図 1 0 a を参照し、差動波形については図 1 0 b を参照のこと。かかる増幅器は、伝送線 1 5 の電気長の約 5 ° より多く拡張してはならない。单一増幅器 2 1 が最大「オン」または「オフ」に決してならない場合、定在正弦波発振が伝送線 1 5 に生じる。これは、2 つの静止、2 つの「ヌル領域を含む同じ位置における同じ位相で、変動する振幅を有する。

【 0 0 4 7 】

このため、進行波の動作は、いくつかの離間したまたは 1 つの長い C M O S 双方向反転器形成を用いて得ることができる。しかし、複数の小さな反転器の方が、よりスマーズで速い結果が得られる。増幅器 2 1 のオフセット形成は、その入力 / 出力端子だけでも、伝搬 E M 波を伝送 - 横断の位置方向に予備配置することができる。これは、最初に第 1 のそして少し後に第 2 のパルスを伝送線上に異なる位置に印加すること、またはある周知のマイクロ波方向性カプラの組み込みに基づくというような、特定の起動回路で行なうことができる。
40

【 0 0 4 8 】

伝送線変圧器の反転を交差 (1 9) の代わりに用いることができ、なおも無限電磁連続性を有する伝送線を得ることができる。2 1 T における部分的詳細については、図 1 1 を参照のこと。

【 0 0 4 9 】

図 1 2 は、電源線コネクタならびに図 5 b のような伝送線の分散誘導性 (L / 2) および
50

容量性 (C) 要素の指示と共に、1対の背面反転器 23a、23b を示す。図 13a は、背面反転器 14a および 14b の N チャネル MOSFET および P チャネル MOSFET の実施態様を示す。NMOS および PMOS トランジスタから参照のこと。

【0050】

図 13b は、NMOS (N1、N2) および PMOS (P1、P2) トランジスタ、およびそれらの寄生容量の等価回路図を示す。トランジスタ P1 および N1 のゲート端子は、導体トレース 15a ならびにトランジスタ P2 および N2 のドレイン端子に接続されている。同様に、トランジスタ P2 および N2 のゲート端子は、導体トレース 15b ならびにトランジスタ P2 および N2 のドレイン端子に接続されている。PMOS ゲート - ソース容量 CgsN1 および CgsN2、NMOS ゲート - ドレイン容量 CgdN1 および CgdN2、ならびに NMOS ドレイン - ソースおよび基板容量 CdbN1 および CdbN2 は、効果的に伝送線の特性インピーダンス Z₀ に吸収されるので、個々の NMOS および PMOS トランジスタの推移時間に及ぼす影響は遙かに少ない。波形 1 および 2 の立ち上がりおよび立ち下がり時間は、したがって、従来の技術よりも大幅に高速化される。

【0051】

明確化のため、図 12 ないし図 14 は抵抗性 (R) 要素を省略している。図 23a は、伝送線 15 の容量性要素 (図 12 および図 13b と同様) のみを、N / PMOS トランジスタのそれらと共に示す。図 14b は、図 14a の別の等価回路図を示し、伝送線の分散誘導性 (L / 2) 要素および有効容量 Ceff を含む。Ceff は次の式で与えられる。

【0052】

【数1】

$$C_{eff} = C + C_{gdN} + C_{dgP} + [(C_{gsN} + C_{dbN} + C_{gsP} + C_{dbP}) / 4];$$

$$\text{ここで, } C_{gdN} = C_{gdN1} + C_{gdN2};$$

$$C_{gdP} = C_{gdP1} + C_{gdP2};$$

$$C_{gsN} = C_{gsN1} + C_{gsN2};$$

$$C_{dbN} = C_{dbN1} + C_{dbN2};$$

$$C_{gsP} = C_{gsP1} + C_{gsP2}; \text{ および}$$

$$C_{dbP} = C_{dbP1} + C_{dbP2}$$

【0053】

ゲート、ドレイン、ソースおよび基板接合容量による容量性負荷は、先に述べたように分散することが好ましい。

差動および共通モード伝送線を有することの利点の1つは、MOSFET トランジスタ内の固有の「寄生」容量を、図 14a および図 14b に示すように、伝送線インピーダンス Z₀ 内に吸収することができ、したがって、エネルギー転送および蓄積に用いることができる点にある。NMOS および PMOS トランジスタのゲート - ソース容量 (C_{gs}) は、信号導体トレース 15a、15b およびそれらの各電源電圧レール間に現れ、例えば、適切な量だけ導体トレース 15a、15b を薄くすることによって、それぞれの容量の適切な量を伝送線 15 の接続部から電源電圧レールに除去することによって補償することができる。NMOS および PMOS トランジスタのゲート - ドレイン容量 (C_{gd}) は、導電性トレース 15a および 15b 間に現れ、反転器 23a / b の NMOS および PMOS トランジスタへの接続部において、導体トレース 15a、15b 間の空間 66 を比例的に増大させることによって補償することができる。

【0054】

非限定的な一例として、0.35ミクロンのCMOSプロセス上で、使用可能な 5 GHz の非重複クロック信号が、高速の 30 % の位相速度に対して 9 mm の伝送線ループ長 (S / 2) で得られる。これは、容量性分路負荷分散および誘電係数によって決定され、導体 17 の全長 (S) はしたがって 18 mm となる。

【0055】

NMOS および PMOS トランジスタの基板接合容量 (C_{db}) は、半絶縁または絶縁物

10

20

30

40

50

上シリコン型プロセス技術を用いることによって、劇的に低減することができる。

【0056】

増幅器21の各々の端子、即ち、反転器23a、23bの各々および全てのそれぞれの入力/出力端子を直接接続する連続DC経路があるが、この経路は、安定なDC動作点を有さないという特徴がある。このDC不安定性は、それぞれの増幅器21₁-21₄の各々の再生作用、およびそれらの正フィードバック作用に関しては有利である。

【0057】

伝送線15は、「つないで」「局部」クロック信号を得る閉ループとしての機能的論理ブロックに沿って敷設することができる。CMOS反転器は、伝送線15に対する容量性「スタブ」における「タップ増幅器」として用いることができ、例えば、前述のように導体トレース(15a/15b)の部分的な薄化によって、伝送線から「局部」容量の等価量を除去することによって、「共振」することができる。容量性「クロック・タップ」は、伝送線15に沿って実質的に均一に拡散することができ、それらの間隔に対する設計事項として見なし、発振信号の波長未満の場合、伝送線(15)の特性インピーダンスZ₀が低い程、EM波の伝搬が遅くなる傾向があるが、それでもなお、良好な信号伝送特性が得られる。

10

【0058】

クロック信号波長に対して小さい機能性論理ブロック内において、非終端相互接続は、位相コヒーレンスとの局部クロック駆動に適切に動作する。図15を参照のこと。明確化のために、伝送線15への1対の接続部は、多少ずらして示しているが、これらは通常実際には互いに対向している。代わりのタップ・オフを設けるには、軽い双方向の能動抵抗性、誘導性または伝送線特性、または單一方向または反転接続を含み、伝送線15自体を相互接続するためにこれより説明するもの多くを含む。

20

【0059】

複数の発振器および伝送線15は、容易に動作的に互いに、これも発明の態様で、接続または結合することができ、いずれの公称周波数の不一致もさほど大きくないのであれば、位相および周波数双方に関して、互いに同期することを含む。抵抗性、容量性、誘導性、または補正長直接伝送線接続/結合、またはそのあらゆる組み合わせは、良好な双方向信号相互接続を形成することができる。伝送線間の信号接続または結合も、マイクロ波マイクロ・ストリップ回路に用いられているような公知の結合技法を用いれば、行なうことができる。これは、一般に、磁気および/または電気フラックスの隣接する伝送線間での共有を伴う。單一方向接続も有利であることもあり得る。ここのコネクタおよび結合は、複数の伝送線発振器の同期性およびコヒーレンシを、I C内部であろうと、I C間であろうと、例えばプリント回路ボード(PCB)上であろうと、大きなシステム全域にわたって維持することができる。

30

【0060】

2つ以上の伝送線の接続/結合ならびに相互接続規則は、接合部に入るエネルギーに基づく、キルヒホフの電流法則と同様である。即ち、あらゆる数の伝送線の接続または結合も、同じ接合部から出していくエネルギーに等しい。即ち、接合部にはエネルギーの蓄積はない。電源電圧V+が一定の場合、規則は、勿論、正しくキルヒホフの電流法則となる。実用的な一例として、3本の伝送線に共通の接合部がある場合、最も単純であるが唯一ではない解決策は、伝送線の1本が、他の2本の伝送線の特性インピーダンスの半分を有することである。結合した伝送線の数がいずれかの偶数である場合、それらの各特性インピーダンスは全て等しいとすることができる。しかしながら、キルヒホフの電流法則を満足する無限数のインピーダンスの結合がある。相互接続規則は、伝送線内部では、前述の2本以上の伝送線の結合に対する規則と同一である。

40

【0061】

以下の基準を満たせば、伝送線ネットワーク15周囲の全ての点において、位相および振幅に関して、差動信号波形1および2は高品質となる。

(i) 伝送線が実質的に一致する電気長を有する。

50

(i i) 前述のキルヒホフの電力法則を満足する。

(i i i) 位相反転がある。

勿論、上の3つの基準を満たす結合ネットワーク設計および電源電圧は無限にある。例えば、長く高速の行インピーダンス伝送線に結合された低速定低インピーダンス伝送線の短い区域、および1および/または3次元構造等がある。しかしながら、最良の波形および最低の寄生電力損失のためには、共通モードおよび差動モード、即ち、偶数モードおよび奇数モードの位相速度は、実質的に同一でなければならない。同一、または実質的に同一の位相速度は、伝送線の容量を変化させることによって、システム内に設計することができる。

【 0 0 6 2 】

10

前述のキルヒホフの電力/インピーダンス関係が維持されており、反転器23aおよび23bの固有の同期整流と組み合わせた場合に、システムの異なる部分が異なる電源電圧で動作することができ、電力がシステムのかかる異なる部分間で双方向に受け渡されるような固有の電圧変換システムが得られるのであれば、電源電圧V+は、システム全体にわたって一定である必要はない。

【 0 0 6 3 】

図16は、2つの実質的に同一の伝送線発振器を示す。これらは、周波数および位相に関して実質的に自己同期となるように、動作的に接続されている。伝送線15₁および15₂は、共通部分が2本の伝送線15₁および15₂双方の回転波エネルギーを搬送するので、伝送線15₁および15₂の残り部分のインピーダンス(20)の半分がそのインピーダンスであるという理由のために前述のキルヒホフの電力/インピーダンス法則を満たす、それらのループ導体トレースの共通部分と「シャム化」(s i a m e s e d)されて示されている。先に注記したように、伝送線の元のトレース長Sは、同じ媒体および実質的に同じ長さSを用いた伝送線15₁および15₂が実質的に同じ発振周波数Fを有し、実質的に位相コヒーレントとなる発振周波数を決定する一要因である。図10において、それぞれのEM波は、逆方向に、歯車に似た様で、伝送線15₁および15₂に沿って伝搬および再循環する。印付き矢印1L、2L(双方共対向する)を参照のこと。かかる伝送線のシャム化接続は、実質的にあらゆる数のかかる「歯」伝送線発振器にも容易に拡張することができる。

20

【 0 0 6 4 】

30

図17aは、2本の実質的に同一の伝送線発振器の別の例であり、伝送線15₁および15₂は、2箇所の離散位置40および42における直接接続により、周波数および位相において実質的に自己同期するように、動作的に接続されている。図17bは、抵抗性、容量性、または誘導性あるいはそのいずれかの可能な組み合わせとすることができる、能動素子44、46を介した、かかる直接接続を示す。図17cは、2つの反転器50₁および50₂とができる单一方向手段48を介したかかる直接接続を示す。单一方向手段48は、伝送線の一方(15₂)から他方(15₁)へ結合や信号反射がないこと、即ち、一方向だけであることを保証する。再循環EM波の伝搬方向は、ここでも矢印1L、2Lで示す。これらは、実線であるが、逆方向進行波を生成する「並列」結合対の伝送線に関する予測にしたがって、伝送線発振器15₁に対しては任意であり、15₂に対しては破線となっている。図18は、図17aの2つの自己同期伝送線発振器の好都合な簡素化表現であり、同様の表現は以下の図にも用いられる。

40

【 0 0 6 5 】

図19aは、基本的に図17aないし図17cに対するように、互いに接続された4つの自己同期伝送線発振器15₁-15₄を示すが、更に、4つの伝送線発振器15₁-15₄の示したEM波周回方向1L-4Lにしたがって再循環伝搬EM波が得られる本発明の中央第五実行伝送線タイミング信号源も可能である。図示のように、中央第5伝送線発振器は、物理的に、その他の4つの各々の部分を含み、更に、それらと逆、即ち、反時時計回り1L-4Lの周回方向5Lを有する。尚、この伝送線発振器を共に接続する方法は、あらゆる所望の数およびあらゆる所望の種々の全体パターンにも拡張し、あらゆる所望のエリ

50

アをカバーすることができることは認められよう。

【0066】

代替案を図19bに示す。ここでは、中央第5伝送線発振器は、再循環型ではないが有用であり、タイミング信号の所望の位相にアクセスすることについては、有利であるとすることができる。

【0067】

図20は、伝送線 15_1 および 15_2 が物理的に互いに接続されておらず、動作的に磁気的に結合されている、2つの自己同期発振器を示す。このために、長い伝送線を用い、より多くおよびより良い磁気結合を得ることが有利であるとすることができる。図21は、伝送線 15_1 および 15_2 が図20と全体的に同様であるが、磁気的に結合される隣接部分間に結合強化強磁性体ストリップ 5_2 が動作的に配置されている、磁気結合自己同期発振器の別の例を示す。
10

【0068】

図22は、伝送線 15_1 および 15_2 間に配置された第1の鉄製ストリップ 5_2 および伝送線 15_2 および 15_3 間に配置された第2の鉄製ストリップ 5_4 によって磁気的に結合された伝送線 15_1 、 15_2 および 15_3 を有する3つの自己同期発振器を示す。機能21によって完成する他の伝送線 15_1 および 15_2 から発振のための十分なエネルギーが磁気的に結合される限り、発振信号源として、伝送線 15_2 は、再生機能21を全く必要としない。伝送線 15_2 を長く、大きなエリアを迂回するようにして、再生機能21も交差19も不要とすることが、実用的であると考えられる。そして、長さ(S)の奇数の倍数(3S、5S、7S等)、または伝送線 15_1 および 15_3 の少なくとも一方の少なくとも電気長であることが好ましい。これは、勿論、相当な間隔を置いて、発振器の自己周波数および位相ロックのための更に別の暗示を有する(例えば、伝送線 15_1 および 15_2 を用いる)。
20

【0069】

更に別の代案は、電磁的に結合する導体トレースの部分の上および/または下におよぶ誘電体(図示せず)の使用を含む。

異なる周波数で動作する伝送線発振器の同期を取ることは実現可能であり、実用的である。図24では、2つの自己同期発振器の伝送線は、異なる電気長を有する。即ち、同じ伝送線構造/材料を用いると、第1伝送線 15_1 は、基本発振周波数 $F = F_1$ に対して総導体長Sを有し、第2伝送線 15_2 に動作的に接続され、これと同期が取られる。第2伝送線 15_2 は、第1伝送線 15_1 の $1/3$ の総導体長、即ち、 $S/3$ を有し、したがって、発振周波数は $3F$ となる。矢印が付いた破線は、EM波の回転方向を示す。動作的接続は、図17aないし図13cについて同様であるが、他のあらゆる技法でも使用可能である。自己同期は、強い第3高調波($3F$)の強い方形第1伝送線信号における前述の存在による。同様の結果は、更に高い奇数高調波、即ち、 $5F$ 、 $7F$ 等の周波数でも得られる。
30

【0070】

かかる異なる奇数高調波関連周波数で動作する発振器の伝送線間の好適な結合は、単一方向であり、本来より低い周波数の線(15_1)は、本来より高い周波数の線(15_2)に同期しようとする。図24と同様に、あらゆる数の異なる奇数高調波反連周波数の伝送線発振器でも、互いに結合し、同期を取ることができる。
40

【0071】

かかる異なる奇数高調波関連周波数で動作する発振器の伝送線間の好適な結合は、単一方向であり、当然により低い周波数の線(15_1)は、当然により高い周波数の線(15_2)に同期しようとする。図24と同様に、あらゆる数の異なる奇数高調波反連周波数の伝送線発振器でも、互いに結合し、同期を取ることができる。

【0072】

この再循環伝送線発振器は、半導体集積回路(IC)におけるおよびその基準、即ち、クロック、タイミング信号の発生および分配において、およびそのために用いることができ、更に、例えば、複数のICを含む回路、または実際にはタイミング基準信号を必要とするその他のあらゆる適当な装置/システムを含む回路を実装し相互接続するために用いる
50

プリント回路ボード（P C B）にも応用可能である。

【0073】

このようなI Cでは、業界標準S P I C E 技法を用いたシミュレーションが、採用するI C製造プロセスおよびそれらの開発のための計画に応じて、実際には数十G H zまでの非常に高い周波数のクロック信号を供給する潜在性を示す。発生および分配は、事実上、I Cの全ての部品にわたり供することができ、かかる部品の予測可能な位相およびそれらの間の位相関係によって、同一または異なる周波数を有する多数のクロック信号として含む。更に、この伝送線発振器の動作原理およびその自己同期相互結合は、あらゆる特定のI C内およびI C間の動作回路へのタイミング信号の信頼性の高いサービスに容易に拡張または導入するだけでなく、更に、I C等の間のデータ転送にも重要かつ創作的に拡張または導入すると信じられる。10

【0074】

再生回路21を含む伝送線15構造およびネットワーク全体が発振する。伝送線15は、非終端で動作する。即ち、伝送線は閉ループを形成する。伝送線の特性インピーダンスZ₀は低く、発振を維持するには、「補給」エネルギー（t o p - u p n e r g y）だけがあればよい。

【0075】

2本の導体トレース15a、15b間のインピーダンスは、均一に分散され、したがって平衡であることが好ましい。これは、確かな差動信号波形（1、2）を得るために役立つ。コヒーレント発振が発生するのは、伝送線15上の信号1、2がこの180°。または実質的に180°の位相シフト要件を、伝送線15に接続されている全ての反転増幅器21について満たすとき、即ち、全ての増幅器21が伝送線15に沿った全ての点間で既知の位相関係で調整された態様で動作するときである。信号エネルギーは、誘導的および容量的に、即ち磁気的および電気的の双方で、差動モードでは信号導体15a、15b間で、または2つ個々の共通モード（上側および下側「接地」位相がない場合、および無遮蔽撲り線対ケーブルを通じた接続では、生じない）では各信号導体および接地基準の間で、伝送線15に伝達される。20

【0076】

C M O S反転器は、非線形動作スイッチおよび增幅回路素子として、交差導通電流からの損失は低い。何故なら、通常の損失が多いトランジスタのゲート「入力」およびドレイン「出力」容量は、トランジスタ基板容量と共に、伝送線15の特性インピーダンスZ₀に吸収されるので、電力消費は通常の $1 / 2 C V^2$ の公式通りにならないからである。30

【0077】

例えば、M O Sトランジスタのゲートの容量性充電および放電による電力消散は、不可避であると仮定されることが非常に多い。しかしながら、伝送線15の自己維持発振特性は、低い電力損失でトランジスタ・ゲート端子を「駆動」することを可能にする。これは、要求「駆動」エネルギーがM O Sゲート容量の電界即ち容量場と、伝送線の磁界即ち誘導場との間で交代するという事実による。したがって、伝送線15に含まれるエネルギーは、完全に消散されていない。実際これは再循環されている。エネルギー節約は、伝送線15の全ての動作的に接続されているトランジスタ・ゲートに適用される。40

【0078】

この伝送線波新規の低損失効率は、多くの以前から普及している論理システムのI Cを「クロック駆動」するために用いることができる事が想定される。従来の倫理システムは、これまで、クロック・スキュー、クロック分散、電力消費に伴う問題に帰する理由のため、実現不可能な選択肢として、敬遠または放置されていた。かかる論理構成の僅かな例には、多位相ロジックおよび電荷復元または断熱スイッチング・ロジックが含まれ、かかる論理構成は当業者には公知である。

【0079】

図24は、モノリシックI C68に適用された、この可能なクロック分散ネットワークを示す（他の図と同様、同一倍率ではない）。I C68は、ループ1L-13Lとして示す50

、この複数の伝送線を有する。その内、ループ 1 L - 10 L および 13 L は全て同じ有効長（例えば、前述の S）を有し、周波数 F で発振する。ループ 11 L および 12 L は、各々他よりも短いループ長を（例えば、前述の S / 3）を有し、周波数 3 F で発振する。ループ 1 L - 8 L および 11 L - 13 L は、再生手段とによって完成する全伝送線発振器であり、ループ 9 L および 10 L は、前者の伝送線の 4 本、即ち、1 L、3 L、4 L および 5 L、4 L、5 L、6 L および 8 L の一部として、それぞれ、設けられている。

【0080】

ループ 13 L の伝送線（15）は、細長く、長い側が I C 6 8 の縁（即ち、けがき線）に近いので、前述のように、磁気結合等によって、周波数および位相固定のためのフリップ・フロップ技術等によって、相互結合のために、別の同様に設定した別個のモノリシック I C に結合することができる。別個のモノリシック I C の位相および周波数固定は、ハイブリッド・システム等では非常に有用とすることができる。10

【0081】

図 25 は、信号分配、即ち、単一三角構成に対する、この相互接続伝送線発振器の三次元ネットワークの実現可能性を示すが、他の構造も所望に応じて供することができる。データ転送等に対する電気長、インピーダンス整合、あらゆる整相要件に関してこの相互接続規則が満たされる限り、いかに複雑でも構わない。

【0082】

この I C は、全周波数および位相固定まで、更に、2つ以上の自己維持伝送線発振器のためおよびこれらの間を含む位相コヒーレンスまでの望まれ得るあらゆるもの有するように設計することができ、かかる I C に関連する全ての種々のロジックおよび処理ブロックにおけるおよびその間のデータ処理活動の同期制御および動作を大幅に簡便化する。20

【0083】

図 26 a は、局部クロックを供給し、論理ブロック 72₁ 周囲に分配する、伝送線導体トレース 15 a および 15 b にそれぞれ接続された 1 対の CMOS 反転器 70₁ および 70₂ を用いた二重位相タップオフの一例を示す。論理ブロック 72₁ は、伝送線 15 内に「閉鎖」されたように示されているが、代わりに、論理ブロック 72₂ およびそれと連動する反転器 70₃、70₄ と同様に、これを伝送線 15 によって包囲されているエリアに対してもその外側にあるようにすること、および / またはそれが伝送線 15 の導体トレース 15 a、15 b に及ぶことも含む。望ましければ、例えば、大きな論理ブロック 72₁ および / 72₂ に対して、複数対の反転器 70 は、伝送線 15 に「入力」することができ、論理ブロック 72 内で局部的に必要なあらゆる所望の整相のためにも含まれる。破線を参照のこと。発振クロック信号 1、2 の位相を精度高く選択する能力によって、複雑なパイプライン・ロジックおよび多位相ロジック（以下の図 29 を参照）を動作的に設計し制御することが可能となる。30

【0084】

図 26 b は、論理ブロック 71₁、72₂ が、それぞれの処理素子 73₁、73₂ と置換されていることが異なるが、これ以上でも可能であり、1 つ以上の処理素子にクロックを供給するためには、1 本以上の伝送線を用いることができる。2 つまたはそれ以上の複数の処理素子は独立しておよび / または一緒に即ち並列に動作することができ、非常に高速で強力なデータ処理 I C / システムが得られる。40

【0085】

図 27 a は、徐々に物理的長さが短くなる同心状に配置された伝送線 15₁ - 15₃ を示す。しかしながら、3 本の伝送線 15₁ - 15₃ の各々は、構造の問題として、または単位長当たりのそれらのインダクタンスおよび / または容量を増大させることによって適切に遅延させた、より短い伝送線 15₂ および 15₃ の各々周囲を回転する EM 波のそれぞれの速度によってには拘らず、これら全てが同じ周波数で発振するように作ることができる。同期性を除いて、これらの接続 70、72 を有することの利点は、伝送線 15₁ - 15₃ が以下を行うであろうし、または以下を可能とすることである。

【0086】

10

20

30

40

50

- (i) 単一の多フィラメント伝送線として作用する。
- (i i) より小さな導体トレース(15 a、 15 b)を有する。
- (i i i) より大きなクロッキング・エリアをカバーする。
- (i v) より少ない表皮効果損失を生成する。
- (v) より低いクロストークおよび結合を生成する。

図 28 a は、位置 A、B、C、および D 間にクロス・ループ接続を有する伝送 - を示す。これは、更に、伝送線 15 c、15 d も備え、この特定実施形態では、90° の電気長を有し、位置 A、B および C、D の間隔を一致させている。他の交差接続電気長も選択し、位置 A、B および C、D の対応して異なる間隔で動作的に接続することも可能である。クロス・ループ接続によって、伝送線 15 によって包囲されているエリア内において更に別のタップオフ位置が可能になる。伝送線部 15 d は、点 A および C 間に並列に接続されて示されており、伝送線 15 の一部は線 74 で表されている。同様に、伝送線部 15 c は、点 B および D 間に並列に接続されて示されており、伝送線 15 の一部は線 76 で表されている。伝送線部 15 c、15 d、74 および 76 は、これら各々が、前述のように、伝送線 15 の残り部分に関連する半分のインピーダンスを有する場合、良好である。伝送線 15 および 15 c、d には、増幅器 21 が動作的に接続されている。図 28 b は、クロス・ループ接続 15 c、d および 伝送線 15 の部分 78 および 80 に関して設定された位置 A、B、C および D、即ち、それぞれ、部分 74 および 76 の代わりを示す。しかし、キルヒホフ型法則は、この場合の適用され、部分 15 c、15 d、78 および 80 は各々、伝送線 15 の残り部分に関連する半分のインピーダンスを有することになる。

【 0087 】

図 29 a は、四相クロック信号を生成する方法の 1 つを示す。実際、伝送線 15 は、矩形で示すように、その信号搬送境界の二重横断を行い、更に繰り返し横断をすれば、更に多くの位相を生成することができる。図示の例では、位置 A1、A2、B1 および B2 は、局在化四相クロック信号を発生する。位置 C1、C2、D1 および D2 も同様である。繰り返し境界横断は、相互結合を回避するために、伝送線 15 の適切な相互間隔および分離で行われる。図 29 b は、点 A1、A2、B1 および B2、ならびに C1、C2、D1 および D2 における、理想化した四相信号波形を示す。

【 0088 】

図 30 は、閉ループ伝送線 15 に接続され、180° の電気長を有し、開放回路発振スタブとして作用するためタップ点において悪影響を生じない特性を有するオープン・エンド能動伝送線(15 e、15 f)の追加を示す。増幅器 21 は、このオープン・エンド線 15 e、f に沿って存在しないが、反転器 23 をトレース 15 c および 15 d の各々の遠端に配し、スプリアス発振の危険性を低減することができる。実際、かかるスタブ 15 e、f における回転発振は、伝送線 15 に対して有用な再生効果を有することができ、したがって、補強および / または安定化の目的に供することができる。

【 0089 】

相互接続されたネットワークにおいて同一位相を有する少なくとも接続位置には 2 つのシステム間に十分な相互接続部が確立されているのであれば、インピーダンス整合に対して特定の要件のない能動伝送線接続を用いて、同一または実質的に同一の周波数の発振伝送線を共に接続することができる。かかる接続は、I C およびシステム間で高速ディジタル信号の同期を取る際に役立てることができる。何故なら、非クロック信号(即ち、I C / システム・データ線)は、クロック接続と同じルーティング(例えば、リボン・ケーブル、撲り線対、伝送線)に組み込まれると、同様の遅延特性を有し、このためデータおよびクロッキングが異なるシステム間でコヒーレントになるからである。

【 0090 】

図 31 は、2 つのモノリシック I C 68₁、68₂ の 2 つのクロック分配ネットワークのコヒーレント周波数および位相動作の一例を示す。モノリシック I C 68₁、68₂ は、各々、このクロック生成および分配、ならびに相互 I C 接続対 E、F および G、H を有する。2 つの関連する I C は、コヒーレントに、即ち、同じ周波数および同じ位相関係で動作し

10

20

30

40

50

、接続部の各々は実質的に 180° の電気長、または $360^\circ \cdot n + 180^\circ$ を満たす倍数を有する。ここで、nはゼロまたは整数である。

【0091】

単一対の相互IC接続部(E、FまたはG、H)は、周波数および位相「固定」を齎す。相互IC接続対が1つよりも多いと(図示のようなE、FおよびG、H)、更に、クロック波形方向または回転の固定が得られる。

【0092】

図31にも示すように、第1および第2「スタブ」接続82および83があるが、いずれかまたは各々がそれ以上あることも可能である。第1スタブ接続部82は、 180° の全電気長を有し、動作を安定化するのに役立つ。第2スタブ接続部83はオープン・エンドであり、同様に 180° の電気長を有し、安定化に役立つ。かかるスタブ82、83は、導電性トレースの定義がICに対するよりも精度が低い、IC以外の用途には特に有用である。

【0093】

接続部の対E、FおよびG、Hならびに接続部82、83のインピーダンスは、あらゆる値を有することができる。何故なら、通常動作では、そして一旦これらの接続部が付勢されたなら、その正しい整相のためにここには電力が全く流れ込まないからである。しかしながら、これら接続部E、FおよびG、Hならびに82、83のインピーダンスは、これらが接続される発振器伝送線15のそれよりも大きいことが好ましい。これらの接続部は、伝搬EM波ではなく、むしろ定在EM波に対応する。

【0094】

かかる図31の相互接続は、同等に、IC内、IC間、IC-PWB、および/またはいずれの非IC、即ち、PWB-PWBシステム接続にも適用可能である。

【0095】

図32aは、位相および回転が固定され、更に複数の双方向データ・ラッチ84およびそれらの間にリンク86を有し、圧的に別個のデータ処理システム接続を設け、整相に関して、更にデータ転送に関して1つのコヒーレントな構造として作用する、2つの相互接続されたモノリシックIC68₁、68₂を示す。伝送線15上の相互接続位置は、ここでは、各線のIC間接続の端部J、K間に実質的に 180° 位相差があるが、通常少なくとも 1° の許容度がある。複数のIC間接続部86は、双方のIC68₁、68₂の対応する伝送線15間に接続された「撲り線対」の性質を有することができる。これらIC間接続部86のインピーダンスは、この場合も、クロック発生伝送線115に伴うそれよりも高いことが好ましい。

【0096】

等しい数のクロック/位相およびデータ接続は必要ではない。更に、データおよびクロック伝送媒体86は、同じ長さであり、電気的に整合しており、双方は同じ伝搬遅延を呈する。これは利点である。公称 180° 位相差は、半クロック・サイクル、即ち、Tpを表すので、いずれかのICから他方に、クロック波形1の立ち上がりエッジによって伝達されたデータ・パルスは、クロック波形2の立ち上がりエッジの間または直後に受信される。

【0097】

図32bは、ブロックとして、図32aの好適な発明のデータ・ラッチ84を示す。データ・ラッチ84は、差動クロック信号1および2によってエッジ・トリガされ、送信(TX)および受信(RX)を行なう。更に、差動双方向入力/出力線、TXデータおよびRXデータで示すデータ・パルス制御線、およびクロック信号波形1、2を有する。

【0098】

この技法は、同じ相対的整相でクロックされる異なるIC68₁、68₂上でのデータ・ラッチ84の通信を非常に容易にする。図32aは、ラッチ84のそれぞれの通信対が、異なる位相でトリガされ、その結果、全体的に有利な多相データ転送が行われ、伝送線86

10

20

30

40

50

の同時スイッチングの必要性が無くなり、「接地跳ね返り」および正電源低下の減少が得られる。

【0099】

半二重データ転送では、2データ・ビットが転送され、各クロック・サイクル中に各方向に1つが転送される。一方のICから他方へのデータ転送(TX)では、更に $1 = 1$ 、 $2 = 0$ 、および論理 $1 = V+$ 、および論理 $0 = GND$ とした局部論理制御では、各ICにおける対応するラッチ84は双方とも、 $1 = 1$ の期間に单一データ・ビットを送信し、各半サイクルにおいて、1データ・ビットは IC_{68_1} から IC_{68_2} に行き、別のデータ・ビットが IC_{68_2} から IC_{68_1} に行く。データ信号は、互いに伝送線86上を通過し、伝送線86の撲り線対特性では干渉しない。最後に受信したデータ信号は、この半サイクルにおいて使用可能である。 1 および 2 がそれぞれ 180° 離れて高および低に行く場合、データは受信され、局部論理状態は $1 = 0$ 、 $2 = 1$ となる。 $2 = 1$ のとき、2つのICの各々における同じラッチ84は、ここでは、双方とも、直前の半サイクルの間に送られた单一データ・ビットを受信する。

10

【0100】

図32Cは、データ・ラッチ84を実現する回路を示す。トランジスタP1、N1、P5およびN5は、動作的に構成され、かつ制御され、差動出力信号を生成し、 $1 = 1$ のときにのみアクティブとなる、即ち、「オン」に切り替えられる。P1およびN5のいずれもが、正の差動出力信号でオンとなるか、あるいはP7およびN1が負の差動出力信号でオンとなる。トランジスタN4、P4、N8およびP8は、動作的に構成され、かつ制御され、 $2 = 1$ のとき、即ち、受信時間中、出力トランジスタP1、N1、P5およびN5を「オフ」に切り替える。

20

【0101】

トランジスタN3は、動作的に配置され、TXデータ制御信号が論理1のとき、それに関連する差動双方向出力が、トランジスタN4およびP1を介して、正即ち $V+$ になるようにTXデータ制御信号によって制御される。トランジスタP3は、動作的に配置され、TXデータ制御信号が論理0のとき、それに関連する差動双方向出力がトランジスタP4およびN1を介して負即ちGNDになるように、TXデータ制御信号によって制御される。反転器I1は動作的に配置され、TXデータ制御信号の反転論理状態を生成するように制御される。

30

【0102】

トランジスタN7は、動作的に配置され、TXデータ制御信号が論理0のとき、それに関連する差動双方向出力が、トランジスタN8およびP5を介して正になるように、TXデータ制御信号によって制御される。トランジスタP7は、動作的に配置され、TXデータ制御信号が論理1のとき、それに関連する差動双方向出力が、トランジスタP8およびN5を介して負になるように、TXデータ制御信号によって制御される。

【0103】

トランジスタN13は、動作的に配置され、データ信号の受信(RX)期間中に正しく差動伝送線86を終端するように制御される。トランジスタは、動作「オン抵抗」を有し、これは伝送線86の特性インピーダンスにほぼ等しい。

40

【0104】

トランジスタN1-8およびP1-8は、反転器I1と共に、双方向ラッチ84の送信回路TX1を構成する。

トランジスタN9およびN10は、動作的に配置され、全半サイクルの間、コンデンサC1上に、データ信号の受信(RX)中差動信号を「サンプル」するように制御される。トランジスタN11およびN12は、動作的に配列され、蓄積されたコンデンサC1の電荷サンプルを、動作的に配置され制御された差動-單一エンド変換器に切り替える。この差動-單一端変換器は、動作的に配置され制御された反転器I2、I3およびコンデンサC2によって構成されている。反転器I3およびコンデンサC3は、動作的に電圧基準として配置され、反転器I2は動作的に配置され、サンプルされた受信(RX'd)データ信

50

号に対して、単一エンド論理出力バッファ / 増幅器として作用するように制御される。

【0105】

トランジスタ N9 - N11 ならびに反転器 I2 および I3 は、コンデンサ C1 および C2 と共に、双方向ラッチ 84 の受信回路 RX1 を構成する。

以下に、データ信号の送信 (T) および受信 (RX) 中におけるデータ・ラッチ 84 の動作を纏めた真理値表を示す。

【0106】

【表1】

TXデータ	Φ1	Φ2	+Ve 差動出力	-Ve 差動出力
0	0	1	H i - Z (受信)	H i - Z (受信)
0	1	0	0	1
1	0	1	H i - Z (受信)	H i - Z (受信)
1	1	0	1	0

尚、電気長が ($360^\circ \cdot n + 180^\circ$) のデータ・リンク伝送線 86 について、追加の n サイクル・レイテンシ (遅延) があるが、後続のデータはサイクル毎に 1 回受信されることを注記しておく。更に、タイミングを改善し、したがってデータ・ラッチ 84 上で時間を保持する等し、したがってスイッチング遅延をいくらか補償するために、整相は、I/O データ・ラッチ 84 内の TX および RX 回路に対して 180° 差から多少異なる 10 ことができる。

【0107】

図 32c に示す回路図は、追加の波形成形回路を含まない。これは、実際には必要となるが、公知の特性のものとすることができます。

明確な差動波形では、パッケージ・インダクタンス問題は最少に抑えられる。何故なら、戻り電流は電源ピンを介さずに差動対の逆信号を介すので、GND および V+ パッケージ接続電流は、伝送線 86 の出力スイッチング作用によって生じないからである。パッケージ・インピーダンスの伝送線 86 に対する整合は、したがって一層簡単になる。

【0108】

図 32d は、複数の單一方向受信および送信データ・ラッチを有する内部接続 IC を示す。85 および 87 を参照のこと。單一方向送信および受信ラッチ 87₁、85₁ の第 1 対は、2 本の異なる伝送線に動作的に接続され、一方の伝送線から他方に動作的にデータを送信する。第 1 受信ラッチ 85₁ は、 45° の「遅延補正スルー配置」を有する。ここで、 45° は、ラッチ 87₁、85₁ に対するそれぞれのクロック信号接続部の電気長を表す。

【0109】

2 対の單一方向送信 / 受信ラッチ 85₂、87₂ および 85₃、87₃ は、87₁ および 85₁ と同様に動作するが、その配置による遅延補正が約 10° となっていることが異なる。これは、それらのクロック信号接続部の電気長を表す。

【0110】

図 32e は、單一方向送信および受信ラッチ 85、87 を示す。これらのラッチ 85、87 は、各々、送信および受信回路 TX1 および RX1 を有するのではなく、それぞれ 2 つの同相送信または受信回路 TX1 および RX1 を有する場合、クロック・サイクル当たり 2 データ・ビットを送信および受信可能である。

【0111】

図 33 は、MOSFET トランジスタで形成した、ディジタル的に選択可能な分路コンデンサを示す。

図 33 に示すディジタル的に選択可能な分路コンデンサは、動作的に伝送線 15 に接続し、伝搬 EM 波が僅かに遅延するように制御することができる。即ち、発振周波数を制御することができる。かかる遅延は、伝送線の周波数を微調整する際に有用である。図示のように、8 つの分路コンデンサが、MOSFET トランジスタによって実装されている。M 50

MOSFETトランジスタM1、M2、M5およびM6は、PMOSトランジスタであり、MOSFETトランジスタM3、M4、M7およびM8はNMOSトランジスタである。

【0112】

MOSFET M1、M3、M5およびM7は、それらのドレインおよびソース端子が、例えば、「内部」伝送線導体15aに接続されており、MOSFET M2、M4、M6およびM8は、それらのドレインおよびソース端子が、「外部」伝送線導体15bに接続されている。MOSFET M1、M2、M5およびM6の基板端子は、正電源レールV+に接続されており、MOSFET M3、M4、M7およびM8の基板端子は、負電源レールGNDに接続されている。

【0113】

MOSFET M1およびM2のゲート端子は、互いに接続され、制御信号CS0によって制御され、MOSFET M3およびM4のゲート端子は、互いに接続され、制御信号CS0の反転によって制御される。同様に、MOSFET M5およびM6のゲート端子は、互いに接続され、制御信号CS1によって制御され、MOSFET M7およびM8のゲート端子は、互いに接続され、制御信号CS1の反転によって制御される。

【0114】

以下の真理値表は、どのMOSFET分路コンデンサ(M1 - M8)が容量に寄与するか、即ち、伝送線15に対する「MOSFETオン」を示す。

【0115】

【表2】

10

20

CS0	CS1	MOSFET「オン」	MOSFET「オフ」
0	0	M1 - M8	-
0	1	M1 - M4	M5 - M8
1	0	M5 - M8	M1 - M4
1	1	-	M1 - M8

「内部」および「外部」伝送線導体トレース15a、15bに接続された分路コンデンサのそれぞれのサイズおよび数は同一である、即ち、平衡であることが好ましい。8つのMOSFET分路コンデンサM1 - M8を示したが、図33のように伝送線が平衡であるのであれば、適切なサイズ、したがって容量を有するあらゆる数のMOSFET分路コンデンサを用いることができる。

30

【0116】

ディジタル的に制御可能な分路コンデンサを生成するには、他の構成もあり、MOSFETトランジスタを用いて形成してもしなくてもよい。1つの公知例は、これもMOSFETを用いるが、例えば、二進重み付けしたMOSFETコンデンサの使用が可能である。可変容量が得られるMOSFETコンデンサの代わりには、例えば、バラクタやP/Nダイオードが含まれる。

【0117】

「コンデンサ・アレイ」を、伝送線に沿って規則的な間隔で反復し、インピーダンスを分散すると有利であるとすることができます。

40

図34は、伝送線15を通じてどのようにデータおよび/または電力を導出するか、および好ましくは導体トレース15a、15bの下で規則的な間隔で配置されたレールウェイ・スリーパに類似した形成88によってその容量正負荷を変更することについて示す。あるいは、88のような形成は、伝送線導体トレース15a、15bの上および/または下に被着することも可能である。断面図からわかるように、トレース15a、15bは、金属層上にあることが好ましく、金属層は、例えば、二酸化シリコン92層によって、形成88から分離されている。これらの形成88は、伝送線容量を増大する効果を有し、したがって、伝送線インピーダンスを変化させ、伝搬EM波の速度を変化させるために用いることができる。これらの形成88は、データおよび/または電力99を導出するためにも

50

用いることができる。図示のように、データおよび／または電力を導出することの利点の1つは、伝送線15上のクロック信号1、2は差動であるので、これらのクロック信号1、2は、導出されるデータおよび／または電力信号には何ら影響がないことである。

【0118】

反転器23a、23bを用いた双方向スイッチ(21)は、クロック周波数の同期整流器として固有に動作する。これは、最も負側の電源レールの反転器から接地まで、およびそれらの最も正側の電源レールからV+までのオーミック経路によって推断することができる。したがって、背面反転器23aおよび23b(図22b参照)に寄与するNMOSおよびPMOSトランジスタは、常に、伝送線上の入射EM波によって、2つの「オン」トランジスタ(それぞれ、NMOSおよびPMOS)が最も負側の伝送線導体トレースを、NMOSトランジスタについては局部GND電源に、PMOSトランジスタについては局部V+電源に接続する状態に切り替えられる。2つのトランジスタのNMOS/PMOS対は、入射EM波信号極性が発振に対して、同期し、関連するDC-AC-DC変換モードの双方向性を例示するブリッジ整流のように逆転すると、交代する。したがって、伝送線15は、電力を抽出し双方向に再送出することにより、局部電源レール電圧が伝送線電圧よりも高い場合電源を伝送線15に供給し、局部電源レール電圧が伝送線電圧よりも低い場合電力を遮断することができ、伝送線15は、このモードでは電力導体として作用する。以下の表を参照のこと。

【0119】

【表3】

入力	PMOS「オン」	NMOS「オン」	P/NMOS「オフ」
15a=GND	P1(局部V+に接続された15b)	N2(局部GNDに接続された15a)	N1、P2
15b=V+			
15a=V+	P2(局部V+に接続された15a)	N1(局部GNDに接続された15b)	N2、P1
15b=GND			

この電力再循環は、並列「オン抵抗」が電源接続の直列DC抵抗に比肩し得る場合に、ゲート長が約0.1ミクロン未満であるICプロセス技術には特に適している。かかる同期整流は、ICのあるエリアへの電源供給の欠如または不可能な際に、配電の基礎として作用することができ、特に、「チャージ・ポンプ」回路、即ち、DC-DC電力変換に用いることができる。また、DC-AC電力変換およびその逆に変換する生来的な能力もある。あるいは、勿論、公知の「オン・チップ」変圧器を用いることもできる。

【0120】

発展が期待される半導体製造技術を含み、論理回路の切断可能なスイッチと一致する可能な限り最も高い動作周波数を達成する可能性も考えられる。

実際、伝送線の形成自体は、ICプロセス技術に合わせて拡縮するのは当然であり、小型化および高速化したトランジスタの形成は、当然、伝送線発振器の短縮化および高速化に至り、一層高速化したクロック周波数が得られる。

【0121】

他の可能性は、低電力消費の維持を含む。用途には係らず、伝送線に対する容量性および誘導性接続のあらゆる共振、および具体的にシフト・レジスタまたは「プリチャージ／評価」ロジック等に関係する使用が可能である。

【0122】

クオーツ・クリスタルやPLL技法等、外部タイミング基準を用いる必要がないことは明白な利点であるが、本発明を外部タイミング・クリスタル等と共に適用する状況や用途もあり得る。

【0123】

以上、現在主流のICのCMOS技術に関連付けて詳細に説明したが、別の半導体技術、

10

20

30

40

50

例えば、シリコン - ゲルマニウム (S i - G e) 、ガリウム - 硒素 (G a - A s) 等にも、本原理は適用可能であることは、当業者には認められよう。

【 0 1 2 4 】

最後に、高周波クロッキング、例えば、 $F > 1 \text{ GHz}$ に伴う問題を克服するにあたって非常に効果的な特定的な利用について説明したが、結合したタイミング信号の発生および分配のその他の適用可能性も、意図する範囲、例えば、1 GHz 未満の周波数で動作するシステムおよび装置からは除外しないこととする。

【 図面の簡単な説明 】

- 【 図 1 】 本発明の伝送線構造の概略図。
- 【 図 2 】 メビウス・ストリップを示す図。 10
- 【 図 3 】 本発明の進行波発振器の概略回路図。
- 【 図 4 】 本発明の進行波発振器の別の概略回路図。
- 【 図 5 a 】 本発明の伝送線の一部の分散電気モデルの等価回路。
- 【 図 5 b 】 本発明の伝送線の一部の分散電気モデルの等価回路。
- 【 図 6 a 】 本発明の各差動出力波形の理想化したグラフ。
- 【 図 6 b 】 本発明の各差動出力波形の理想化したグラフ。
- 【 図 7 】 図 7 (i) ~ (i x) は、本発明の信号波形の位相を示す理想化したグラフ。
- 【 図 8 a 】 本発明の伝送線発振器における 1 つの波形の瞬時整相を示す図。
- 【 図 8 b 】 本発明の伝送線発振器における 1 つの波形の瞬時整相を示す図。
- 【 図 8 c 】 本発明の伝送線発振器における 1 つの波形の瞬時整相を示す図。 20
- 【 図 9 】 I C 上の伝送線の一部の断面図。
- 【 図 10 a 】 定在波バーションに対する回路の概要を示す図。
- 【 図 10 b 】 定在波バーションに対する理想化したグラフ。
- 【 図 11 】 反転変圧器を有する伝送線の部分的概略図。
- 【 図 12 】 伝送線の一部の間に接続されている 1 対の背面接合反転器を示す図。
- 【 図 13 a 】 C M O S 背面接合反転器の概略図。
- 【 図 13 b 】 C M O S 背面接合反転器の等価回路図。
- 【 図 14 a 】 C M O S トランジスタを含む伝送線の容量性要素を詳細に示す図。
- 【 図 14 b 】 図 14 a の等価回路図。
- 【 図 15 】 伝送線に対する容量性スタブ接続を示す図。 30
- 【 図 16 】 自己同期伝送線発振器の 1 つの接続を示す図。
- 【 図 17 a 】 自己同期伝送線発振器の別の接続を示す図。
- 【 図 17 b 】 自己同期伝送線発振器の別の接続を示す図。
- 【 図 17 c 】 自己同期伝送線発振器の別の接続を示す図。
- 【 図 18 】 図 13 a の概略等価表現。
- 【 図 19 a 】 4 つの伝送線発振器を接続を示す図。
- 【 図 19 b 】 4 つの伝送線発振器を接続を示す図。
- 【 図 20 】 磁気結合自己同期伝送線発振器を示す図。
- 【 図 21 】 磁気結合自己同期伝送線発振器を示す図。
- 【 図 22 】 3 つの磁気結合自己同期伝送線発振器を示す図。 40
- 【 図 23 】 異なる周波数の自己同期伝送線発振器の接続を示す図。
- 【 図 24 】 モノリシック I C のクロック分散回路の一例を示す図。
- 【 図 25 】 本発明のタイミング・システムの 3 D 実施態様を示す図。
- 【 図 26 a 】 デュアル位相タップオフ点の一例を示す図。
- 【 図 26 b 】 デュアル位相タップオフ点の一例を示す図。
- 【 図 27 】 3 つの同心状に配置した伝送線発振器を示す図。
- 【 図 28 a 】 クロス・ループ接続を有する伝送線を示す図。
- 【 図 28 b 】 クロス・ループ接続を有する伝送線を示す図。
- 【 図 29 a 】 四位相信号の伝送線構成を示す図。
- 【 図 29 b 】 理想的に得られた四位相信号波形を示す図。 50

- 【図 3 0】 オープン・エンド伝送線接続を示す図。
- 【図 3 1】 2つの I C に対する周波数および位相の調整に関する図。
- 【図 3 2 a】 周波数および位相調整 I C のデータ転送に関する図。
- 【図 3 2 b】 図 3 2 a のシステムのデータ・ラッチに関する図。
- 【図 3 2 c】 図 3 2 a のシステムのデータ・ラッチに関する図。
- 【図 3 2 d】 図 3 2 a のシステムのデータ・ラッチに関する図。
- 【図 3 2 e】 図 3 2 a のシステムのデータ・ラッチに関する図。
- 【図 3 3】 M O S F E T 型のデジタル的に選択可能な分路コンデンサを示す図。
- 【図 3 4】 伝送線間の容量性負荷ならびにルーティング・データおよび / または電力を示す図。

10

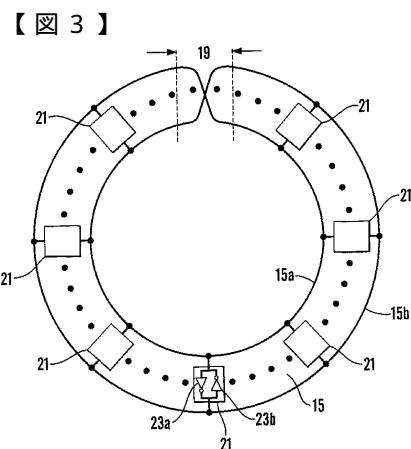
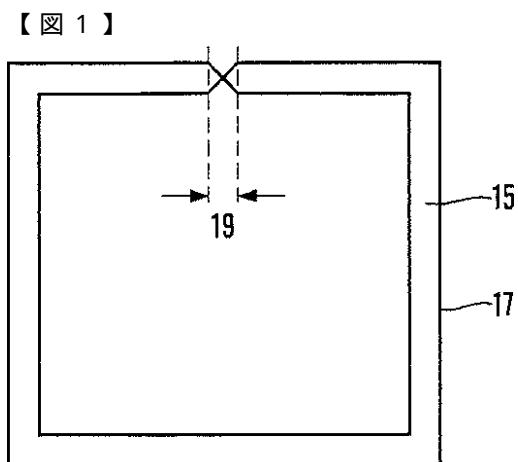


Fig.3

Fig.1

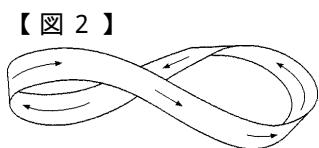


Fig.2

【図4】

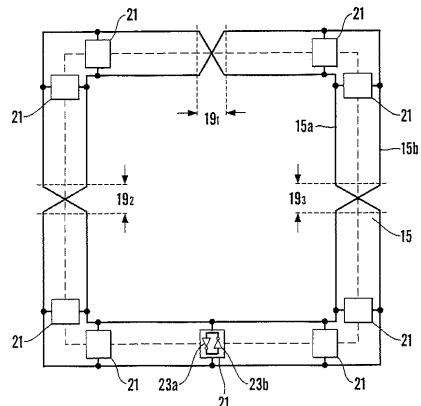


Fig.4

【図5 a】

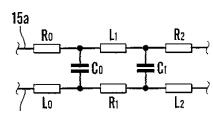


Fig.5a

【図5 b】

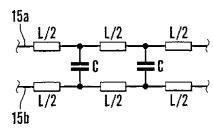
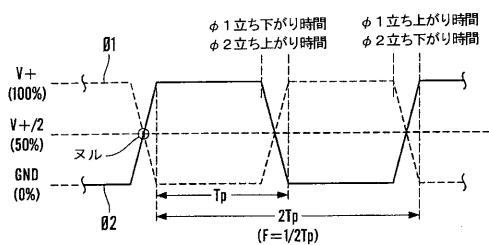
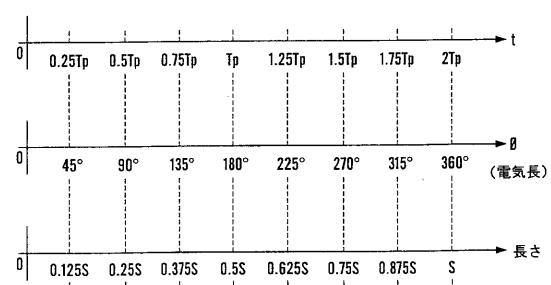


Fig.5b

【図6 a】



【図6 b】



【図7】

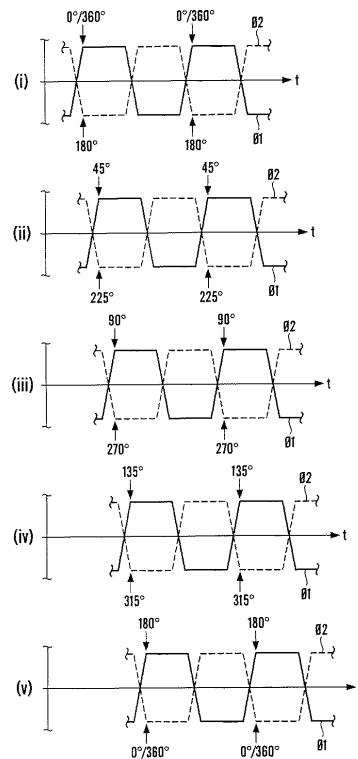


Fig.7

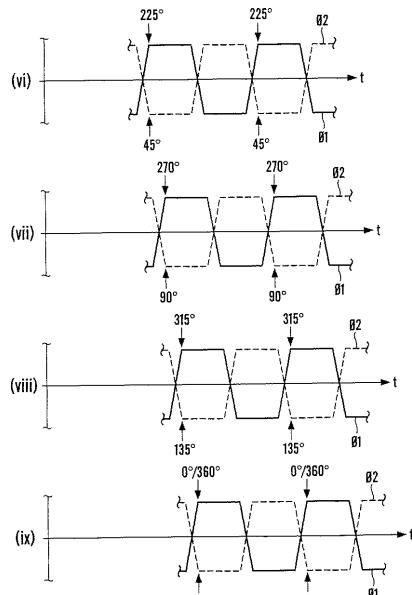
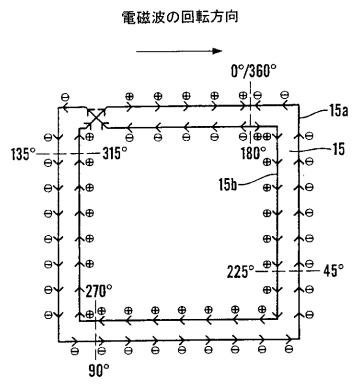
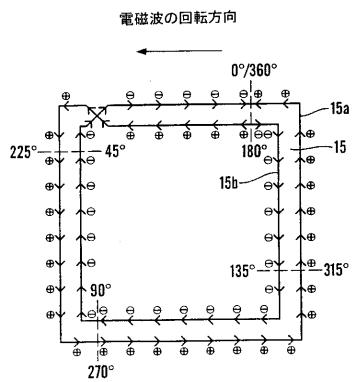


Fig.7(cont.)

【図 8 a】



【図 8 b】



【図 9】

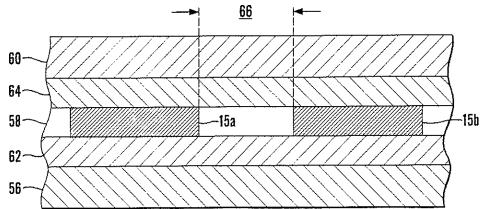


Fig.9

【図 12】

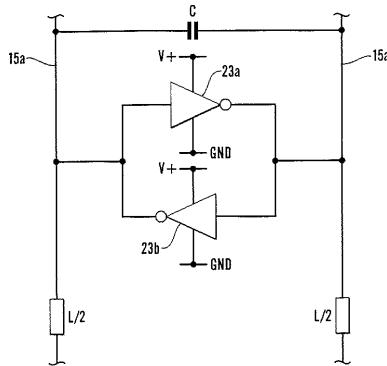
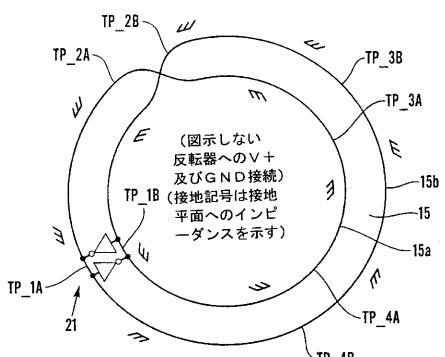
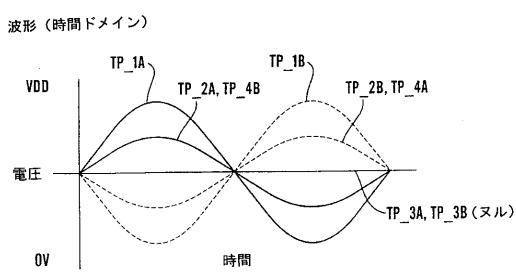


Fig.12

【図 10 a】



【図 10 b】



【図 11】

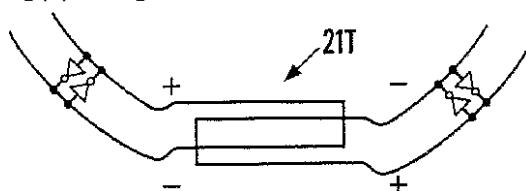


Fig.11

【図 13 a】

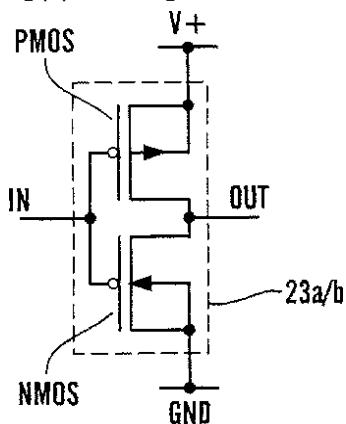


Fig.13a

【図 1 3 b】

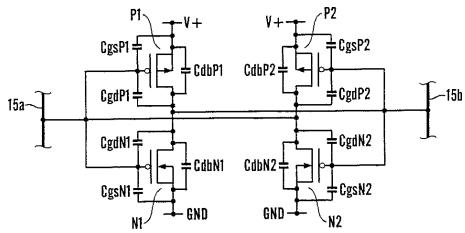


Fig. 13b

【図 1 4 a】

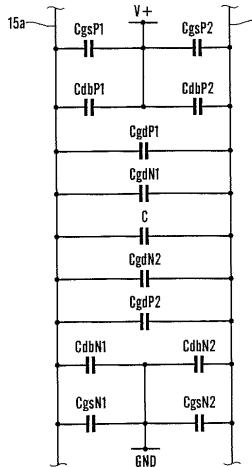


Fig. 14a

【図 1 4 b】

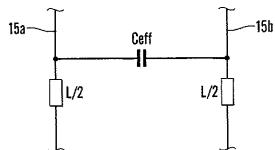


Fig. 14b

【図 1 5】

15

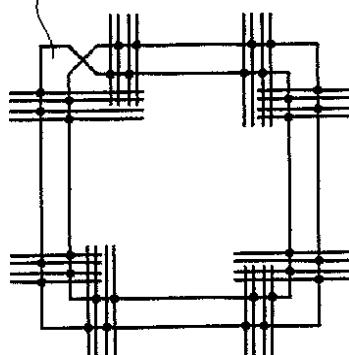


Fig. 15

【図 1 6】

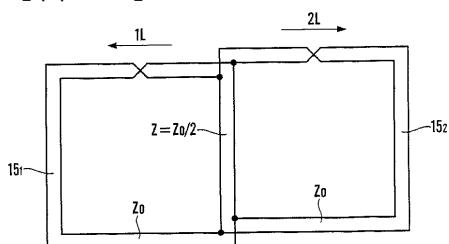


Fig. 16

【図 1 7 a】

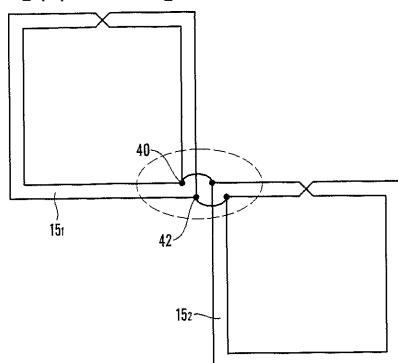


Fig. 17a

【図 1 7 b】

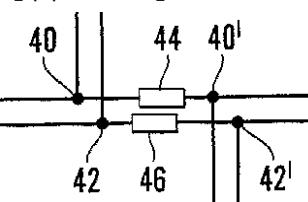


Fig. 17b

【図 1 7 c】

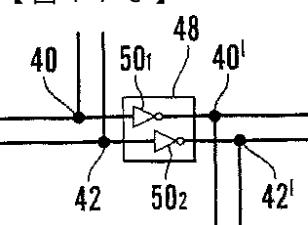


Fig. 17c

【図18】

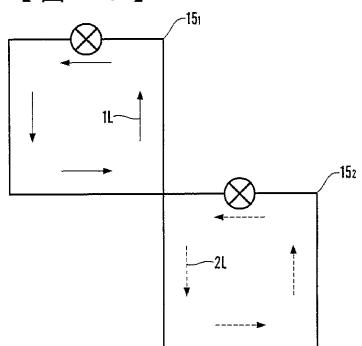


Fig. 18

【図 1 9 a】

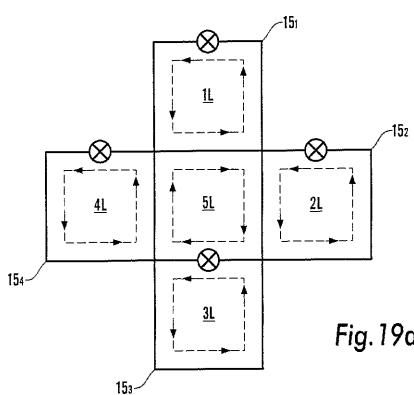


Fig. 19a

【図20】

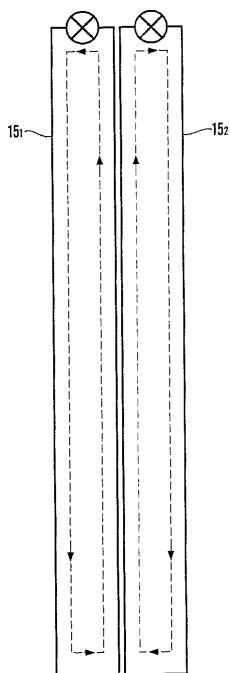


Fig.20

【図19b】

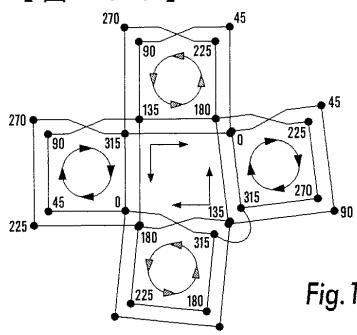


Fig. 19b

【図21】

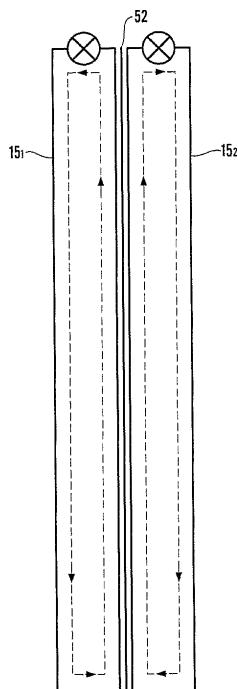


Fig.21

【図22】

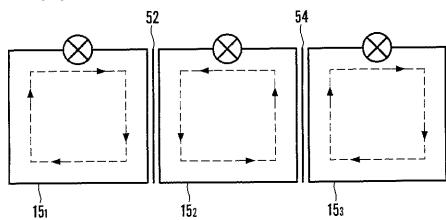
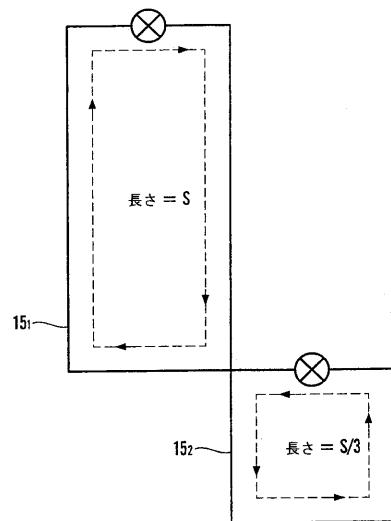


Fig.22

【図23】



【図24】

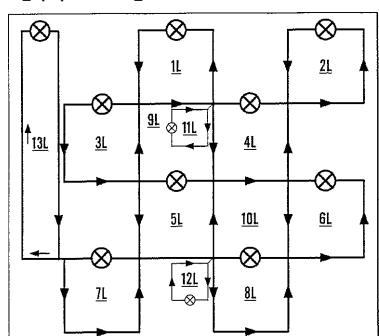
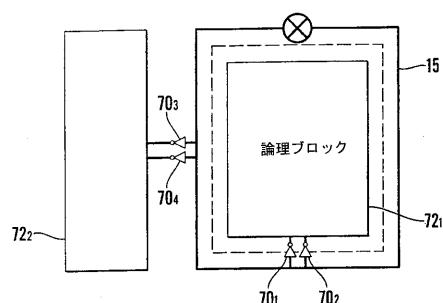
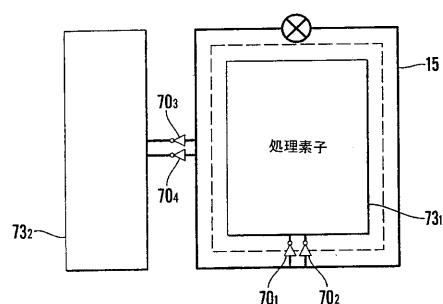


Fig.24

【図26 a】



【図26 b】



【図25】

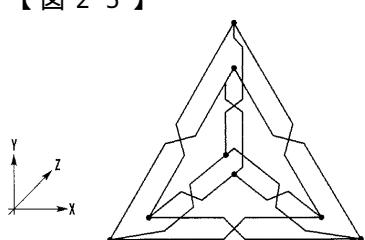


Fig.25

【図 2 7】

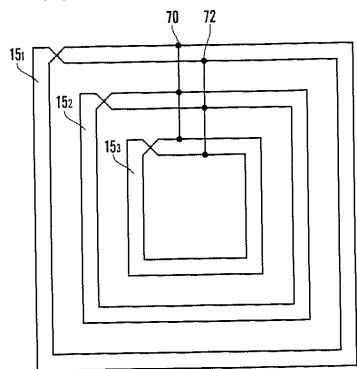


Fig.27

【図 2 8 a】

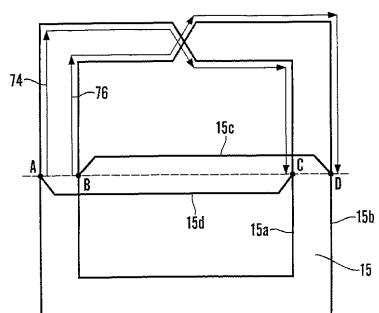


Fig.28a

【図 2 8 b】

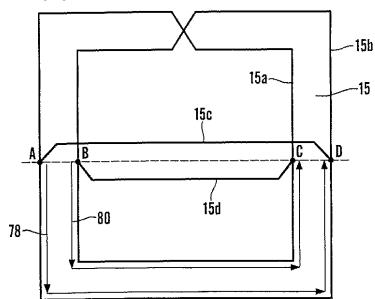


Fig.28b

【図 2 9 a】

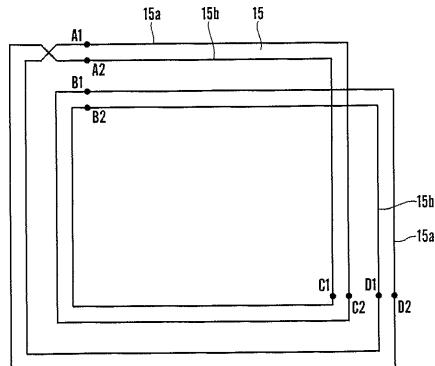
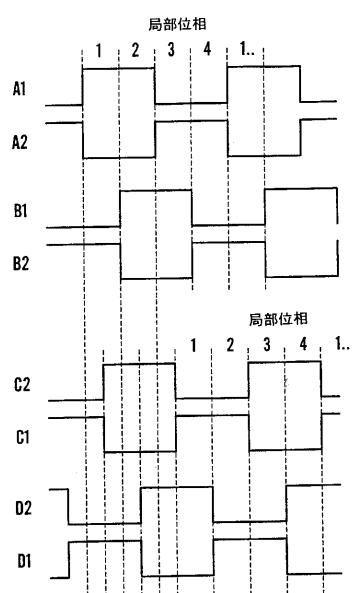


Fig.29a

【図 2 9 b】



【図 3 0】

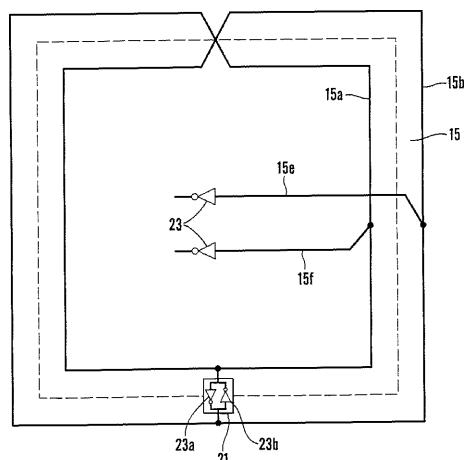


Fig.30

【図31】

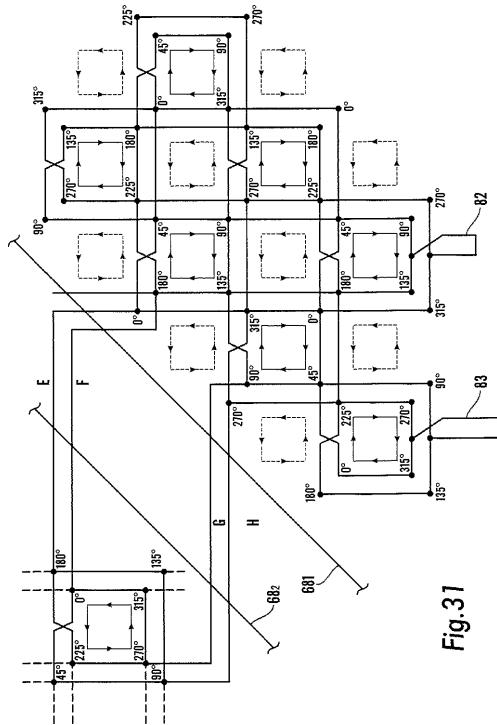


Fig.31

【図32a】

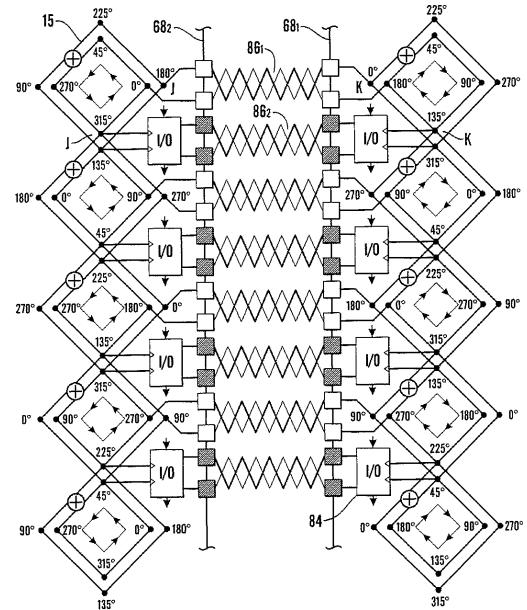
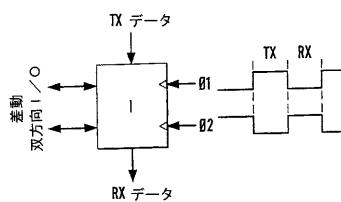
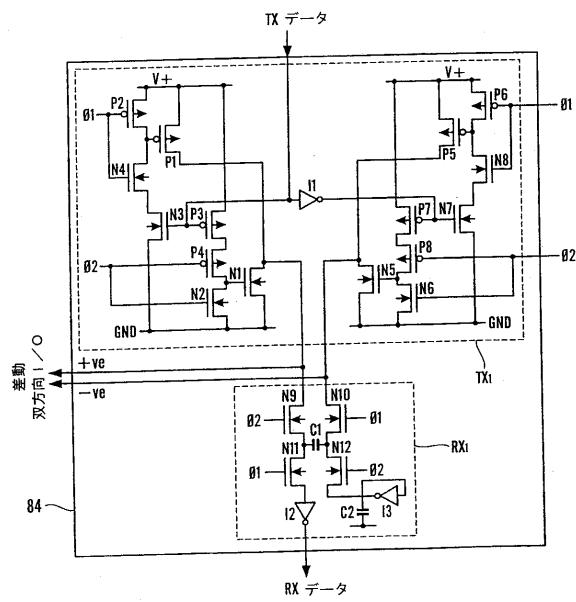


Fig.32a

【図32b】



【図32c】



【図32d】

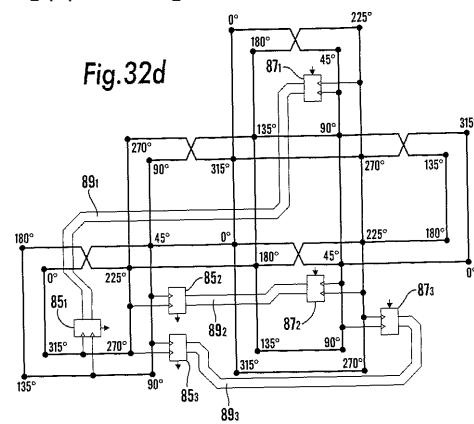
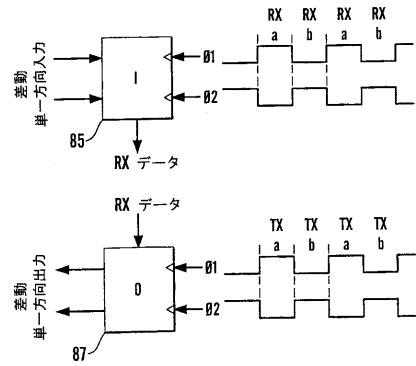


Fig.32d

【図 3 2 e】



【図 3 3】

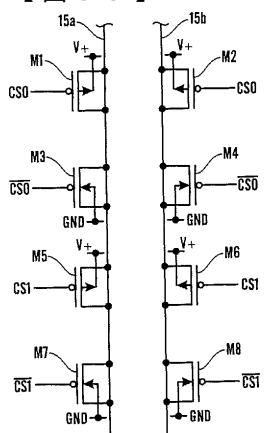


Fig.33

【図 3 4】

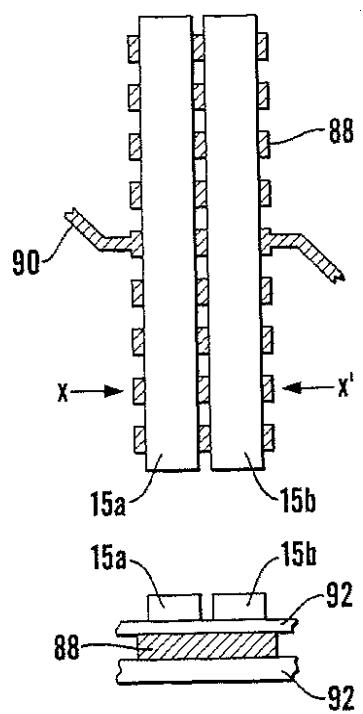


Fig.34

フロントページの続き

(31)優先権主張番号 9902001.8

(32)優先日 平成11年1月30日(1999.1.30)

(33)優先権主張国 英国(GB)

審査官 小林 正明

(56)参考文献 特開平09-128095(JP,A)

特開平05-101205(JP,A)

特表2000-512087(JP,A)

特開平1-141383(JP,A)

特開平1-253935(JP,A)

Dutta, L.S. Hillmann-Ruge, T., 'Application of ring oscillators to characterize transmission lines in VLSI circuits', Packaging, and Manufacturing Technology, Part B: Advanced Packaging, IEEE Transactions on, 米国, 1995年11月, Volume: 18, Issue: 4, On page(s): 651 - 657

(58)調査した分野(Int.Cl., DB名)

G06F 1/10

H03K 3/03

H03B 5/18