(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年1月12日(12.01.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/281969 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 27/06* (2006.01)
H01L 21/336 (2006.01) *H01L 29/861* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/868* (2006.01)

(21) 国際出願番号： PCT/JP2022/023165

(22) 国際出願日： 2022年6月8日(08.06.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-113669 2021年7月8日(08.07.2021) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 清水 雄介 (**SHIMIZU, Yusuke**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

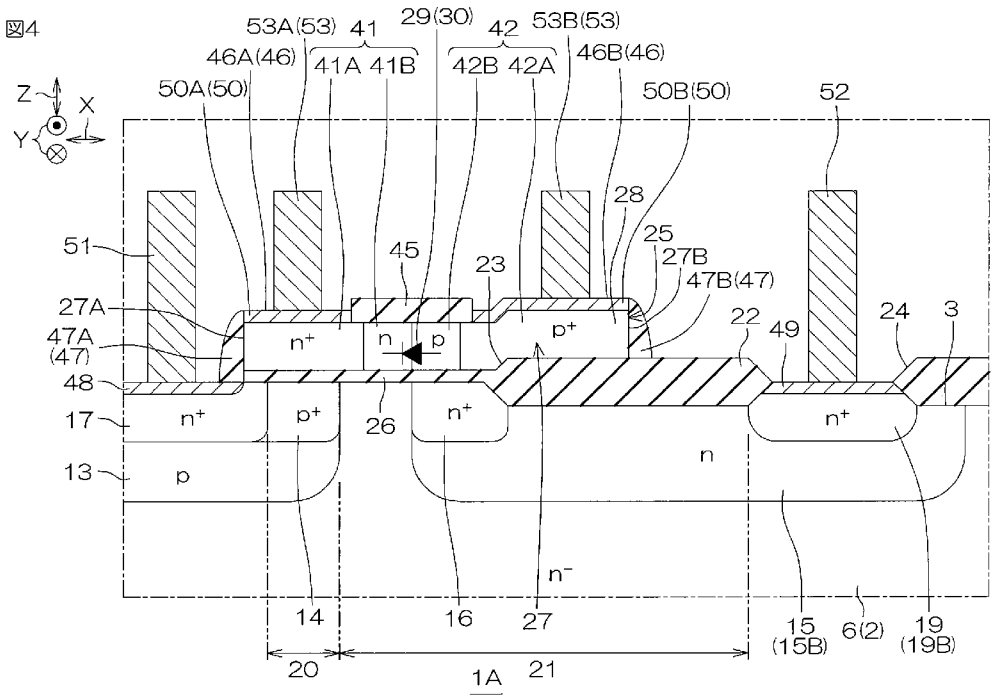
(74) 代理人: 特許業務法人あい特許事務所 (**AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS**); 〒5410054 大阪府大阪市中央区南本町二丁目６番１２号 サンマリオンＮＢＦタワー２１階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

図4



(57) **Abstract:** This semiconductor device comprises: a chip having a main surface; a channel region of a first conductivity type formed in a surface layer part of the main surface; a drift region of a second conductivity type formed in the surface layer part of the main surface so as to be adjacent to the channel region; a gate insulating film covering the channel region and the drift region on the main surface; and a polysilicon gate having a first portion of the second conductivity type facing the channel region with the gate insulating film interposed therebetween, and a second portion of the first conductivity

WO 2023/281969 A1

[続葉有]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

type facing the drift region with the gate insulating film interposed therebetween and forming a pn junction with the first portion.

(57) 要約：半導体装置は、主面を有するチップと、前記主面の表層部に形成された第１導電型のチャネル領域と、前記チャネル領域に隣り合うように前記主面の表層部に形成された第２導電型のドリフト領域と、前記主面の上で前記チャネル領域および前記ドリフト領域を被覆するゲート絶縁膜と、前記ゲート絶縁膜を挟んで前記チャネル領域に対向する第２導電型の第１部分、および、前記ゲート絶縁膜を挟んで前記ドリフト領域に対向し、前記第１部分とｐｎ接合部を形成する第１導電型の第２部分を有するポリシリコンゲートと、を含む。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001]　この出願は、２０２１年７月８日に日本国特許庁に提出された特願２０２１－１１３６６９号に対応しており、この出願の全開示はここに引用により組み込まれる。本開示は、半導体装置に関する。

背景技術

[0002]　特許文献１は、シリコン基板、ドリフト領域、チャネル領域、ゲート絶縁膜およびポリシリコンゲートを含む電界効果トランジスタを開示している。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１５－０２３２０８号公報

発明の概要

発明が解決しようとする課題

[0004]　一実施形態は、電気的特性を向上できる半導体装置を提供する。

課題を解決するための手段

[0005]　一実施形態は、主面を有するチップと、前記主面の表層部に形成された第１導電型のチャネル領域と、前記チャネル領域に隣り合うように前記主面の表層部に形成された第２導電型のドリフト領域と、前記主面の上で前記チャネル領域および前記ドリフト領域を被覆するゲート絶縁膜と、前記ゲート絶縁膜を挟んで前記チャネル領域に対向する第２導電型の第１部分、および、前記ゲート絶縁膜を挟んで前記ドリフト領域に対向し、前記第１部分とｐｎ接合部を形成する第１導電型の第２部分を有するポリシリコンゲートと、を含む、半導体装置を提供する。

[0006]　一実施形態は、主面を有するチップと、前記主面の表層部に形成された第１導電型のチャネル領域と、前記チャネル領域に隣り合うように前記主面の表層部に形成された第２導電型のドリフト領域と、前記主面の上で前記チャ

ネル領域および前記ドリフト領域を被覆するゲート絶縁膜と、前記ゲート絶縁膜を挟んで前記チャネル領域および前記ドリフト領域に対向するように前記ゲート絶縁膜を被覆するポリシリコンゲートと、前記ポリシリコンゲートのうちの前記チャネル領域上に位置する部分から前記ポリシリコンゲートのうちの前記ドリフト領域上に位置する部分へのキャリアの移動を制限するように前記ポリシリコンゲートの内部に形成されたｐｎ接合ダイオードと、を含む、半導体装置を提供する。

[0007] 上述のまたはさらに他の目的、特徴および効果は、添付図面の参照によって説明される実施形態により明らかにされる。

図面の簡単な説明

[0008] [図1]図１は、第１実施形態に係る半導体装置を示す平面図である。

[図2]図２は、図１に示す領域IIの拡大図である。

[図3]図３は、図２に示すIII-III線に沿う断面図である。

[図4]図４は、図３に示す構造の要部拡大図である。

[図5]図５は、第１参考形態に係る半導体装置を示す要部拡大図である。

[図6]図６は、第２参考形態に係る半導体装置を示す要部拡大図である。

[図7]図７は、性能指数を示すグラフである。

[図8]図８は、第２実施形態に係る半導体装置を示す要部拡大図である。

[図9]図９は、第３実施形態に係る半導体装置を示す要部拡大図である。

[図10]図１０は、第４実施形態に係る半導体装置を示す要部拡大図である。

[図11]図１１は、第５実施形態に係る半導体装置を示す要部拡大図である。

発明を実施するための形態

[0009] 以下、添付図面を参照して、実施形態が詳細に説明される。添付図面は、模式図であり、厳密に図示されたものではなく、縮尺等は必ずしも一致しない。また、添付図面の間で対応する構造に同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0010] 図１は、第１実施形態に係る半導体装置１Ａを示す平面図である。図２は

、図１に示す領域IIの拡大図である。図３は、図２に示すIII-III線に沿う断面図である。図４は、図３に示す構造の要部拡大図である。図１～図４を参照して、半導体装置１Ａは、直方体形状のチップ２（半導体チップ）を含む。チップ２は、この形態（this embodiment）では、シリコンチップからなる。チップ２は、一方側の第１主面３、他方側の第２主面４、ならびに、第１主面３および第２主面４を接続する第１～第４側面５Ａ～５Ｄを有している。

[0011] 第１主面３および第２主面４は、それらの法線方向Ｚから見た平面視において四角形状に形成されている。法線方向Ｚは、チップ２の厚さ方向でもある。第１側面５Ａおよび第２側面５Ｂは、第１主面３に沿う第１方向Ｘに沿って延び、第１方向Ｘに交差（具体的には直交）する第２方向Ｙに沿って対向している。第３側面５Ｃおよび第４側面５Ｄは、第２方向Ｙに沿って延び、第１方向Ｘに沿って対向している。

[0012] 半導体装置１Ａは、第１主面３の表層部に形成されたｎ型の第１領域６を含む。第１領域６は、第１主面３に沿って延びる層状に形成され、第１主面３および第１～第４側面５Ａ～５Ｄから露出している。つまり、第１領域６は、第１主面３および第１～第４側面５Ａ～５Ｄの一部を有している。第１領域６のｎ型不純物濃度は、$１\times１０^{14}ｃｍ^{-3}$以上$１\times１０^{16}ｃｍ^{-3}$以下であってもよい。第１領域６の厚さは、１μｍ以上１０μｍ以下であってもよい。第１領域６は、この形態では、ｎ型のエピタキシャル層によって形成されている。

[0013] 半導体装置１Ａは、第２主面４の表層部に形成されたｐ型の第２領域７を含む。第２領域７は、「ベース領域」と称されてもよい。第２領域７は、第２主面４に沿って延びる層状に形成され、第２主面４および第１～第４側面５Ａ～５Ｄから露出している。つまり、第２領域７は、第２主面４および第１～第４側面５Ａ～５Ｄの一部を有している。第２領域７は、チップ２の内部において第１領域６に接続されている。

[0014] 第２領域７は、厚さ方向にほぼ一定のｐ型不純物濃度を有していてもよい

。第２領域７のｐ型不純物濃度は、１×１０^{14}ｃｍ$^{-3}$以上１×１０^{18}ｃｍ$^{-3}$以下であってもよい。第２領域７の厚さは、１００μｍ以上１０００μｍ以下であってもよい。第２領域７の厚さは、第２主面４の研削によって調整される。第２領域７は、この形態では、ｐ型の半導体基板によって形成されている。つまり、チップ２は、半導体基板およびエピタキシャル層を含む積層構造を有している。第２領域７は半導体基板に形成され、第１領域６はエピタキシャル層に形成されている。

[0015] 半導体装置１Ａは、第１領域６に設けられた複数のデバイス領域８を含む。複数のデバイス領域８は、平面視において第１～第４側面５Ａ～５Ｄから間隔を空けて第１主面３の内方部にそれぞれ区画されている。デバイス領域８の個数、配置および形状は任意であり、特定の個数、配置および形状に限定されない。複数のデバイス領域８は、種々の機能デバイスをそれぞれ含む。機能デバイスは、半導体スイッチングデバイス、半導体整流デバイスおよび受動デバイスのうちの少なくとも１つを含んでいてもよい。

[0016] 半導体スイッチングデバイスは、ＢＪＴ（Bipolar Junction Transistor）、ＪＦＥＴ（Junction Field Effect Transistor）、ＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）、および、ＩＧＢＴ（Insulated Gate Bipolar Junction Transistor）のうちの少なくとも１つを含んでいてもよい。半導体整流デバイスは、ｐｎ接合ダイオード２９、ｐｉｎ接合ダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファストリカバリーダイオードのうちの少なくとも１つを含んでいてもよい。受動デバイスは、抵抗、コンデンサ、インダクタおよびヒューズのうちの少なくとも１つを含んでいてもよい。

[0017] 複数のデバイス領域８は、この形態では、少なくとも１つのＭＩＳ領域９を含む（図１の領域II参照）。ＭＩＳ領域９は、少なくとも１つのトランジスタセル１０を含む領域である。以下、ＭＩＳ領域９側の具体的な構造が説明される。

[0018] 図２および図３を参照して、半導体装置１Ａは、第１主面３においてＭＩ

Ｓ領域９を区画する領域分離構造（a region separation structure）の一例としてのｐ型の分離領域１１（a separation region）を含む。分離領域１１は、平面視において第１主面３の一部を取り囲む環状に形成され、所定形状のＭＩＳ領域９を区画している。分離領域１１は、ＭＩＳ領域９を他の領域（デバイス領域８）から電気的に分離させている。

[0019] 分離領域１１は、この形態では、平面視において四角環状（具体的には、第２方向Ｙに延びる長方形環状）に形成され、内縁によって四角形状（具体的には、第２方向Ｙに延びる長方形状）のＭＩＳ領域９を区画している。分離領域１１の平面形状（ＭＩＳ領域９の平面形状）は、任意である。分離領域１１は、第１領域６を横切るように第１主面３から第２領域７に向けて壁状に延び、第２領域７に電気的に接続されている。

[0020] 分離領域１１は、この形態では、第１層１１Ａおよび第２層１１Ｂを含む積層構造を有している。第１層１１Ａは、第１領域６および第２領域７の間の境界部に形成されている。第１層１１Ａは、法線方向Ｚに関して第１主面３および第２主面４から間隔を空けて形成され、第１領域６および第２領域７に電気的に接続されている。第１層１１Ａは、第２領域７よりも高いｐ型不純物濃度を有している。

[0021] 第２層１１Ｂは、第１領域６において第１主面３および第１層１１Ａの間の領域に形成され、第１層１１Ａに電気的に接続されている。第２層１１Ｂは、第１層１１Ａのｐ型不純物濃度以下のｐ型不純物濃度を有していてもよい。この形態では、１つの第２層１１Ｂが形成されているが、第１層１１Ａに電気的に接続される限り、第２層１１Ｂの個数（積層数）は任意である。

[0022] したがって、複数の第２層１１Ｂが、第１主面３および第１層１１Ａの間の領域に積層されていてもよい。むろん、分離領域１１は、ＭＩＳ領域９を区画できる限り必ずしも第１層１１Ａおよび第２層１１Ｂを含む積層構造を有している必要はなく、単一の第２層１１Ｂからなる単層構造を有していてもよい。

[0023] 半導体装置１Ａは、ＭＩＳ領域９において第１領域６の底部を横切るよう

にチップ２の内部に形成されたｎ型の埋設領域１２を含む。具体的には、埋設領域１２は、第１領域６および第２領域７の境界部に形成されている。埋設領域１２は、第１領域６よりも高いｎ型不純物濃度を有している。埋設領域１２のｎ型不純物濃度は、１×１０^{17}ｃｍ$^{-3}$以上１×１０^{19}ｃｍ$^{-3}$以下であってもよい。

[0024] 埋設領域１２は、法線方向Ｚに関して第１主面３および第２主面４から間隔を空けて形成され、第１領域６および第２領域７に電気的に接続されている。埋設領域１２は、分離領域１１の内縁からＭＩＳ領域９の内方に間隔を空けて形成され、ＭＩＳ領域９の周縁部において第２領域７の一部を露出させている。埋設領域１２は、この形態では、平面視において分離領域１１の内縁に沿う四角形状（具体的には、第２方向Ｙに延びる長方形状）に形成されている。

[0025] 半導体装置１Ａは、ＭＩＳ領域９において第１領域６の表層部に形成されたｐ型のボディ領域１３を含む。ボディ領域１３は、第１領域６のｎ型不純物濃度よりも高いｐ型不純物濃度を有している。ボディ領域１３のｐ型不純物濃度は、１×１０^{16}ｃｍ$^{-3}$以上１×１０^{18}ｃｍ$^{-3}$以下であってもよい。

[0026] ボディ領域１３は、平面視において分離領域１１から内方に間隔を空けて形成されている。具体的には、ボディ領域１３は、平面視において埋設領域１２の周縁から内方に間隔を空けて埋設領域１２の周縁によって取り囲まれた領域内に形成されている。つまり、ボディ領域１３の全域は、平面視において埋設領域１２に対向している。

[0027] ボディ領域１３は、この形態では、平面視において第２方向Ｙに延びる帯状に形成されている。ボディ領域１３は、第２方向Ｙに関して、外方に向かって円弧状に湾曲した両端部を有している。ボディ領域１３は、法線方向Ｚに関して第１領域６の底部（具体的には埋設領域１２）から第１主面３側に間隔を空けて形成されている。

[0028] 半導体装置１Ａは、この形態では、ボディ領域１３の表層部に形成されたｐ型の高濃度ボディ領域１４を含む。高濃度ボディ領域１４は、ボディ領域

１３よりも高いｐ型不純物濃度を有している。高濃度ボディ領域１４は、ボディ領域１３の表層部においてｐ型不純物濃度が高まる領域であり、ボディ領域１３の一部を形成している。

[0029] 高濃度ボディ領域１４のｐ型不純物濃度は、$1\times10^{16}cm^{-3}$以上$1\times10^{18}cm^{-3}$以下であってもよい。高濃度ボディ領域１４は、ボディ領域１３の底部から第１主面３側に間隔を空けてボディ領域１３の表層部に形成され、ボディ領域１３の一部を挟んで第１領域６に対向している。

[0030] 半導体装置１Ａは、ＭＩＳ領域９においてボディ領域１３から間隔を空けて第１領域６の表層部に形成された少なくとも１つ（この形態では１つ）のｎ型のウェル領域１５を含む。ウェル領域１５は、第１領域６よりも高いｎ型不純物濃度を有している。ウェル領域１５のｎ型不純物濃度は、$1\times10^{15}cm^{-3}$以上$1\times10^{17}cm^{-3}$以下であってもよい。

[0031] ウェル領域１５は、平面視において分離領域１１から内方に間隔を空けて形成されている。具体的には、ウェル領域１５は、平面視において埋設領域１２の周縁から間隔を空けて埋設領域１２の周縁によって取り囲まれた領域内に形成されている。つまり、ウェル領域１５の全域は、平面視において埋設領域１２に対向している。ウェル領域１５は、この形態では、平面視においてボディ領域１３を取り囲む環状に形成されている。

[0032] ウェル領域１５の内縁は、平面視において長円形状または四角形状（具体的に長方形状）に形成されていてもよい。ウェル領域１５の外縁は、平面視において長円形状または四角形状（具体的に長方形状）に形成されていてもよい。ウェル領域１５の外縁の平面形状は、必ずしもウェル領域１５の内縁の平面形状に一致している必要はない。

[0033] ウェル領域１５は、第１～第４ウェル部分１５Ａ～１５Ｄを一体的に含む。第１ウェル部分１５Ａは、ボディ領域１３から第１方向Ｘの一方側（第３側面５Ｃ側）に間隔を空けて配置され、平面視において第２方向Ｙに延びる帯状に形成されている。第２ウェル部分１５Ｂは、ボディ領域１３から第１方向Ｘの他方側（第４側面５Ｄ側）に間隔を空けて配置され、平面視におい

て第２方向Ｙに延びる帯状に形成されている。第２ウェル部分１５Ｂは、ボディ領域１３を挟んで第１ウェル部分１５Ａに対向している。

[0034] 第３ウェル部分１５Ｃは、ボディ領域１３から第２方向Ｙの一方側（第１側面５Ａ側）に間隔を空けて配置され、平面視において第１方向Ｘに延びる帯状に形成されている。第３ウェル部分１５Ｃは、第１～第２ウェル部分１５Ａ～１５Ｂの一端部に接続されている。

[0035] 第４ウェル部分１５Ｄは、ボディ領域１３から第２方向Ｙの他方側（第２側面５Ｂ側）に間隔を空けて配置され、平面視において第１方向Ｘに延びる帯状に形成されている。第４ウェル部分１５Ｄは、ボディ領域１３を挟んで第３ウェル部分１５Ｃに対向している。第４ウェル部分１５Ｄは、第１～第２ウェル部分１５Ａ～１５Ｂの他端部に接続されている。

[0036] 半導体装置１Ａは、この形態では、ウェル領域１５の表層部に選択的に形成されたｎ型の高濃度ウェル領域１６を含む。高濃度ウェル領域１６は、ウェル領域１５よりも高いｎ型不純物濃度を有している。高濃度ウェル領域１６は、ウェル領域１５の表層部においてｎ型不純物濃度が高まる領域であり、ウェル領域１５の一部を形成している。

[0037] 高濃度ウェル領域１６のｎ型不純物濃度は、$1\times10^{15}cm^{-3}$以上$1\times10^{17}cm^{-3}$以下であってもよい。高濃度ウェル領域１６は、ウェル領域１５の底部から第１主面３側に間隔を空けてウェル領域１５の表層部に形成され、ウェル領域１５の一部を挟んで第１領域６に対向している。

[0038] 高濃度ウェル領域１６は、この形態では、ウェル領域１５の内縁側（ボディ領域１３側の周縁）の表層部に導入され、ウェル領域１５の外縁側（分離領域１１側の周縁）の表層部には導入されていない。むろん、高濃度ウェル領域１６は、ウェル領域１５の外縁側（分離領域１１側の周縁）の表層部に導入されていてもよい。また、高濃度ウェル領域１６は、ウェル領域１５の表層部の全域に導入されていてもよい。

[0039] 半導体装置１Ａは、ＭＩＳ領域９においてボディ領域１３の表層部に形成された少なくとも１つ（この形態では複数）のｎ型のソース領域１７を含む

。ソース領域１７は、第１領域６よりも高いｎ型不純物濃度を有している。各ソース領域１７のｎ型不純物濃度は、この形態では、ウェル領域１５よりも高い。各ソース領域１７のｎ型不純物濃度は、高濃度ウェル領域１６よりも高いことが好ましい。各ソース領域１７のｎ型不純物濃度は、１×１０^{19}ｃｍ$^{-3}$以上１×１０^{21}ｃｍ$^{-3}$以下であってもよい。

[0040] 複数のソース領域１７は、平面視においてボディ領域１３の周縁から内方に間隔を空けてそれぞれ形成され、第２方向Ｙに間隔を空けて配列されている。複数のソース領域１７の平面形状は任意であり、四角形状、六角形状または円形状に形成されていてもよい。複数のソース領域１７は、法線方向Ｚに関してボディ領域１３の底部から第１主面３側に間隔を空けて形成され、ボディ領域１３の一部を挟んで第２領域７に対向している。

[0041] 複数のソース領域１７は、高濃度ボディ領域１４よりも深く形成されていてもよいし、高濃度ボディ領域１４よりも浅く形成されていてもよい。複数のソース領域１７は、第１方向Ｘに関して、高濃度ボディ領域１４に電気的に接続され、高濃度ボディ領域１４の一部または全部を挟んで第２領域７に対向している。

[0042] 半導体装置１Ａは、ＭＩＳ領域９においてボディ領域１３の表層部に形成された少なくとも１つ（この形態では複数）のｐ型のコンタクト領域１８を含む。各コンタクト領域１８は、ボディ領域１３よりも高いｐ型不純物濃度を有している。各コンタクト領域１８のｐ型不純物濃度は、高濃度ボディ領域１４よりも高い。各コンタクト領域１８のｐ型不純物濃度は、１×１０^{19}ｃｍ$^{-3}$以上１×１０^{21}ｃｍ$^{-3}$以下であってもよい。

[0043] 複数のコンタクト領域１８は、平面視において複数のソース領域１７に接続されるようにボディ領域１３の周縁から内方に間隔を空けてそれぞれ形成され、第２方向Ｙに間隔を空けて配列されている。具体的には、複数のコンタクト領域１８は、１つのソース領域１７を挟み込むように、第２方向Ｙに沿って複数のソース領域１７と交互に配列されている。複数のコンタクト領域１８の平面形状は任意であり、四角形状、六角形状または円形状に形成さ

れていてもよい。

[0044] 複数のコンタクト領域１８は、法線方向Ｚに関してボディ領域１３の底部から第１主面３側に間隔を空けて形成され、ボディ領域１３の一部を挟んで第２領域７に対向している。複数のコンタクト領域１８は、高濃度ボディ領域１４よりも深く形成されていてもよいし、高濃度ボディ領域１４よりも浅く形成されていてもよい。複数のコンタクト領域１８は、第１方向Ｘに関して、高濃度ボディ領域１４に電気的に接続され、高濃度ボディ領域１４の一部または全部を挟んで第２領域７に対向している。

[0045] 半導体装置１Ａは、ＭＩＳ領域９においてウェル領域１５の表層部に形成された少なくとも１つ（この形態では２つ）のｎ型のドレイン領域１９を含む。各ドレイン領域１９は、ウェル領域１５よりも高いｎ型不純物濃度を有している。各ドレイン領域１９のｎ型不純物濃度は、高濃度ウェル領域１６よりも高いことが好ましい。各ドレイン領域１９のｎ型不純物濃度は、$1\times10^{19}cm^{-3}$以上$1\times10^{21}cm^{-3}$以下であってもよい。各ドレイン領域１９のｎ型不純物濃度は、ソース領域１７のｎ型不純物濃度とほぼ等しいことが好ましい。

[0046] 複数のドレイン領域１９は、平面視においてウェル領域１５の周縁から内方に間隔を空けて形成されている。具体的には、複数のドレイン領域１９は、高濃度ウェル領域１６からウェル領域１５の外縁側に間隔を空けてウェル領域１５の表層部に形成されている。複数のドレイン領域１９は、厚さ方向に関して、ボディ領域１３の底部から第１主面３側に間隔を空けて形成され、ウェル領域１５の一部を挟んで第１領域６に対向している。

[0047] 複数のドレイン領域１９は、この形態では、第１ドレイン領域１９Ａおよび第２ドレイン領域１９Ｂを含む。第１ドレイン領域１９Ａは、第１ウェル部分１５Ａの表層部に配置され、平面視において第２方向Ｙに延びる帯状に形成されている。第２ドレイン領域１９Ｂは、第２ウェル部分１５Ｂの表層部に配置され、平面視において第２方向Ｙに延びる帯状に形成されている。ドレイン領域１９は、この形態では、第３～第４ウェル部分１５Ｃ～１５Ｄ

には形成されていない。

[0048] 半導体装置１Ａは、ＭＩＳ領域９において第１主面３の表層部に形成されたｐ型のチャネル領域２０を含む。チャネル領域２０は、ドレイン／ソース電流の導通および非導通が制御される領域である。チャネル領域２０は、ソース領域１７およびドレイン領域１９の間においてソース領域１７側の領域に形成される。具体的には、チャネル領域２０は、ボディ領域１３（高濃度ボディ領域１４）の表層部において第１領域６および複数のソース領域１７の間の領域に形成される。

[0049] 半導体装置１Ａは、ＭＩＳ領域９においてチャネル領域２０に隣り合うように第１主面３の表層部に形成されたｎ型のドリフト領域２１を含む。ドリフト領域２１は、ドレイン／ソース電流の電流経路となる領域である。ドリフト領域２１は、ソース領域１７およびドレイン領域１９の間においてドレイン領域１９側の領域に形成される。具体的には、ドリフト領域２１は、ボディ領域１３（高濃度ボディ領域１４）およびドレイン領域１９の間の領域において第１領域６およびウェル領域１５に形成される。

[0050] 半導体装置１Ａは、第１主面３の上においてドリフト領域２１を選択的に被覆するフィールド絶縁膜２２を含む。フィールド絶縁膜２２は、酸化シリコン膜を含むことが好ましい。具体的には、フィールド絶縁膜２２は、平面視においてウェル領域１５の内外を選択的に被覆し、複数のソース領域１７を露出させる第１開口２３、および、複数のドレイン領域１９を露出させる複数の第２開口２４を含む。

[0051] 具体的には、第１開口２３は、ウェル領域１５の内縁（高濃度ウェル領域１６）上に位置する壁部を有し、ウェル領域１５の内縁（高濃度ウェル領域１６）、第１領域６、ボディ領域１３（高濃度ボディ領域１４）、複数のソース領域１７および複数のコンタクト領域１８を露出させている。具体的には、複数の第２開口２４は、対応するドレイン領域１９の周縁部上に位置する壁部をそれぞれ有し、一対一の対応関係で対応するドレイン領域１９をそれぞれ露出させている。

[0052] 半導体装置１Ａは、ＭＩＳ領域９においてチャネル領域２０およびドリフト領域２１を被覆するように第１主面３の上に形成されたプレーナゲート構造２５を含む。プレーナゲート構造２５は、チャネル領域２０の反転および非反転を制御するように構成されている。

[0053] 具体的には、プレーナゲート構造２５は、ゲート絶縁膜２６およびポリゲート２７（poly-gate）を含む積層構造を有している。ゲート絶縁膜２６は、酸化シリコン膜を含むことが好ましい。ポリゲート２７は、導電性ポリシリコンを含むゲート電極である。ポリゲート２７は、「ポリシリコンゲート」と称されてもよい。

[0054] ゲート絶縁膜２６は、フィールド絶縁膜２２の厚さ未満の厚さを有している。ゲート絶縁膜２６は、フィールド絶縁膜２２の第１開口２３内においてチャネル領域２０およびドリフト領域２１を被覆し、フィールド絶縁膜２２に連なっている。具体的には、ゲート絶縁膜２６は、ウェル領域１５の内縁（高濃度ウェル領域１６）、第１領域６、ボディ領域１３（高濃度ボディ領域１４）、複数のソース領域１７および複数のコンタクト領域１８を被覆している。ゲート絶縁膜２６は、この形態では、平面視においてボディ領域１３の内方部を取り囲む環状に形成されている。

[0055] ポリゲート２７は、ゲート絶縁膜２６の上に形成され、ゲート絶縁膜２６を挟んでチャネル領域２０およびドリフト領域２１に対向している。具体的には、ポリゲート２７は、ゲート絶縁膜２６を挟んでウェル領域１５の内縁（高濃度ウェル領域１６）、第１領域６、ボディ領域１３（高濃度ボディ領域１４）、複数のソース領域１７および複数のコンタクト領域１８に対向している。ポリゲート２７は、この形態では、平面視においてボディ領域１３の内方部を取り囲む環状に形成されている。

[0056] ポリゲート２７は、ボディ領域１３側の内壁２７Ａ、および、ウェル領域１５側の外壁２７Ｂを有している。内壁２７Ａは、ボディ領域１３の上に配置されている。内壁２７Ａは、ボディ領域１３の周縁に沿って延びる長円形状または長方形状に形成されていてもよい。内壁２７Ａは、ボディ領域１３

の内方部側において複数のソース領域１７および複数のコンタクト領域１８を露出させる開口を区画している。

[0057] 外壁２７Ｂは、ウェル領域１５の上に配置されている。外壁２７Ｂは、この形態では、平面視においてウェル領域１５の内縁および複数のドレイン領域１９の間の領域に配置されている。外壁２７Ｂは、高濃度ウェル領域１６および複数のドレイン領域１９の間の領域に配置されていることが好ましい。外壁２７Ｂは、ウェル領域１５の外縁（内縁）に沿って延びる長円形状または長方形状に形成されていてもよい。外壁２７Ｂの平面形状は、必ずしも内壁２７Ａの平面形状と一致している必要はない。

[0058] ポリゲート２７は、この形態では、ゲート絶縁膜２６の上からフィールド絶縁膜２２の上に引き出された引き出し部２８を含む。引き出し部２８は、外壁２７Ｂを形成している。つまり、ポリゲート２７の外壁２７Ｂは、フィールド絶縁膜２２の上に配置されている。引き出し部２８は、平面視において複数のドレイン領域１９側からウェル領域１５の内縁側に間隔を空けて形成され、フィールド絶縁膜２２を挟んでドリフト領域２１（ウェル領域１５）に対向している。引き出し部２８は、複数のドレイン領域１９に対向していない。

[0059] 半導体装置１Ａは、ポリゲート２７（ゲート電極のポリシリコン）の内部に形成されたｐｎ接合ダイオード２９を含む。ｐｎ接合ダイオード２９は、ポリゲート２７の構成要素とみなされてもよい。ｐｎ接合ダイオード２９は、ポリゲート２７の内壁２７Ａおよび外壁２７Ｂの間にｐｎ接合部３０（障壁）を有し、内壁２７Ａ（ソース領域１７）側から外壁２７Ｂ（ドレイン領域１９）側に向かうキャリアの移動を制限するように構成されている。

[0060] 具体的には、ｐｎ接合ダイオード２９は、ポリゲート２７のうちのチャネル領域２０上に位置する部分からポリゲート２７のうちのドリフト領域２１上に位置する部分へのキャリアの移動を制限するように構成されている。換言すると、ｐｎ接合ダイオード２９は、ポリゲート２７に関して、チャネル領域２０上に位置する部分をドリフト領域２１上に位置する部分から電気的

に分離している。

[0061] ｐｎ接合ダイオード２９は、ポリゲート２７の内部において内壁２７Ａおよび外壁２７Ｂの間の電位差がｐｎ接合部３０の順方向閾値電圧Ｖｄｔｈ未満になるように構成されている。具体的には、ｐｎ接合ダイオード２９は、ポリゲート２７内に形成されたｐ型の第１極性部分４１（第１部分）およびｎ型の第２極性部分４２（第２部分）を含む。

[0062] 第１極性部分４１および第２極性部分４２は、いずれもポリゲート２７の構成要素とみなされてもよい。第１極性部分４１は、ゲート絶縁膜２６を挟んでチャネル領域２０に対向している。第２極性部分４２は、ゲート絶縁膜２６を挟んでドリフト領域２１に対向し、ポリゲート２７内において第１極性部分４１とｐｎ接合部３０を形成している。

[0063] つまり、ｐｎ接合ダイオード２９は、ｐ型のチャネル領域２０の上に当該チャネル領域２０とは反対極性のｎ型の第１極性部分４１を有し、ｎ型のドリフト領域２１の上に当該ドリフト領域２１とは反対極性のｐ型の第２極性部分４２を有している。第１極性部分４１には第１電位Ｖ１（ここではカソード電位）が付与され、第２極性部分４２には第１電位Ｖ１とは異なる第２電位Ｖ２（ここではアノード電位）が付与される。

[0064] この形態では、第１極性部分４１に第１電位Ｖ１としてのゲート電位Ｖｇ（Ｖ１＝Ｖｇ）が付与される。一方、第２極性部分４２にはゲート電位Ｖｇ以外の電位（Ｖ２≠Ｖｇ）が付与される。つまり、第１極性部分４１は、ポリゲート２７内においてチャネル領域２０を制御する主たるゲート電極として機能する。

[0065] 第１極性部分４１および第２極性部分４２の間には、所定の電位差Ｖ１２が付与される。所定の電位差Ｖ１２は、ｐｎ接合ダイオード２９の順方向閾値電圧Ｖｄｔｈ未満の値（Ｖ１２＜Ｖｄｔｈ）に設定される。第２電位Ｖ２としては、フローティング電位、基準電位またはグランド電位が例示される。

[0066] フローティング電位は、電気的に開放された状態において第２極性部分４

２に自然に生じる電位である。つまり、フローティング電位が第２極性部分４２に印加されている状態は、第２極性部分４２が電気的にフローティング状態に形成されていることを意味する。基準電位は、回路動作の基準となる電位である。基準電位は、グランド電位であってもよいし、グランド電位以外の電位であってもよい。

[0067] ｐｎ接合ダイオード２９では、このような構造によって、第１極性部分４１から第２極性部分４２へのキャリアの移動が制限されている。ｐ型のチャネル領域２０に対するｎ型の第１極性部分４１の対向面積が増加すると、ポリゲート２７のゲート閾値電圧Ｖｇｔｈが低下する。

[0068] 一方、ｐ型のチャネル領域２０に対するｐ型の第２極性部分４２の対向面積が増加すると、ポリゲート２７の内部の仕事関数が変動し、ゲート閾値電圧Ｖｇｔｈが増加する。したがって、ゲート閾値電圧Ｖｇｔｈは、第１極性部分４１および第２極性部分４２のレイアウトの調整によって調整できる。一般的には、ゲート閾値電圧Ｖｇｔｈが低いことが好ましい。

[0069] この形態では、第１極性部分４１は、チャネル領域２０の上からドリフト領域２１の上に引き出され、ゲート絶縁膜２６を挟んでチャネル領域２０およびドリフト領域２１に対向している。第１極性部分４１は、ゲート絶縁膜２６の上のみに形成されている。第１極性部分４１は、この形態では、平面視においてポリゲート２７の内壁２７Ａに沿って延びる環状に形成されている。

[0070] 第１極性部分４１は、ポリゲート２７の内壁２７Ａから露出している。第１極性部分４１の外縁は、平面視において長円形状または四角形状（具体的に長方形状）に形成されていてもよい。第１極性部分４１の外縁の平面形状は、必ずしも第１極性部分４１の内縁の平面形状と一致している必要はない。

[0071] 一方、第２極性部分４２は、この形態では、平面視においてチャネル領域２０外の領域に形成され、ゲート絶縁膜２６を挟んでドリフト領域２１に対向している。第２極性部分４２は、さらに、ゲート絶縁膜２６の上からフィ

ールド絶縁膜２２の上に引き出され、ゲート絶縁膜２６およびフィールド絶縁膜２２を挟んでドリフト領域２１に対向している。第２極性部分４２は、ゲート絶縁膜２６を挟んでチャネル領域２０には対向していない。

[0072] 第２極性部分４２は、この形態では、平面視において第１極性部分４１に沿って延びる環状に形成されている。第２極性部分４２は、ポリゲート２７の外壁２７Ｂから露出している。第２極性部分４２の内縁は、第１極性部分４１の外縁の平面形状に応じて調節され、平面視において長円形状または四角形状（具体的に長方形状）に形成されていてもよい。第２極性部分４２の外縁の平面形状は、必ずしも第２極性部分４２の内縁の平面形状と一致している必要はない。

[0073] 第２極性部分４２は、第１極性部分４１との間において、平面視において環状に延びるｐｎ接合部３０を形成している。ｐｎ接合部３０は、この形態では、平面視においてボディ領域１３外の領域に形成され、ボディ領域１３を取り囲んでいる。ｐｎ接合部３０は、平面視においてボディ領域１３の周縁およびゲート絶縁膜２６の外縁部（フィールド絶縁膜２２の内壁部）の間の領域に位置していることが好ましい。

[0074] ｐｎ接合部３０は、この形態では、ボディ領域１３を挟んでドリフト領域２１に対向し、チャネル領域２０には対向していない。ｐｎ接合部３０は、ゲート絶縁膜２６を挟んで第１領域６に対向していてもよいし、ゲート絶縁膜２６を挟んでウェル領域１５（高濃度ウェル領域１６）に対向していてもよい。

[0075] むろん、ｐｎ接合部３０は、フィールド絶縁膜２２の上に配置されていてもよい。ただし、この場合、第１極性部分４１の体積が増加し、第１極性部分４１に対するキャリアの充電速度（トランジスタの応答速度）が低下する。したがって、ｐｎ接合部３０は、ゲート絶縁膜２６の上に位置していることが好ましい。

[0076] 第１極性部分４１は、この形態では、ポリゲート２７の内壁２７Ａ側から外壁２７Ｂ側に向けてｎ型不純物濃度が低下する濃度勾配を有している。具

体的には、第１極性部分４１は、ｎ型の第１高濃度部４１Ａおよびｎ型の第１低濃度部４１Ｂを含む。第１高濃度部４１Ａは、比較的高いｎ型不純物濃度を有し、ポリゲート２７の内壁２７Ａ側に形成されている。

[0077] 第１高濃度部４１Ａは、平面視においてポリゲート２７の内壁２７Ａに沿って延びる環状に形成されている。第１高濃度部４１Ａの外縁は、平面視において長円形状または四角形状（具体的に長方形状）に形成されていてもよい。第１高濃度部４１Ａは、チャネル領域２０の上からドリフト領域２１の上に引き出され、ゲート絶縁膜２６を挟んでチャネル領域２０およびドリフト領域２１に対向していることが好ましい。第１高濃度部４１Ａは、ゲート絶縁膜２６を挟んで第１領域６およびボディ領域１３（高濃度ボディ領域１４）に対向していることが好ましい。

[0078] 第１低濃度部４１Ｂは、第１高濃度部４１Ａよりも低いｎ型不純物濃度を有し、第１高濃度部４１Ａに対してポリゲート２７の外壁２７Ｂ側に形成されている。第１低濃度部４１Ｂは、平面視において第１高濃度部４１Ａに沿って延びる環状に形成されている。第１低濃度部４１Ｂの外縁は、平面視において長円形状または四角形状（具体的に長方形状）に形成されていてもよい。第１低濃度部４１Ｂの外縁の平面形状は、必ずしも第２極性部分４２の内縁の平面形状と一致している必要はない。

[0079] 第１低濃度部４１Ｂは、ゲート絶縁膜２６の上に位置し、ゲート絶縁膜２６を挟んでドリフト領域２１に対向していることが好ましい。第１低濃度部４１Ｂは、平面視においてボディ領域１３の周縁およびゲート絶縁膜２６の外縁部（フィールド絶縁膜２２の内壁部）の間の領域に位置していることが好ましい。第１低濃度部４１Ｂは、ゲート絶縁膜２６を挟んで第１領域６およびウェル領域１５（高濃度ウェル領域１６）のうちの少なくとも一方に対向していることが好ましい。

[0080] 第１低濃度部４１Ｂは、平面視において第１高濃度部４１Ａの幅以下（好ましくは、第１高濃度部４１Ａの幅未満）の幅を有していることが好ましい。第１高濃度部４１Ａの幅および第１低濃度部４１Ｂの幅は、平面視におい

てそれらが延びる方向に直交する方向の幅である。ポリゲート２７（第１極性部分４１）内に占める第１低濃度部４１Ｂの平面積（体積）は、ポリゲート２７（第１極性部分４１）内に占める第１高濃度部４１Ａの平面積（体積）未満であることが好ましい。

[0081] 第１高濃度部４１Ａのｎ型不純物濃度は、１×１０^{19}ｃｍ$^{-3}$以上１×１０^{21}ｃｍ$^{-3}$以下であってもよい。第１低濃度部４１Ｂのｎ型不純物濃度は、１×１０^{16}ｃｍ$^{-3}$以上１×１０^{18}ｃｍ$^{-3}$以下であってもよい。第１極性部分４１（第１高濃度部４１Ａ）は、ソース領域１７のｎ型不純物（５価元素）と同一種のｎ型不純物（５価元素）を含んでいてもよい。また、第１極性部分４１（第１高濃度部４１Ａ）は、ソース領域１７のｎ型不純物濃度とほぼ等しいｎ型不純物濃度を有していてもよい。この構造によれば、ソース領域１７の形成工程を利用して、第１極性部分４１を形成できる。

[0082] 第２極性部分４２は、この形態では、ポリゲート２７の外壁２７Ｂ側から内壁２７Ａ側に向けてｐ型不純物濃度が低下する濃度勾配を有している。具体的には、第２極性部分４２は、ｐ型の第２高濃度部４２Ａおよびｐ型の第２低濃度部４２Ｂを含む。第２高濃度部４２Ａは、比較的高いｐ型不純物濃度を有し、ポリゲート２７の外壁２７Ｂ側に形成されている。第２高濃度部４２Ａは、平面視においてポリゲート２７の外壁２７Ｂに沿って延びる環状に形成されている。第２高濃度部４２Ａの内縁は、平面視において長円形状または四角形状（具体的に長方形状）に形成されていてもよい。

[0083] 第２高濃度部４２Ａは、ゲート絶縁膜２６の上からフィールド絶縁膜２２の上に引き出され、ゲート絶縁膜２６およびフィールド絶縁膜２２を挟んでドリフト領域２１に対向していることが好ましい。第２高濃度部４２Ａは、ゲート絶縁膜２６を挟んで高濃度ウェル領域１６に対向し、フィールド絶縁膜２２を挟んでウェル領域１５に対向していることが好ましい。

[0084] 第２低濃度部４２Ｂは、第２高濃度部４２Ａよりも低いｐ型不純物濃度を有し、第２高濃度部４２Ａに対してポリゲート２７の内壁２７Ａ側に形成されている。第２低濃度部４２Ｂは、第１低濃度部４１Ｂおよび第２高濃度部

４２Ａの間に介在され、平面視において第１低濃度部４１Ｂに沿って延びる環状に形成されている。

[0085] 第２低濃度部４２Ｂの内縁は、第１低濃度部４１Ｂの内縁の平面形状に応じて調整され、平面視において長円形状または四角形状（具体的に長方形状）に形成されていてもよい。第２低濃度部４２Ｂの内縁の平面形状は、必ずしも第２高濃度部４２Ａの内縁の平面形状と一致している必要はない。

[0086] 第２低濃度部４２Ｂは、第１低濃度部４１Ｂとｐｎ接合部３０を形成している。第２低濃度部４２Ｂは、ゲート絶縁膜２６の上に位置し、ゲート絶縁膜２６を挟んでドリフト領域２１に対向していることが好ましい。第２低濃度部４２Ｂは、ゲート絶縁膜２６を挟んで第１領域６およびウェル領域１５（高濃度ウェル領域１６）のうちの少なくとも一方に対向していることが好ましい。

[0087] 第２低濃度部４２Ｂは、平面視において第２高濃度部４２Ａの幅以下（好ましくは、第２高濃度部４２Ａの幅未満）の幅を有していることが好ましい。第２高濃度部４２Ａの幅および第２低濃度部４２Ｂの幅は、平面視においてそれらが延びる方向に直交する方向の幅である。ポリゲート２７（第２極性部分４２）内に占める第２低濃度部４２Ｂの平面積（体積）は、ポリゲート２７（第２極性部分４２）内に占める第２高濃度部４２Ａの平面積（体積）未満であることが好ましい。

[0088] 第２高濃度部４２Ａのｎ型不純物濃度は、$１\times１０^{19}ｃｍ^{-3}$以上$１\times１０^{21}ｃｍ^{-3}$以下であってもよい。第２低濃度部４２Ｂのｎ型不純物濃度は、$１\times１０^{16}ｃｍ^{-3}$以上$１\times１０^{18}ｃｍ^{-3}$以下であってもよい。第２極性部分４２（第２高濃度部４２Ａ）は、コンタクト領域１８のｐ型不純物（３価元素）と同一種のｐ型不純物（３価元素）を含んでいてもよい。また、第２極性部分４２（第２高濃度部４２Ａ）は、コンタクト領域１８のｐ型不純物濃度とほぼ等しいｐ型不純物濃度を有していてもよい。この構造によれば、コンタクト領域１８の形成工程を利用して、第２極性部分４２を形成できる。

[0089] 半導体装置１Ａは、ポリゲート２７の主面を選択的に被覆するキャップ絶

縁膜４５を含む。キャップ絶縁膜４５は、酸化シリコンを含むことが好ましい。キャップ絶縁膜４５は、ｐｎ接合部３０を被覆するようにポリゲート２７の主面を選択的に被覆している。つまり、キャップ絶縁膜４５は、第１極性部分４１および第２極性部分４２を被覆している。キャップ絶縁膜４５は、ポリゲート２７の主面におけるｐｎ接合部３０以外の部分を露出させる除去部４６を有している。

[0090] 除去部４６は、この形態では、第１除去部４６Ａおよび第２除去部４６Ｂを含む。第１除去部４６Ａは、第１極性部分４１を露出させている。第１除去部４６Ａは、少なくとも第１高濃度部４１Ａを露出させていることが好ましい。第１除去部４６Ａは、第１高濃度部４１Ａおよび第１低濃度部４１Ｂの双方を露出させていてもよい。第１除去部４６Ａは、平面視において第１極性部分４１に沿って延びる環状に形成されていてもよい。むろん、複数の第１除去部４６Ａが、第１極性部分４１に沿って間隔を空けて形成されていてもよい。

[0091] 第２除去部４６Ｂは、第２極性部分４２を露出させている。第２除去部４６Ｂは、少なくとも第２高濃度部４２Ａを露出させていることが好ましい。第２除去部４６Ｂは、第２高濃度部４２Ａおよび第２低濃度部４２Ｂの双方を露出させていてもよい。第２除去部４６Ｂは、平面視において第２極性部分４２に沿って延びる環状に形成されていてもよい。むろん、複数の第２除去部４６Ｂが、第２極性部分４２に沿って間隔を空けて形成されていてもよい。

[0092] 半導体装置１Ａは、ポリゲート２７の側壁を被覆する側壁絶縁膜４７を含む。側壁絶縁膜４７は、酸化シリコンおよび窒化シリコン膜のいずれか一方または双方を含むことが好ましい。側壁絶縁膜４７は、第１側壁絶縁膜４７Ａおよび第２側壁絶縁膜４７Ｂを含む。第１側壁絶縁膜４７Ａは、ポリゲート２７の内壁２７Ａを被覆している。

[0093] 具体的には、第１側壁絶縁膜４７Ａは、内壁２７Ａから露出する第１極性部分４１（第１高濃度部４１Ａ）を被覆している。第２側壁絶縁膜４７Ｂは

、ポリゲート２７の外壁２７Ｂを被覆している。具体的には、第２側壁絶縁膜４７Ｂは、外壁２７Ｂから露出する第２極性部分４２（第２高濃度部４２Ａ）を被覆している。

[0094] 半導体装置１Ａは、ソース領域１７の表層部に形成されたソースシリサイド４８を含む。ソースシリサイド４８は、ソース領域１７の表層部およびコンタクト領域１８の表層部に位置するシリコンが金属によってシリサイド化された膜状の領域である。ソースシリサイド４８は、ソース領域１７のｎ型不純物（５価元素）およびコンタクト領域１８のｐ型不純物（３価元素）を含む。シリサイドに使用される金属は、チタン、ニッケル、クロム、コバルト、タングステン、モリブテン等であってもよい（以下、同じ）。

[0095] 半導体装置１Ａは、複数のドレイン領域１９の表層部にそれぞれ形成された複数のドレインシリサイド４９を含む。各ドレインシリサイド４９は、各ドレイン領域１９の表層部に位置するシリコンが金属によってシリサイド化された膜状の領域である。各ドレインシリサイド４９は、各ドレイン領域１９のｎ型不純物（５価元素）を含む。

[0096] 半導体装置１Ａは、ポリゲート２７の主面において除去部４６から露出した部分に形成されたゲートシリサイド５０を含む。ゲートシリサイド５０は、「ゲートポリサイド」と称されてもよい。具体的には、ゲートシリサイド５０は、第１ゲートシリサイド５０Ａおよび第２ゲートシリサイド５０Ｂを含む。

[0097] 第１ゲートシリサイド５０Ａは、ポリゲート２７の主面において第１除去部４６Ａから露出した第１極性部分４１（第１高濃度部４１Ａ）に形成されている。第１ゲートシリサイド５０Ａは、第１極性部分４１の表層部のポリシリコンが金属によってポリサイド化（シリサイド化）された膜状の領域である。第１ゲートシリサイド５０Ａは、第１極性部分４１のｎ型不純物（５価元素）を含む。第１ゲートシリサイド５０Ａの主面は、キャップ絶縁膜４５の主面に対してチップ２側（ゲート絶縁膜２６側）に位置していてもよい。

[0098] 第２ゲートシリサイド５０Ｂは、ポリゲート２７の主面において第２除去部４６Ｂから露出した第２極性部分４２（第２高濃度部４２Ａ）に形成されている。第２ゲートシリサイド５０Ｂは、第２極性部分４２の表層部のポリシリコンが金属によってポリサイド化（シリサイド化）された膜状の領域である。

[0099] 第２ゲートシリサイド５０Ｂは、第２極性部分４２のｐ型不純物（３価元素）を含む。第２ゲートシリサイド５０Ｂの主面は、キャップ絶縁膜４５の主面に対してチップ２側（ゲート絶縁膜２６側）に位置する部分を有していてもよい。第２ゲートシリサイド５０Ｂの主面は、フィールド絶縁膜２２上において、キャップ絶縁膜４５の主面よりも上方（チップ２とは反対側）に突出した部分を有していてもよい。

[0100] 半導体装置１Ａは、少なくとも１つのソースコンタクト電極５１を含む。ソースコンタクト電極５１は、第１主面３の上でソースシリサイド４８を介して複数のソース領域１７および複数のコンタクト領域１８に電気的に接続されている。ソースコンタクト電極５１は、ソース領域１７およびコンタクト領域１８にソース電位Ｖｓを付与する。

[0101] 半導体装置１Ａは、複数のドレインコンタクト電極５２を含む。複数のドレインコンタクト電極５２は、第１主面３の上でドレインシリサイド４９を介して複数のドレイン領域１９に電気的に接続されている。ドレインコンタクト電極５２は、ドレイン領域１９にドレイン電位Ｖｄを付与する。

[0102] 半導体装置１Ａは、複数のゲートコンタクト電極５３を含む。複数のゲートコンタクト電極５３は、ポリゲート２７の上に配置され、ゲートシリサイド５０を介してポリゲート２７に電気的に接続されている。具体的には、複数のゲートコンタクト電極５３は、少なくとも１つ（この形態では複数）の第１ゲートコンタクト電極５３Ａ、および、少なくとも１つ（この形態では複数）の第２ゲートコンタクト電極５３Ｂを含む。

[0103] 第１ゲートコンタクト電極５３Ａは、第１ゲートシリサイド５０Ａを介して第１極性部分４１に電気的に接続されている。第１ゲートコンタクト電極

５３Ａは、第１極性部分４１に第１電位Ｖ１（ゲート電位Ｖｇ）を付与する。複数の第１ゲートコンタクト電極５３Ａは、第１極性部分４１において第２方向Ｙの両端部に位置する部分にそれぞれ接続されていてもよい。複数の第１ゲートコンタクト電極５３Ａは、第１高濃度部４１Ａに接続されていることが好ましい。

[0104] 第２ゲートコンタクト電極５３Ｂは、第２ゲートシリサイド５０Ｂを介して第２極性部分４２に電気的に接続されている。第２ゲートコンタクト電極５３Ｂは、第２極性部分４２に第１電位Ｖ１とは異なる第２電位Ｖ２を付与する。第２電位Ｖ２としては、前述の通り、フローティング電位、基準電位またはグランド電位が例示される。複数の第２ゲートコンタクト電極５３Ｂは、第２極性部分４２において第２方向Ｙの両端部に位置する部分にそれぞれ接続されていてもよい。複数の第２ゲートコンタクト電極５３Ｂは、第２高濃度部４２Ａに接続されていることが好ましい。

[0105] 上記の通り、トランジスタセル１０は、チャネル領域２０、ドリフト領域２１およびプレーナゲート構造２５を含む。トランジスタセル１０は、オン動作時においてドレイン／ソース電流を流すように構成されている。トランジスタセル１０のオン動作時では、ソース領域１７にソース電位Ｖｓが印加され、ドレイン領域１９にドレイン電位Ｖｄが印加され、ポリゲート２７にゲート電位Ｖｇが印加される。

[0106] 図５は、図４に対応し、第１参考形態に係る半導体装置６１を示す要部拡大図である。図５を参照して、半導体装置６１は、ポリゲート２７に代えて、単一導電型（この形態ではｎ型）のポリゲート６２を含む。半導体装置６１は、ｎ型のポリゲート６２に代えて、ｐ型のポリゲート６２を含んでいてもよい。半導体装置６１は、ポリゲート６２の内部にｐｎ接合ダイオード２９を含まない。

[0107] 図６は、図４に対応し、第２参考形態に係る半導体装置６３を示す要部拡大図である。図６を参照して、半導体装置６３は、半導体装置６１と同様、単一導電型（この形態ではｎ型）のポリゲート６２を含み、ポリゲート６２

の内部にｐｎ接合ダイオード２９を含まない。

[0108] 半導体装置６３は、ｎ型のポリゲート６２に代えて、ｐ型のポリゲート６２を含んでいてもよい。半導体装置６３は、ポリゲート６２を複数の部分に分離するゲート除去部６４を含む。ポリゲート６２は、ゲート除去部６４によって、チャネル領域２０側の第１ポリゲート６２Ａおよびドリフト領域２１側の第２ポリゲート６２Ｂに分離されている。

[0109] 第１ポリゲート６２Ａは、この形態では、ゲート絶縁膜２６の上にのみ配置され、ゲート絶縁膜２６を挟んでチャネル領域２０およびドリフト領域２１に対向している。第２ポリゲート６２Ｂは、この形態では、ゲート絶縁膜２６の上からフィールド絶縁膜２２の上に引き出され、ゲート絶縁膜２６およびフィールド絶縁膜２２を挟んでドリフト領域２１に対向している。キャップ絶縁膜４５は、第１ポリゲート６２Ａおよび第２ポリゲート６２Ｂの間に介在し、第１ポリゲート６２Ａおよび第２ポリゲート６２Ｂを電気的に絶縁している。

[0110] ゲートシリサイド５０は、この形態では、第１ポリゲート６２Ａの主面および第２ポリゲート６２Ｂの主面をそれぞれ被覆している。少なくとも１つのゲートコンタクト電極５３はゲートシリサイド５０を介して第１ポリゲート６２Ａに電気的に接続され、少なくとも１つのゲートコンタクト電極５３はゲートシリサイド５０を介して第２ポリゲート６２Ｂに電気的に接続されている。第１ポリゲート６２Ａにはゲート電位Ｖｇが付与され、第２ポリゲート６２Ｂにはフローティング電位またはソース電位Ｖｓが付与される。

[0111] 図７は、性能指数ＦＯＭ（Figure of Merit）を示すグラフである。図７において、縦軸はトランジスタセル１０の性能指数ＦＯＭ［ａｕ］を示し、横軸はトランジスタセル１０のゲート／ソース電圧Ｖｇｓ［Ｖ］を示している。性能指数ＦＯＭは、オン抵抗Ｒｏｎおよびゲート／ドレイン間の電荷量Ｑｇｄの積（ＦＯＭ＝Ｒｏｎ×Ｑｇｄ）によって定義される。電荷量Ｑｇｄは、ポリゲート６２およびドリフト領域２１の間の電荷量を含む。性能指数ＦＯＭの値が小さいほど、トランジスタセル１０の性能が高いことを意味する

。

[0112] 図７には、第１特性Ｓ１、第２特性Ｓ２および第３特性ＯＭが示されている。第１特性Ｓ１は、第１参考形態に係る半導体装置６１の性能指数ＦＯＭを示している。第２特性Ｓ２は、第２参考形態に係る半導体装置６３の性能指数ＦＯＭを示している。第３特性Ｓ３は、第１実施形態に係る半導体装置１Ａの性能指数ＦＯＭを示している。

[0113] 第１～第３特性Ｓ１～Ｓ３を参照して、半導体装置６３に係る性能指数ＦＯＭは半導体装置６１に係る性能指数ＦＯＭよりも優れ、半導体装置１Ａに係る性能指数ＦＯＭは半導体装置６３に係る性能指数ＦＯＭよりも優れていた。

[0114] 半導体装置６１では、比較的大きい体積を有する単一導電型のポリゲート６２に起因して電荷量Ｑｇｄが大きくなる。一方、半導体装置６３では、ポリゲート６２がゲート除去部６４によってチャネル領域２０側の第１ポリゲート６２Ａおよびドリフト領域２１側の第２ポリゲート６２Ｂに物理的に分離されている。

[0115] ポリゲート６２では、比較的小さい体積を有する第１ポリゲート６２Ａがチャネル領域２０を制御するゲート電極として機能する。そのため、電荷量Ｑｇｄが小さくなる背反としてオン抵抗Ｒｏｎが上昇する。また、ポリゲート６２は、ゲート電圧から電気的に絶縁されたゲート除去部６４を有しているため、ドリフト領域２１においてゲート電圧の印加が不十分な領域が生じる。その結果、ドリフト領域２１において、オン抵抗Ｒｏｎが上昇する領域が生じる。

[0116] これらに対して、半導体装置１Ａでは、ポリゲート２７がｐｎ接合部３０（ｐｎ接合ダイオード２９）によってチャネル領域２０上に位置する部分およびドリフト領域２１上に位置する部分に電気的に分離されている。具体的には、このポリゲート２７は、ゲート絶縁膜２６を挟んでチャネル領域２０に対向する第１極性部分４１、および、ゲート絶縁膜２６を挟んでドリフト領域２１に対向する第２極性部分４２を含む。

[0117] この構造によれば、ｐｎ接合部３０によって、ポリゲート２７のうちのチャネル領域２０上に位置する部分からポリゲート２７のうちのドリフト領域２１上に位置する部分へのキャリアの移動が制限される。これにより、ポリゲート２７のうちゲート電極として機能する部分（つまり第１極性部分４１）がｐｎ接合部３０によって制限されるため、ポリゲート２７の見かけ上の体積を電気的に縮小できる。

[0118] これにより、電荷量ＱｇｄをＱｇｄを低減できる。また、ポリゲート２７は、半導体装置６３に係るポリゲート６２とは異なり、物理的に断絶された部分（ゲート除去部６４）を有していないため、ドリフト領域２１に対してゲート電圧を適度に印加させることができる。これにより、ドリフト領域２１におけるオン抵抗Ｒｏｎの上昇を抑制できる。よって、半導体装置１Ａによれば、半導体装置６１および半導体装置６３と比較して、性能指数ＦＯＭを向上させることができる。

[0119] 以上、第１実施形態の第１局面に係る半導体装置１Ａは、チップ２、ｐ型（第１導電型）のチャネル領域２０、ｎ型（第２導電型）のドリフト領域２１、ゲート絶縁膜２６およびポリゲート２７（ポリシリコンゲート）を含む。チップ２は、第１主面３（主面）を有している。チャネル領域２０は、第１主面３の表層部に形成されている。ドリフト領域２１は、第１主面３の表層部でチャネル領域２０に隣り合うように形成されている。ゲート絶縁膜２６は、第１主面３の上でチャネル領域２０およびドリフト領域２１を被覆している。ポリゲート２７は、ゲート絶縁膜２６の上に配置されている。

[0120] ポリゲート２７は、ｎ型の第１極性部分４１（第１部分）およびｐ型の第２極性部分４２（第２部分）を含む。第１極性部分４１は、ゲート絶縁膜２６を挟んでチャネル領域２０に対向している。第２極性部分４２は、ゲート絶縁膜２６を挟んでドリフト領域２１に対向し、第１極性部分４１とｐｎ接合部３０を形成している。この構造によれば、電気的特性を向上できる半導体装置１Ａを提供できる。

[0121] 第１実施形態の第２局面に係る半導体装置１Ａは、チップ２、ｐ型（第１

導電型）のチャネル領域２０、ｎ型（第２導電型）のドリフト領域２１、ゲート絶縁膜２６、ポリゲート２７（ポリシリコンゲート）およびｐｎ接合ダイオード２９を含む。チップ２は、第１主面３（主面）を有している。チャネル領域２０は、第１主面３の表層部に形成されている。ドリフト領域２１は、第１主面３の表層部でチャネル領域２０に隣り合うように形成されている。ゲート絶縁膜２６は、第１主面３の上でチャネル領域２０およびドリフト領域２１を被覆している。

[0122] ポリゲート２７は、ゲート絶縁膜２６を挟んでチャネル領域２０およびドリフト領域２１に対向するようにゲート絶縁膜２６を被覆している。ｐｎ接合ダイオード２９は、ポリゲート２７の内部に形成されている。ｐｎ接合ダイオード２９は、ポリゲート２７のうちのチャネル領域２０上に位置する部分からポリゲート２７のうちのドリフト領域２１上に位置する部分へのキャリアの移動を制限するように構成されている。この構造によれば、電気的特性を向上できる半導体装置１Ａを提供できる。

[0123] 図８は、図４に対応し、第２実施形態に係る半導体装置１Ｂを示す要部拡大図である。半導体装置１Ｂは、半導体装置１Ａと同様の効果を奏するデバイスである。前述の半導体装置１Ａは、第１高濃度部４１Ａおよび第１低濃度部４１Ｂを有する第１極性部分４１、ならびに、第２高濃度部４２Ａおよび第２低濃度部４２Ｂを有する第２極性部分４２を含む。

[0124] これに対して、半導体装置１Ｂは、一様なｎ不純物濃度を有する第１極性部分４１、および、一様なｐ型不純物濃度を有する第２極性部分４２を含む。第１極性部分４１のｎ型不純物濃度は、第１高濃度部４１Ａのｎ型不純物濃度または第１低濃度部４１Ｂのｎ型不純物濃度に調整されてもよい。第２極性部分４２のｎ型不純物濃度は、第２高濃度部４２Ａのｐ型不純物濃度または第２低濃度部４２Ｂのｐ型不純物濃度に調整されてもよい。

[0125] むろん、第１極性部分４１が第１高濃度部４１Ａおよび第１低濃度部４１Ｂを有する一方、第２極性部分４２が一様なｐ型不純物濃度を有していてもよい。また、第１極性部分４１が一様なｎ型不純物濃度を有する一方、第２

極性部分４２が第２高濃度部４２Ａおよび第２低濃度部４２Ｂを有していてもよい。

[0126] 図９は、図４に対応し、第３実施形態に係る半導体装置１Ｃを示す要部拡大図である。半導体装置１Ｃは、半導体装置１Ａと同様の効果を奏するデバイスであり、第１または第２実施形態に適用される。半導体装置１Ｃは、電気的にフローティング状態に形成された第２極性部分４２が採用された場合の一形態例である。

[0127] この場合、第２極性部分４２に対する電気的な接続部は不要であるため、キャップ絶縁膜４５は第２極性部分４２の全域を被覆していてもよい。また、第２ゲートシリサイド５０Ｂおよび第２ゲートコンタクト電極５３Ｂは形成されていなくてもよい。

[0128] 図１０は、図４に対応し、第４実施形態に係る半導体装置１Ｄを示す要部拡大図である。半導体装置１Ｄは、半導体装置１Ａと同様の効果を奏するデバイスであり、第１～第３実施形態のいずれか一つに適用される。半導体装置１Ａは、高濃度ボディ領域１４および高濃度ウェル領域１６を含む。これに対して、半導体装置１Ｄは、高濃度ボディ領域１４および高濃度ウェル領域１６のいずれか一方または双方（この形態では双方）を含まない。

[0129] 図１１は、図２に対応し、第５実施形態に係る半導体装置１Ｅを示す要部拡大図である。半導体装置１Ｅは、半導体装置１Ａと同様の効果を奏するデバイスであり、第１～第４実施形態のいずれか一つに適用される。前述の各実施形態では、１つのトランジスタセル１０がＭＩＳ領域９に形成された例が示された。

[0130] しかし、複数（２つ以上）のトランジスタセル１０がＭＩＳ領域９に配列されていてもよい。この場合、分離領域１１は第１方向Ｘに延びる四角環状（長方形環状）に形成され、複数のトランジスタセル１０は第１方向Ｘに沿って一列に配列されていてもよい。

[0131] 互いに隣り合う２つのトランジスタセル１０に関して、一方のトランジスタセル１０のウェル領域１５は、他方のトランジスタセル１０のウェル領域

１５と一体的に形成されていてもよい。つまり、互いに隣り合う２つのトランジスタセル１０は、互いに隣り合う２つのボディ領域１３の間に位置するウェル領域１５（第１ウェル部分１５Ａおよび第２ウェル部分１５Ｂが一体化した領域）を共有していてもよい。

[0132] この場合、互いに隣り合う２つのトランジスタセル１０に関して、一方のトランジスタセル１０のドレイン領域１９は、他方のトランジスタセル１０のドレイン領域１９と一体的に形成されていてもよい。つまり、互いに隣り合う２つのトランジスタセル１０は、互いに隣り合う２つのボディ領域１３の間に位置するドレイン領域１９（第１ドレイン領域１９Ａおよび第２ドレイン領域１９Ｂが一体化した領域）を共有していてもよい。

[0133] 前述の各実施形態は、さらに他の形態で実施される。前述の各実施形態では、領域分離構造の一例としての分離領域１１が示された。しかし、領域分離構造は、分離領域１１に代えてトレンチ絶縁構造を有していてもよい。トレンチ絶縁構造は、第１主面３に形成されたトレンチに絶縁体が埋設され構造を有している。トレンチ分離構造は、ＳＴＩ（Shallow Trench Isolation）構造またはＤＴＩ（Deep Trench Isolation）構造と称されてもよい。

[0134] 前述の各実施形態では、ウェル領域１５が第１～第４ウェル部分１５Ａ～１５Ｄを含む例が示された。しかし、第３～第４ウェル部分１５Ｃ～１５Ｄを含まず、第１～第２ウェル部分１５Ａ～１５Ｂのみを含むウェル領域１５が採用されてもよい。また、前述の各実施形態において、ウェル領域１５および高濃度ウェル領域１６が取り除かれた形態が採用されてもよい。

[0135] 前述の各実施形態では、複数のソース領域１７が第２方向Ｙに間隔を空けて形成された例が示された。しかし、複数（たとえば２つ）のソース領域１７が、断面視において第１方向Ｘに間隔を空けて形成されていてもよい。この場合、コンタクト領域１８は、互いに隣り合う２つのソース領域１７の間に介在されていてもよい。

[0136] 前述の各実施形態では、ｎ型の第１領域６が示された。しかし、ｐ型の第１領域６が採用されてもよい。この場合、チャネル領域２０は、第１主面３

の表層部においてウェル領域１５およびソース領域１７の間の領域に形成される。この場合、ボディ領域１３および高濃度ボディ領域１４が取り除かれた形態が採用されてもよい。むろん、前述の各実施形態においてｐ型の第２領域７に代えてｎ型の第２領域７が採用されてもよい。

[0137] 前述の各実施形態では、第１導電型がｐ型であり、第２導電型がｎ型である例が説明された。しかし、第１導電型がｎ型であり、第２導電型がｐ型であってもよい。この場合の具体的な構成は、前述の説明および添付図面においてｎ型領域をｐ型領域に置き換えると同時にｐ型領域をｎ型領域に置き換えることによって得られる。

[0138] 前述の各実施形態では、第１方向Ｘおよび第２方向Ｙがチップ２の第１～第４側面５Ａ～５Ｄが延びる方向によって規定された。しかし、第１方向Ｘおよび第２方向Ｙは、互いに交差（具体的には直交）する関係を維持する限り、任意の方向であってもよい。

[0139] 以下、この明細書および図面から抽出される特徴の例が示される。以下、電気的特性を向上できる半導体装置を提供する。以下、括弧内の英数字は前述の実施形態における対応構成要素等を表すが、各項目（Clause）の範囲を実施形態に限定する趣旨ではない。

[0140] ［Ａ１］主面（３）を有するチップ（２）と、前記主面（３）の表層部に形成された第１導電型（ｐ型）のチャネル領域（２０）と、前記チャネル領域（２０）に隣り合うように前記主面（３）の表層部に形成された第２導電型（ｎ型）のドリフト領域（２１）と、前記主面（３）の上で前記チャネル領域（２０）および前記ドリフト領域（２１）を被覆するゲート絶縁膜（２６）と、前記ゲート絶縁膜（２６）を挟んで前記チャネル領域（２０）に対向する第２導電型（ｎ型）の第１部分（４１）、および、前記ゲート絶縁膜（２６）を挟んで前記ドリフト領域（２１）に対向し、前記第１部分（４１）とｐｎ接合部（３０）を形成する第１導電型（ｐ型）の第２部分（４２）を有するポリシリコンゲート（２７）と、を含む、半導体装置（１Ａ～１Ｅ）。

[0141] ［Ａ２］前記第１部分（４１）にゲート電位（Ｖｇ、Ｖ１）が付与され、前記第２部分（４２）に前記ゲート電位（Ｖｇ、Ｖ１）以外の電位（Ｖ２）が付与される、Ａ１に記載の半導体装置（１Ａ～１Ｅ）。

[0142] ［Ａ３］前記第１部分（４１）および前記第２部分（４２）の間の電位差（Ｖ１２）は、前記ｐｎ接合部（３０）の閾値電圧（Ｖｄｔｈ）未満である、Ａ１またはＡ２に記載の半導体装置（１Ａ～１Ｅ）。

[0143] ［Ａ４］前記第２部分（４２）には、フローティング電位、回路動作の基準となる基準電位、または、グランド電位が付与される、Ａ１～Ａ３のいずれか一つに記載の半導体装置（１Ａ～１Ｅ）。

[0144] ［Ａ５］前記第２部分（４２）は、電気的にフローティング状態に形成されている、Ａ１～Ａ４のいずれか一つに記載の半導体装置（１Ａ～１Ｅ）。

[0145] ［Ａ６］前記第１部分（４１）は、前記ゲート絶縁膜（２６）を挟んで前記チャネル領域（２０）および前記ドリフト領域（２１）に対向している、Ａ１～Ａ５のいずれか一つに記載の半導体装置（１Ａ～１Ｅ）。

[0146] ［Ａ７］前記ｐｎ接合部（３０）は、前記ゲート絶縁膜（２６）を挟んで前記ドリフト領域（２１）に対向している、Ａ１～Ａ６のいずれか一つに記載の半導体装置（１Ａ～１Ｅ）。

[0147] ［Ａ８］前記第１部分（４１）は、第１高濃度部（４１Ａ）、および、前記第１高濃度部（４１Ａ）よりも低い濃度を有する第１低濃度部（４１Ｂ）を有し、前記第２部分（４２）は、前記第１部分（４１）の前記第１低濃度部（４１Ｂ）と前記ｐｎ接合部（３０）を形成している、Ａ１～Ａ７のいずれか一つに記載の半導体装置（１Ａ～１Ｅ）。

[0148] ［Ａ９］前記第２部分（４２）は、第２高濃度部（４２Ａ）、および、前記第２高濃度部（４２Ａ）よりも低い濃度を有し、前記第１低濃度部（４１Ｂ）と前記ｐｎ接合部（３０）を形成する第２低濃度部（４２Ｂ）を有している、Ａ８に記載の半導体装置（１Ａ～１Ｅ）。

[0149] ［Ａ１０］前記ポリシリコンゲート（２７）の上において前記ｐｎ接合部（３０）を被覆する絶縁膜（４５）をさらに含む、Ａ１～Ａ９のいずれか一

つに記載の半導体装置（１Ａ～１Ｅ）。

[0150] ［Ａ１１］前記絶縁膜（４５）は、前記ポリシリコンゲート（２７）の上において前記ｐｎ接合部（３０）以外の部分を露出させる除去部（４６）を含む、Ａ１０に記載の半導体装置（１Ａ～１Ｅ）。

[0151] ［Ａ１２］前記ポリシリコンゲート（２７）において前記除去部（４６）から露出した部分を被覆するゲートシリサイド（５０）をさらに含む、Ａ１１に記載の半導体装置（１Ａ～１Ｅ）。

[0152] ［Ａ１３］前記除去部（４６）は、前記第１部分（４１）を露出させる第１除去部（４６Ａ）、および、前記第２部分（４２）を露出させる第２除去部（４６Ｂ）を含み、前記ゲートシリサイド（５０）は、前記第１部分（４１）を被覆する第１ゲートシリサイド（５０Ａ）、および、前記第２部分（４２）を被覆する第２ゲートシリサイド（５０Ｂ）を含む、Ａ１２に記載の半導体装置（１Ａ～１Ｅ）。

[0153] ［Ａ１４］前記主面（３）の上で前記ドリフト領域（２１）を被覆するフィールド絶縁膜（２２）をさらに含み、前記ゲート絶縁膜（２６）は、前記フィールド絶縁膜（２２）の厚さ未満の厚さを有し、前記フィールド絶縁膜（２２）に連なっている、Ａ１～Ａ１３のいずれか一つに記載の半導体装置（１Ａ～１Ｅ）。

[0154] ［Ａ１５］前記ポリシリコンゲート（２７）は、前記ゲート絶縁膜（２６）の上から前記フィールド絶縁膜（２２）の上に引き出され、前記フィールド絶縁膜（２２）を挟んで前記ドリフト領域（２１）に対向している、Ａ１４に記載の半導体装置（１Ａ～１Ｅ）。

[0155] ［Ａ１６］前記第１部分（４１）は、前記ゲート絶縁膜（２６）の上のみに形成され、前記第２部分（４２）は、前記ゲート絶縁膜（２６）の上および前記フィールド絶縁膜（２２）の上に形成されている、Ａ１５に記載の半導体装置（１Ａ～１Ｅ）。

[0156] ［Ａ１７］前記主面（３）の表層部に形成された第２導電型（ｎ型）のソース領域（１７）と、前記ソース領域（１７）から間隔を空けて前記主面（

３）の表層部に形成された第２導電型（ｎ型）のドレイン領域（１９）と、をさらに含み、前記チャネル領域（２０）は、前記主面（３）の表層部で前記ソース領域（１７）および前記ドレイン領域（１９）の間おいて前記ソース領域（１７）側の領域に形成され、前記ドリフト領域（２１）は、前記主面（３）の表層部で前記ドレイン領域（１９）および前記チャネル領域（２０）の間の領域に形成されている、Ａ１～Ａ１６のいずれか一つに記載の半導体装置（１Ａ～１Ｅ）。

[0157] ［Ａ１８］前記主面（３）の表層部に形成された第１導電型（ｐ型）のボディ領域（１３）と、前記ボディ領域（１３）から間隔を空けて前記主面（３）の表層部に形成された第２導電型（ｎ型）のウェル領域（１５）と、をさらに含み、前記ソース領域（１７）は、前記ボディ領域（１３）の表層部に形成され、前記ドレイン領域（１９）は、前記ウェル領域（１５）の表層部に形成され、前記第１部分（４１）は、前記ゲート絶縁膜（２６）を挟んで前記ボディ領域（１３）および前記ソース領域（１７）に対向している、Ａ１７に記載の半導体装置（１Ａ～１Ｅ）。

[0158] ［Ａ１９］前記主面（３）の一部をデバイス領域（８、９）として区画するように前記主面（３）に形成された領域分離構造（１１）をさらに含み、前記チャネル領域（２０）および前記ドリフト領域（２１）は、前記デバイス領域（８、９）に形成されている、Ａ１～Ａ１８のいずれか一つに記載の半導体装置（１Ａ～１Ｅ）。

[0159] ［Ｂ１］主面（３）を有するチップ（２）と、前記主面（３）の表層部に形成された第１導電型（ｐ型）のチャネル領域（２０）と、前記チャネル領域（２０）に隣り合うように前記主面（３）の表層部に形成された第２導電型（ｎ型）のドリフト領域（２１）と、前記主面（３）の上で前記チャネル領域（２０）および前記ドリフト領域（２１）を被覆するゲート絶縁膜（２６）と、前記ゲート絶縁膜（２６）を挟んで前記チャネル領域（２０）および前記ドリフト領域（２１）に対向するように前記ゲート絶縁膜（２６）を被覆するポリシリコンゲート（２７）と、前記ポリシリコンゲート（２７）

の内部に形成されたｐｎ接合ダイオード（２９）と、を含む、半導体装置（１Ａ～１Ｅ）。

[0160] ［Ｂ２］前記ｐｎ接合ダイオード（２９）は、前記ポリシリコンゲート（２７）のうちの前記チャネル領域（２０）上に位置する部分から前記ポリシリコンゲート（２７）のうちの前記ドリフト領域（２１）上に位置する部分へのキャリアの移動を制限するように形成されている、Ｂ１に記載の半導体装置（１Ａ～１Ｅ）。

[0161] ［Ｃ１］主面（３）を有するチップ（２）と、前記主面（３）の表層部に形成された第１導電型（ｐ型）のチャネル領域（２０）と、前記チャネル領域（２０）に隣り合うように前記主面（３）の表層部に形成された第２導電型（ｎ型）のドリフト領域（２１）と、前記主面（３）の上で前記チャネル領域（２０）および前記ドリフト領域（２１）を被覆するゲート絶縁膜（２６）と、前記ゲート絶縁膜（２６）を挟んで前記チャネル領域（２０）および前記ドリフト領域（２１）に対向するように前記ゲート絶縁膜（２６）を被覆し、前記チャネル領域（２０）側の第１壁（２７Ａ）および前記ドリフト領域側の第２壁（２７Ｂ）を有するポリシリコンゲート（２７）と、前記ポリシリコンゲート（２７）の内部において前記第１壁（２７Ａ）側から前記第２壁（２７Ｂ）側へのキャリアの移動を制限するように前記ポリシリコンゲート（２７）の内部に形成されたｐｎ接合ダイオード（２９）と、を含む、半導体装置（１Ａ～１Ｅ）。

[0162] ［Ｃ２］前記ｐｎ接合ダイオードは、前記第１壁（２７Ａ）および前記第２壁（２７Ｂ）の電位差（Ｖ１２）が閾値電圧（Ｖｄｔｈ）未満になるように構成されている、Ｃ１に記載の半導体装置（１Ａ～１Ｅ）。

[0163] 実施形態について詳細に説明してきたが、これらは技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によって限定される。

符号の説明

[0164]

１Ａ	半導体装置
１Ｂ	半導体装置
１Ｃ	半導体装置
１Ｄ	半導体装置
１Ｅ	半導体装置
２	チップ
３	第１主面（主面）
９	ＭＩＳ領域（デバイス領域）
１１	分離領域（領域分離構造）
１３	ボディ領域
１５	ウェル領域
１７	ソース領域
１９	ドレイン領域
２０	チャネル領域
２１	ドリフト領域
２２	フィールド絶縁膜
２６	ゲート絶縁膜
２７	ポリゲート（ポリシリコンゲート）
２９	ｐｎ接合ダイオード
３０	ｐｎ接合部
４１	第１極性部分（第１部分）
４１Ａ	第１高濃度部
４１Ｂ	第１低濃度部
４２	第２極性部分（第２部分）
４２Ａ	第２高濃度部
４２Ｂ	第２低濃度部
４５	キャップ絶縁膜（絶縁膜）
４６	除去部

４６Ａ　第１除去部

４６Ｂ　第２除去部

５０　ゲートシリサイド

５０Ａ　第１ゲートシリサイド

５０Ｂ　第２ゲートシリサイド

Ｖ１　第１電位

Ｖ２　第２電位

Ｖ１２　電位差

Ｖｄｔｈ　順方向閾値電圧

Ｖｇ　ゲート電位

請求の範囲

[請求項1] 主面を有するチップと、

前記主面の表層部に形成された第１導電型のチャネル領域と、

前記チャネル領域に隣り合うように前記主面の表層部に形成された第２導電型のドリフト領域と、

前記主面の上で前記チャネル領域および前記ドリフト領域を被覆するゲート絶縁膜と、

前記ゲート絶縁膜を挟んで前記チャネル領域に対向する第２導電型の第１部分、および、前記ゲート絶縁膜を挟んで前記ドリフト領域に対向し、前記第１部分とｐｎ接合部を形成する第１導電型の第２部分を有するポリシリコンゲートと、を含む、半導体装置。

[請求項2] 前記第１部分にゲート電位が付与され、

前記第２部分に前記ゲート電位以外の電位が付与される、請求項１に記載の半導体装置。

[請求項3] 前記第１部分および前記第２部分の間の電位差は、前記ｐｎ接合部の閾値電圧未満である、請求項１または２に記載の半導体装置。

[請求項4] 前記第２部分には、フローティング電位、回路動作の基準となる基準電位、または、グランド電位が付与される、請求項１～３のいずれか一項に記載の半導体装置。

[請求項5] 前記第２部分は、電気的にフローティング状態に形成されている、請求項１～４のいずれか一項に記載の半導体装置。

[請求項6] 前記第１部分は、前記ゲート絶縁膜を挟んで前記チャネル領域および前記ドリフト領域に対向している、請求項１～５のいずれか一項に記載の半導体装置。

[請求項7] 前記ｐｎ接合部は、前記ゲート絶縁膜を挟んで前記ドリフト領域に対向している、請求項１～６のいずれか一項に記載の半導体装置。

[請求項8] 前記第１部分は、第１高濃度部、および、前記第１高濃度部よりも低い濃度を有する第１低濃度部を有し、

前記第２部分は、前記第１部分の前記第１低濃度部と前記ｐｎ接合部を形成している、請求項１～７のいずれか一項に記載の半導体装置。

[請求項9] 前記第２部分は、第２高濃度部、および、前記第２高濃度部よりも低い濃度を有し、前記第１低濃度部と前記ｐｎ接合部を形成する第２低濃度部を有している、請求項８に記載の半導体装置。

[請求項10] 前記ポリシリコンゲートの上において前記ｐｎ接合部を被覆する絶縁膜をさらに含む、請求項１～９のいずれか一項に記載の半導体装置。

[請求項11] 前記絶縁膜は、前記ポリシリコンゲートの上において前記ｐｎ接合部以外の部分を露出させる除去部を含む、請求項１０に記載の半導体装置。

[請求項12] 前記ポリシリコンゲートにおいて前記除去部から露出した部分を被覆するゲートシリサイドをさらに含む、請求項１１に記載の半導体装置。

[請求項13] 前記除去部は、前記第１部分を露出させる第１除去部、および、前記第２部分を露出させる第２除去部を含み、

前記ゲートシリサイドは、前記第１部分を被覆する第１ゲートシリサイド、および、前記第２部分を被覆する第２ゲートシリサイドを含む、請求項１２に記載の半導体装置。

[請求項14] 前記主面の上で前記ドリフト領域を被覆するフィールド絶縁膜をさらに含み、

前記ゲート絶縁膜は、前記フィールド絶縁膜の厚さ未満の厚さを有し、前記フィールド絶縁膜に連なっている、請求項１～１３のいずれか一項に記載の半導体装置。

[請求項15] 前記ポリシリコンゲートは、前記ゲート絶縁膜の上から前記フィールド絶縁膜の上に引き出され、前記フィールド絶縁膜を挟んで前記ドリフト領域に対向している、請求項１４に記載の半導体装置。

[請求項16] 前記第１部分は、前記ゲート絶縁膜の上のみに形成され、

前記第２部分は、前記ゲート絶縁膜の上および前記フィールド絶縁膜の上に形成されている、請求項１５に記載の半導体装置。

[請求項17] 前記主面の表層部に形成された第２導電型のソース領域と、

前記ソース領域から間隔を空けて前記主面の表層部に形成された第２導電型のドレイン領域と、をさらに含み、

前記チャネル領域は、前記主面の表層部で前記ソース領域および前記ドレイン領域の間おいて前記ソース領域側の領域に形成され、

前記ドリフト領域は、前記主面の表層部で前記ドレイン領域および前記チャネル領域の間の領域に形成されている、請求項１～１６のいずれか一項に記載の半導体装置。

[請求項18] 前記主面の表層部に形成された第１導電型のボディ領域と、

前記ボディ領域から間隔を空けて前記主面の表層部に形成された第２導電型のウェル領域と、をさらに含み、

前記ソース領域は、前記ボディ領域の表層部に形成され、

前記ドレイン領域は、前記ウェル領域の表層部に形成され、

前記第１部分は、前記ゲート絶縁膜を挟んで前記ボディ領域および前記ソース領域に対向している、請求項１７に記載の半導体装置。

[請求項19] 前記主面の一部をデバイス領域として区画するように前記主面に形成された領域分離構造をさらに含み、

前記チャネル領域および前記ドリフト領域は、前記デバイス領域に形成されている、請求項１～１８のいずれか一項に記載の半導体装置。

[請求項20] 主面を有するチップと、

前記主面の表層部に形成された第１導電型のチャネル領域と、

前記チャネル領域に隣り合うように前記主面の表層部に形成された第２導電型のドリフト領域と、

前記主面の上で前記チャネル領域および前記ドリフト領域を被覆す

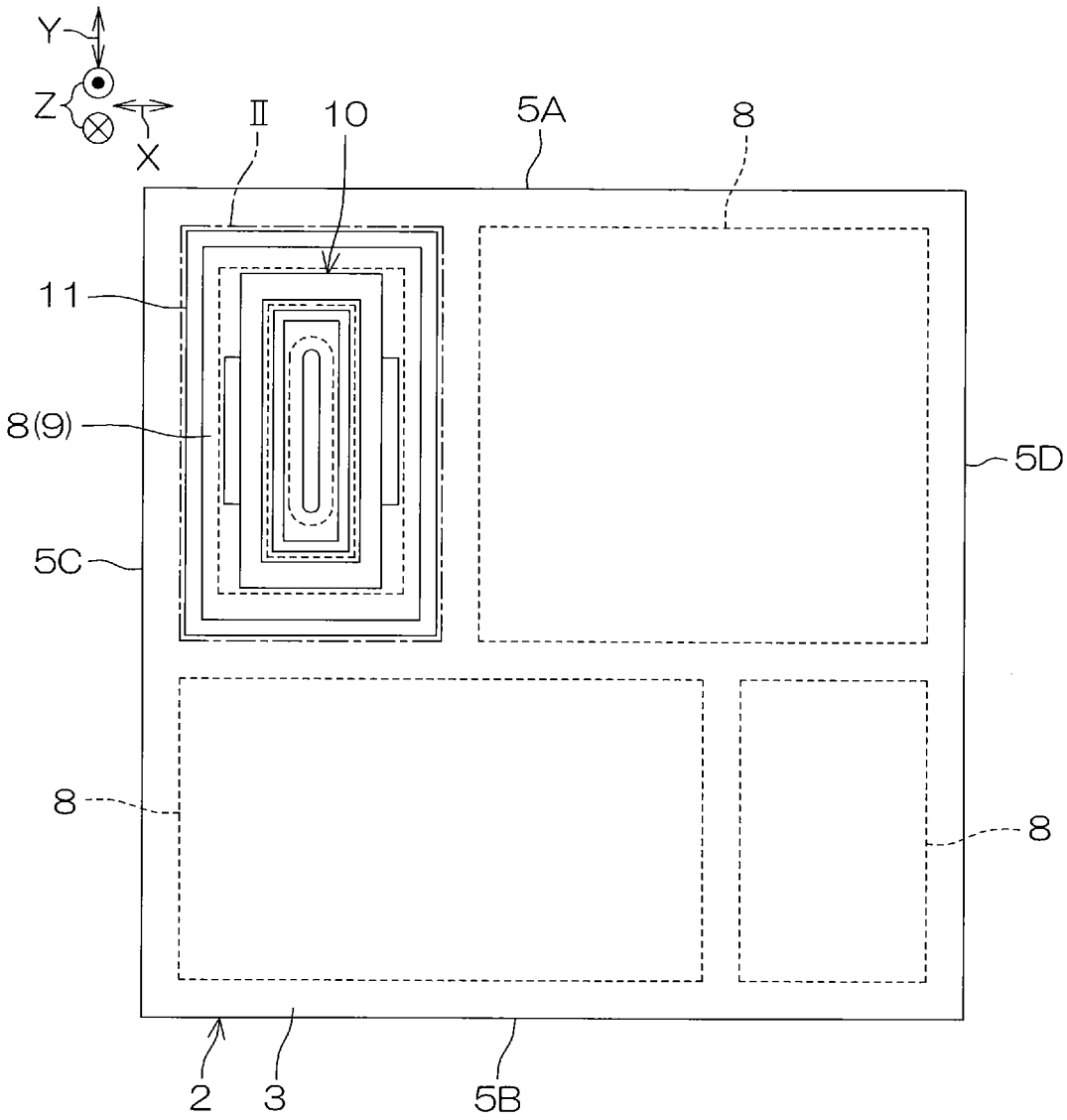
るゲート絶縁膜と、

前記ゲート絶縁膜を挟んで前記チャネル領域および前記ドリフト領域に対向するように前記ゲート絶縁膜を被覆するポリシリコンゲートと、

前記ポリシリコンゲートのうちの前記チャネル領域上に位置する部分から前記ポリシリコンゲートのうちの前記ドリフト領域上に位置する部分へのキャリアの移動を制限するように前記ポリシリコンゲートの内部に形成されたｐｎ接合ダイオードと、を含む、半導体装置。

[図1]

図1



1A

[図2]

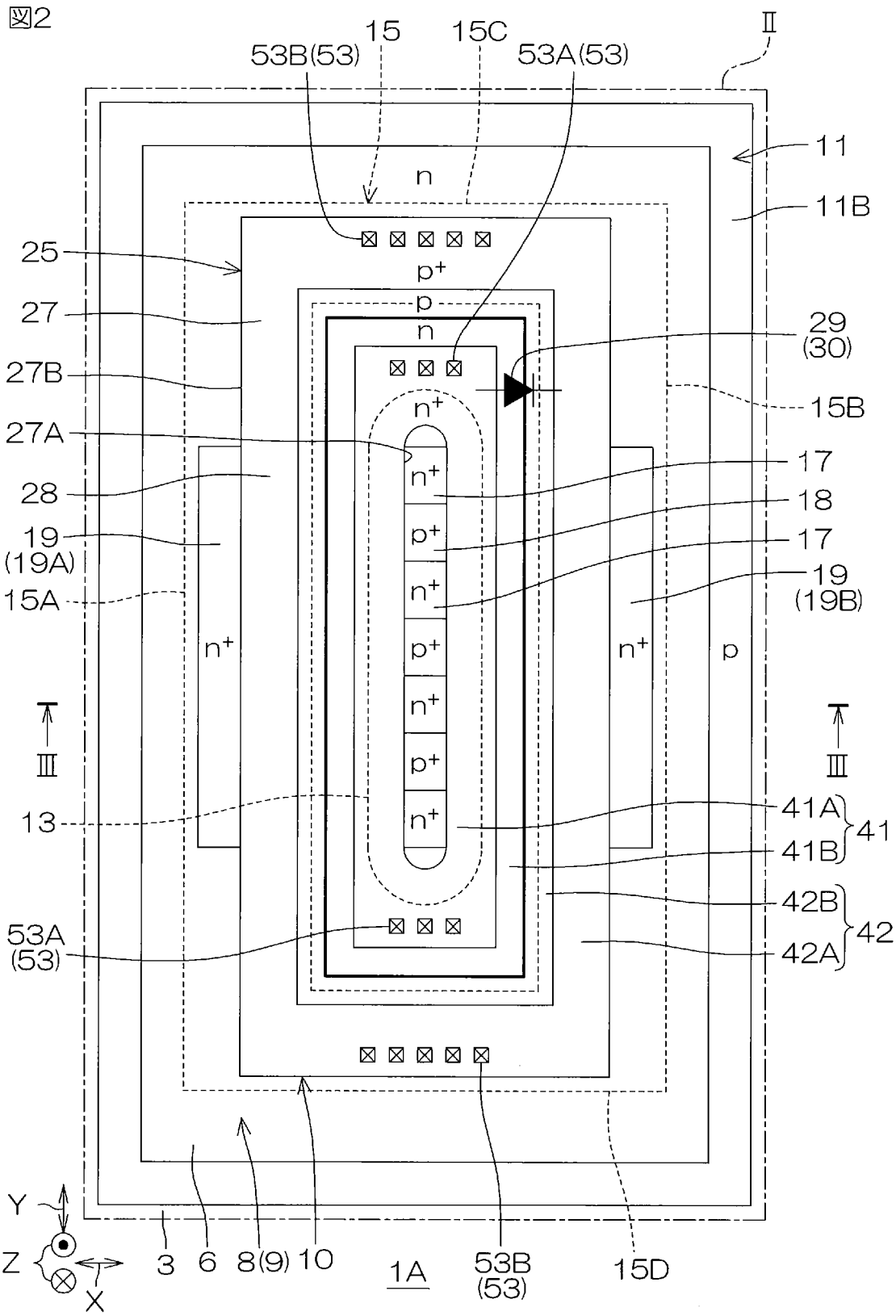


図2
53B(53)
15
15C
53A(53)
II
11
11B
n
25
p+
27
p
n
29
(30)
27B
15B
n+
27A
17
28
18
19
(19A)
17
15A
19
(19B)
n+
n+
p
III
III
13
41A
41
41B
42B
42
53A
(53)
42A
Y
Z
X
3
6
8(9)
10
1A
53B
(53)
15D

[図3]

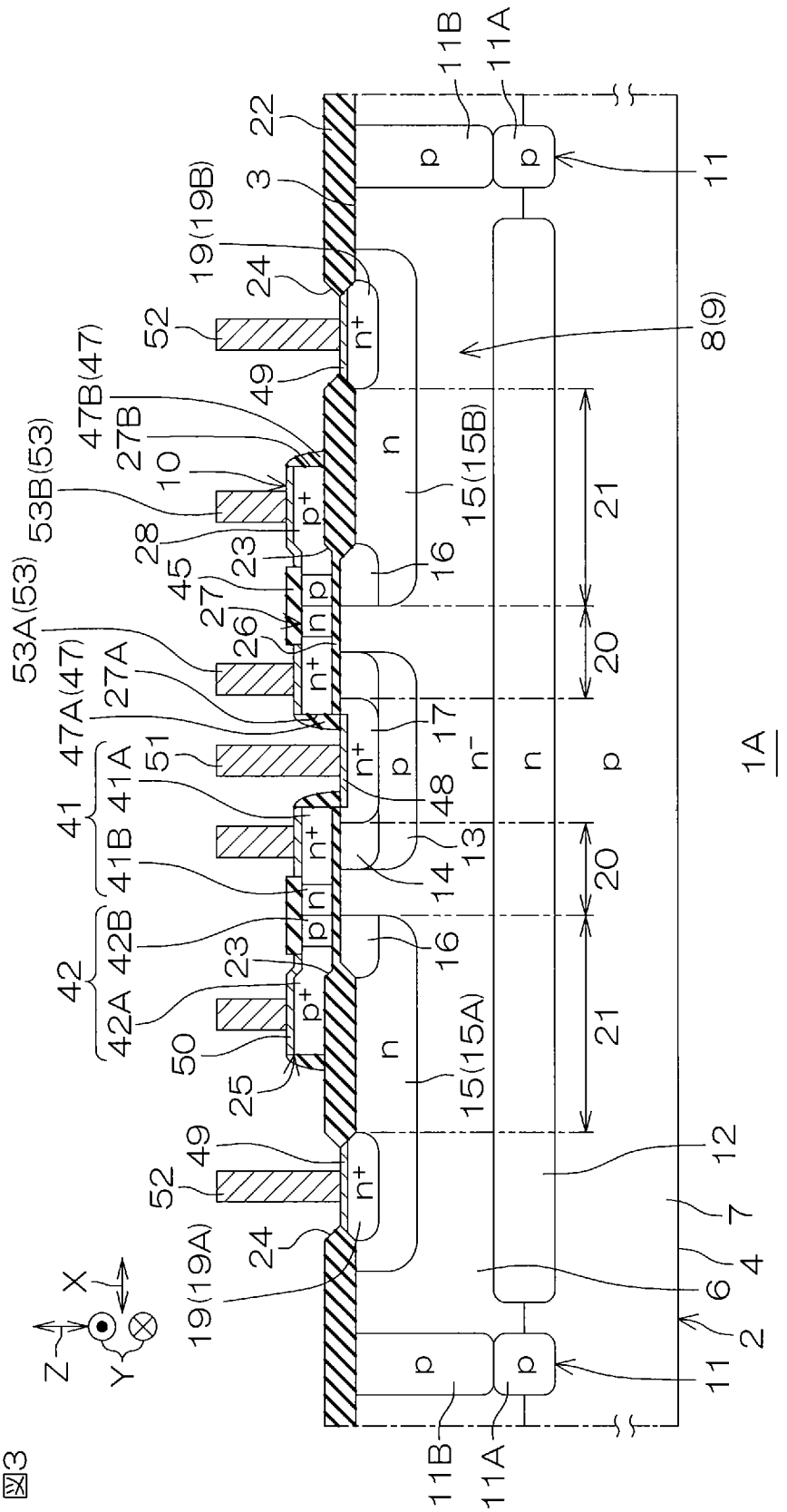

11B
11A
22
3
19(19B)
24
52
49
47B(47)
27B
10
53B(53)
28
23
45
27
26
53A(53)
27A
47A(47)
51
41
41A
41B
42
42B
42A
50
25
49
52
24
19(19A)
11
8(9)
15(15B)
16
17
48
13
14
16
15(15A)
12
7
4
6
2
11
11B
11A
21
20
20
21
1A
n+
p+
n
p
n−
X
Y
Z

図3

[図4]

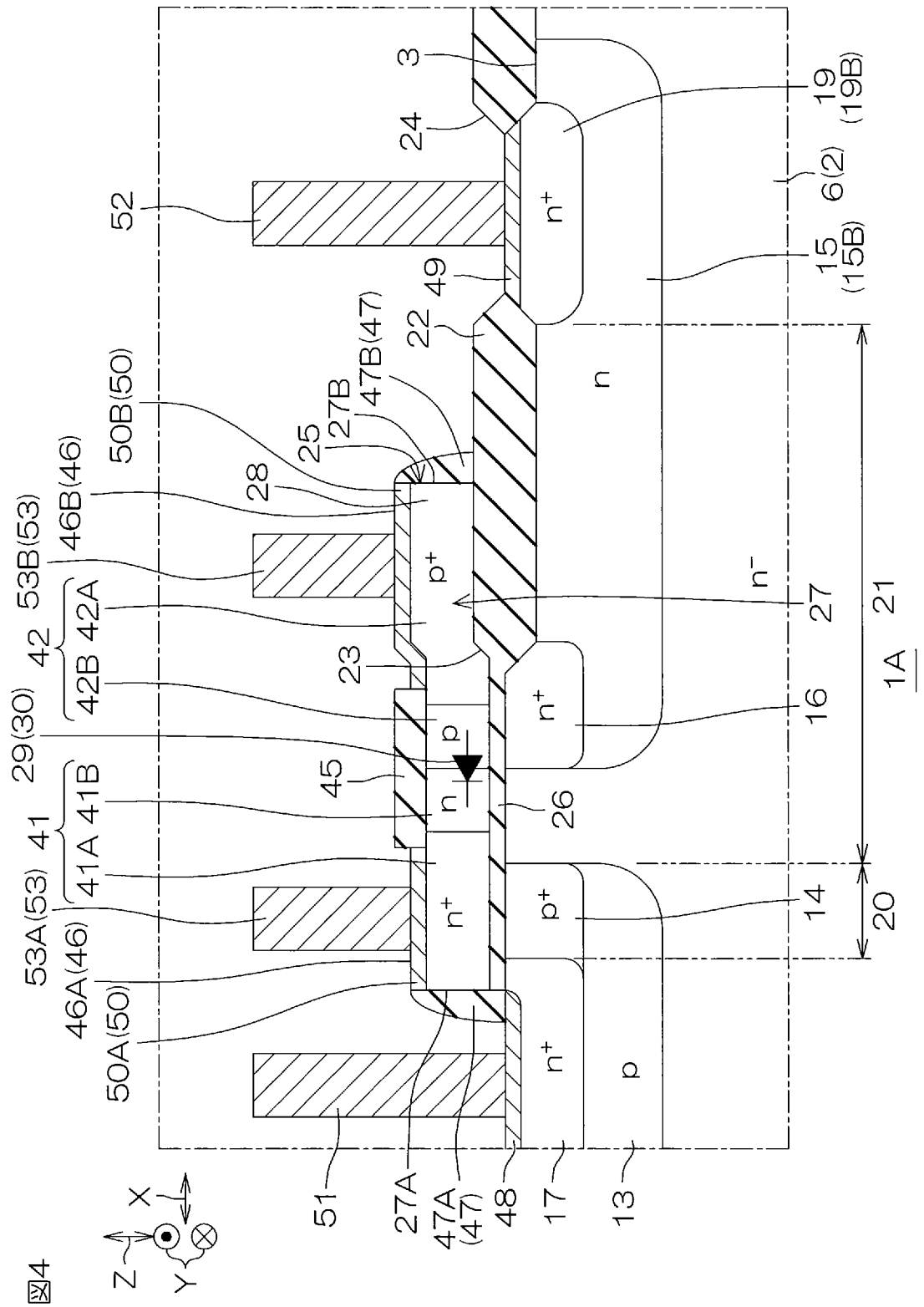

3
24
19
(19B)
6(2)
52
n+
15
(15B)
49
22
n
47B(47)
27B
25
50B(50)
28
46B(46)
53B(53)
p+
n−
27
21
42
42A
42B
23
1A
16
29(30)
p
45
n
26
41
41B
41A
53A(53)
n+
p+
14
20
46A(46)
50A(50)
n+
p
51
27A
47A
(47)
48
17
13
X
Z
Y

図4

[図5]

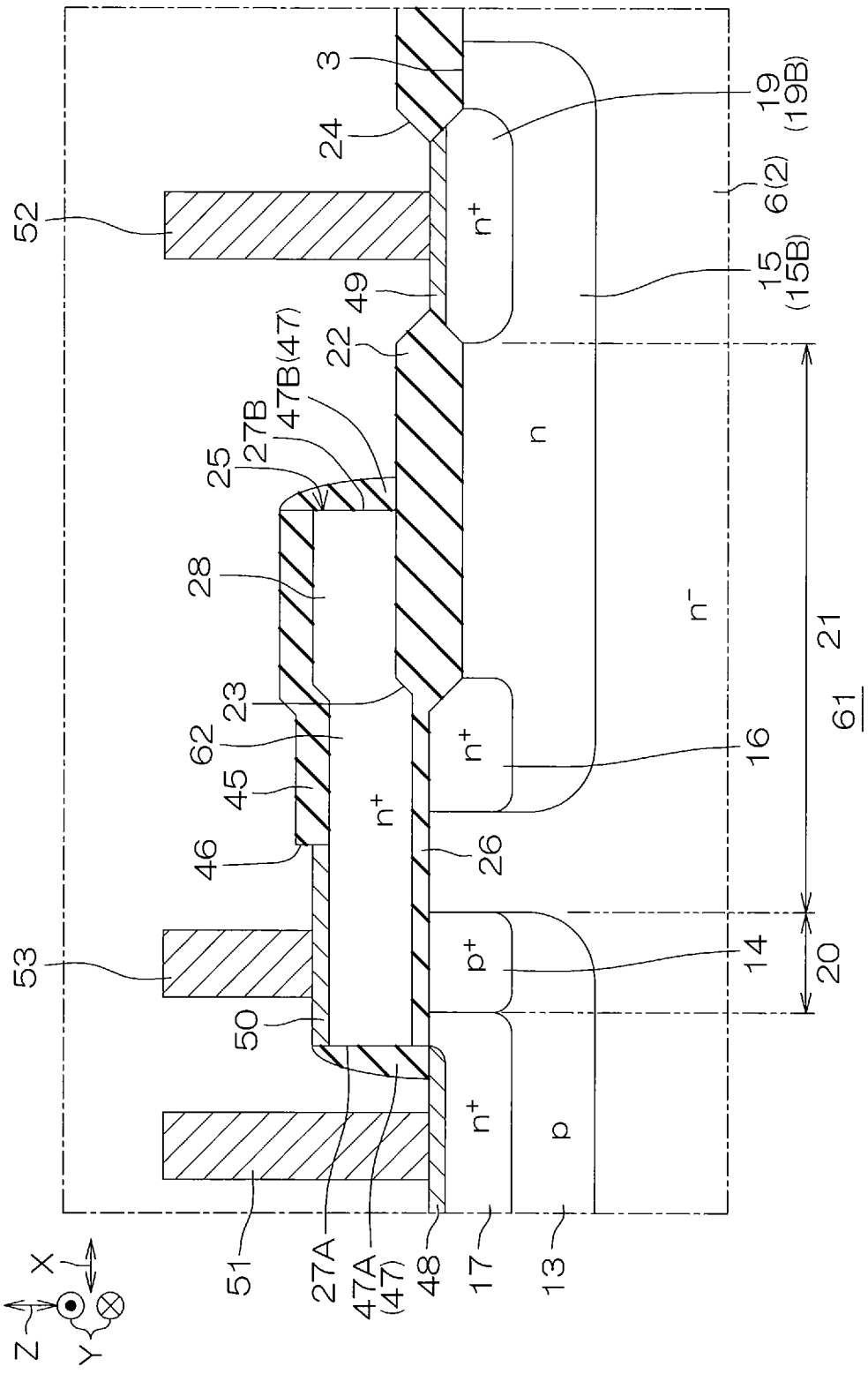

3
24
52
19
(19B)
6(2)
15
(15B)
49
22
47B(47)
27B
25
28
23
62
45
46
53
50
51
27A
47A
(47)
48
17
13
26
16
14
20
21
61
n+
n
n−
p+
p
X
Y
Z

図5

[図6]

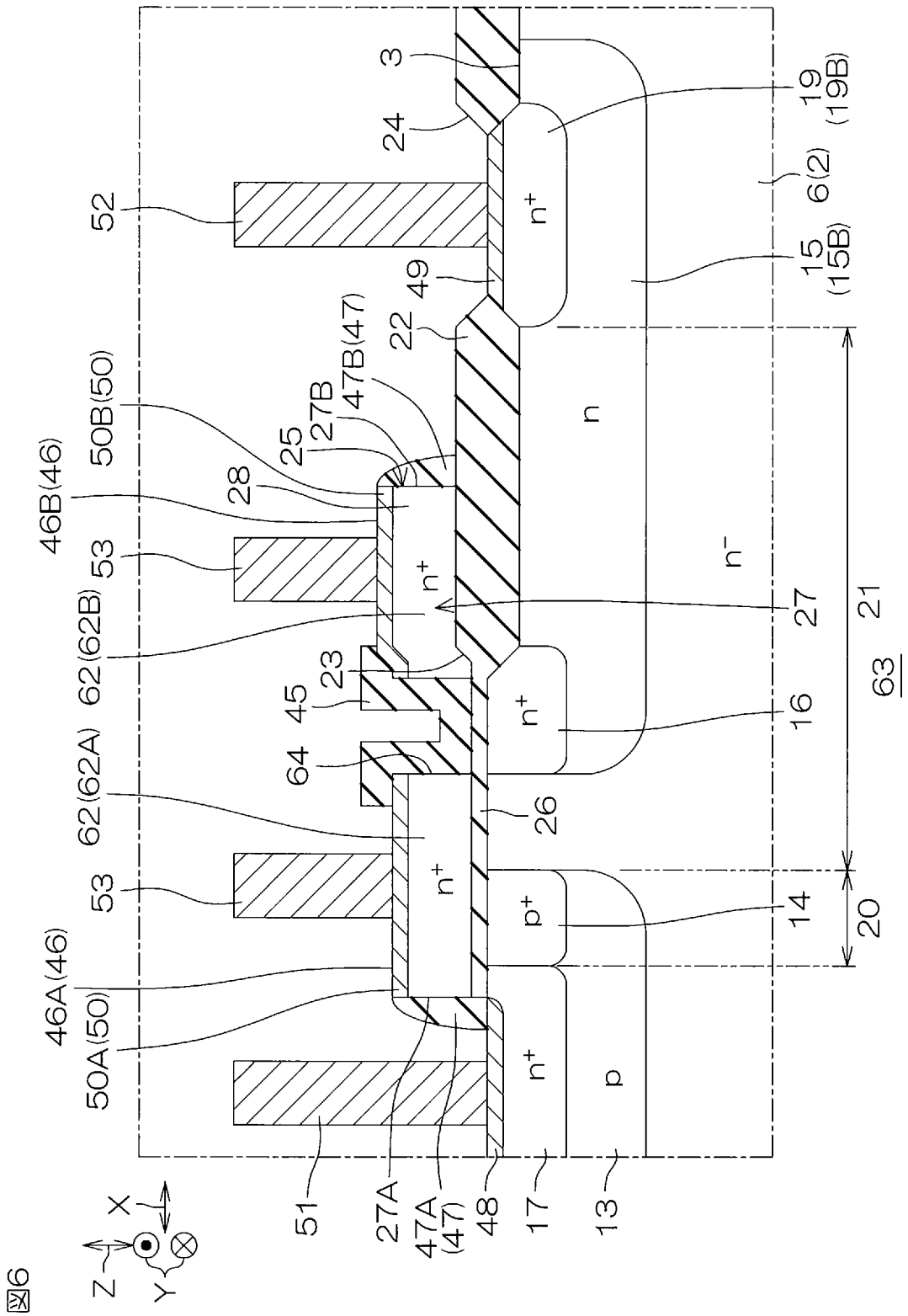
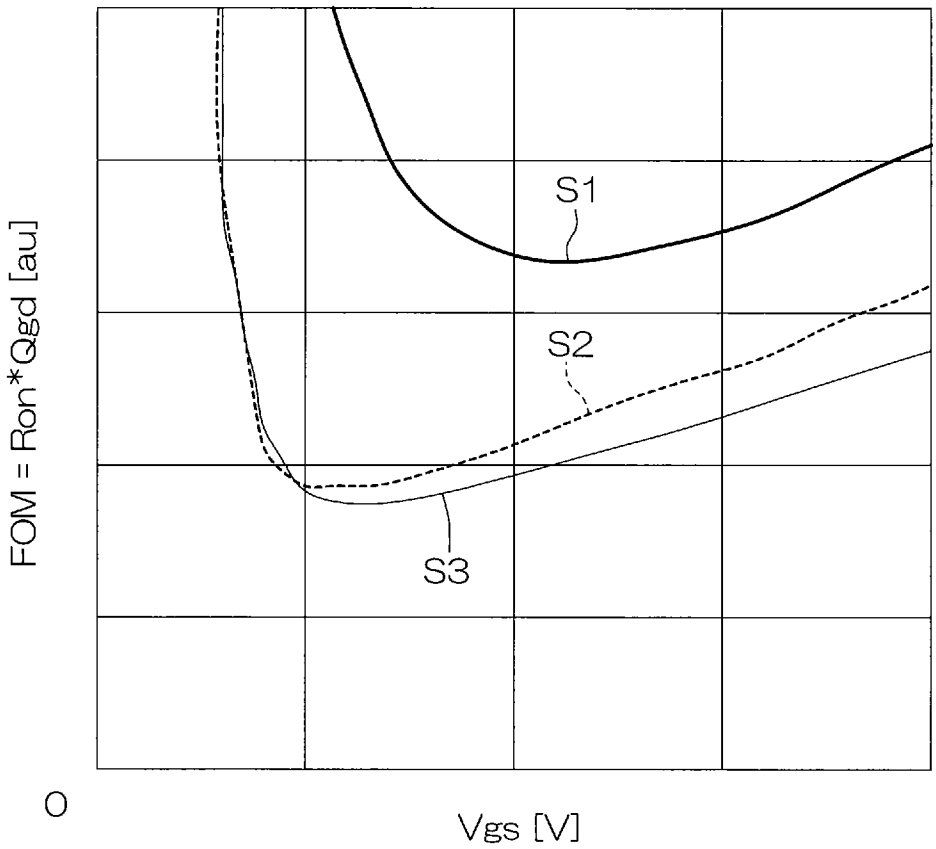

3
24
52
49
22
50B(50)
47B(47)
27B
25
28
46B(46)
53
62(62B)
45
23
64
62(62A)
53
46A(46)
50A(50)
51
27A
47A
(47)
48
17
13
19
(19B)
6(2)
15
(15B)
n+
n
n−
p+
p
27
16
26
14
21
20
63
X
Y
Z

図6

[図7]

図7



[図8]

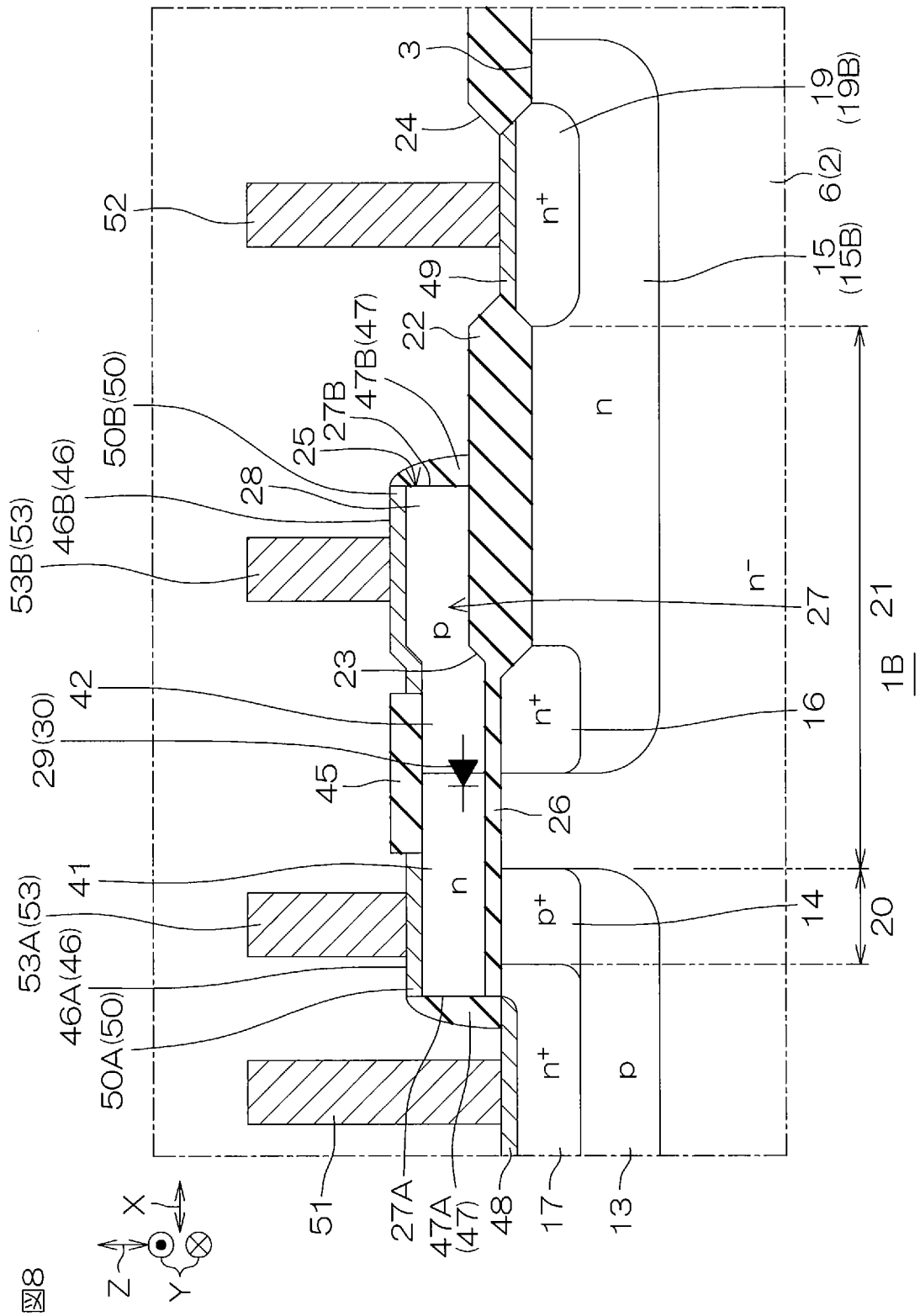

3
24
52
19
(19B)
6(2)
15
(15B)
49
22
47B(47)
50B(50)
27B
25
28
46B(46)
53B(53)
n+
n
n−
p
27
21
1B
23
42
29(30)
45
26
16
41
53A(53)
46A(46)
50A(50)
n
p+
p
14
20
51
27A
47A
(47)
48
17
13
X
Y
Z

図8

[図9]

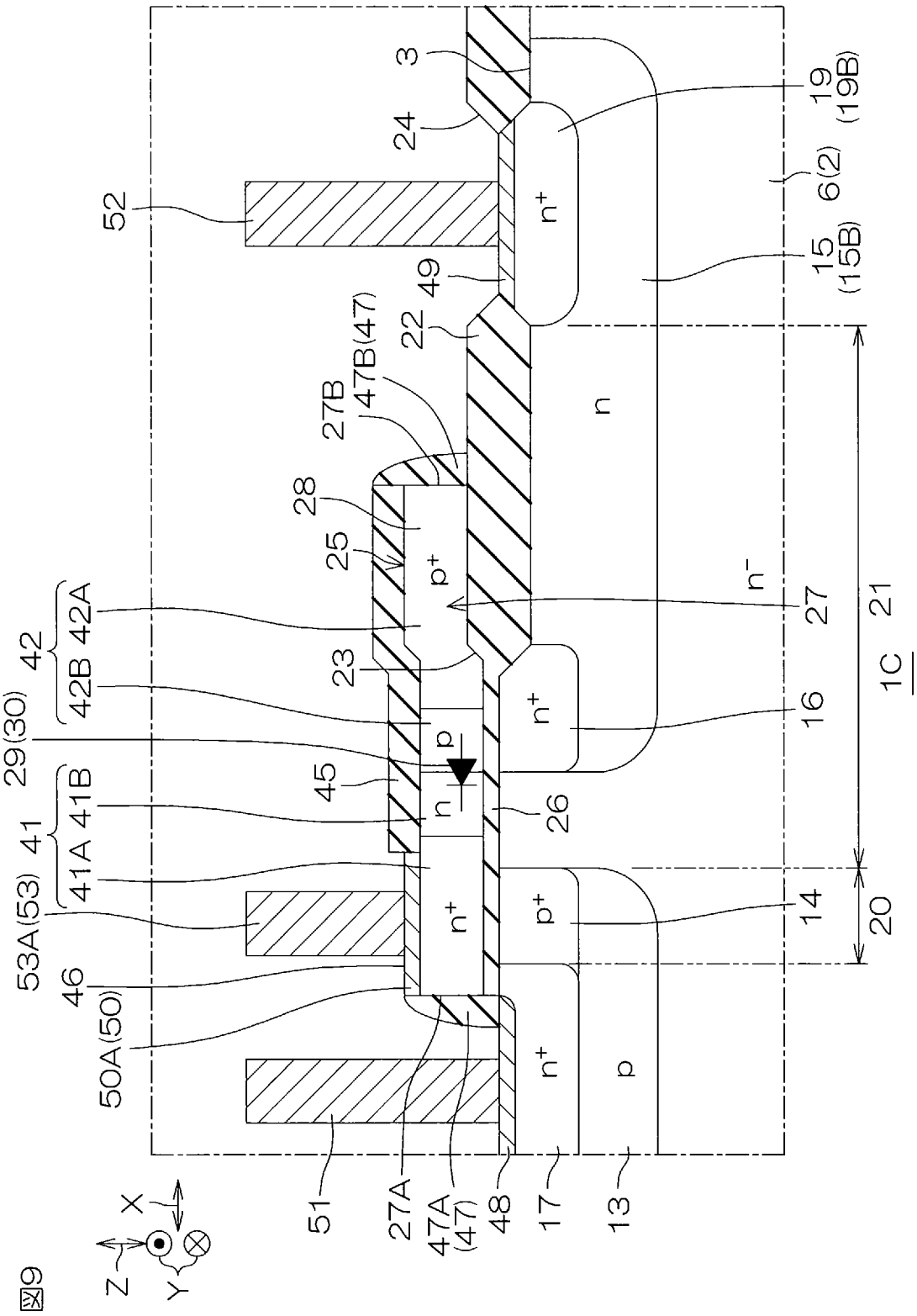

3
24
52
19
(19B)
6(2)
15
(15B)
49
22
47B(47)
27B
28
25
23
42
42A
42B
29(30)
41
41B
41A
53A(53)
46
50A(50)
45
26
27
21
1C
16
14
20
51
27A
47A
(47)
48
17
13
n+
p+
n
p
n−
X
Y
Z

図9

[図10]

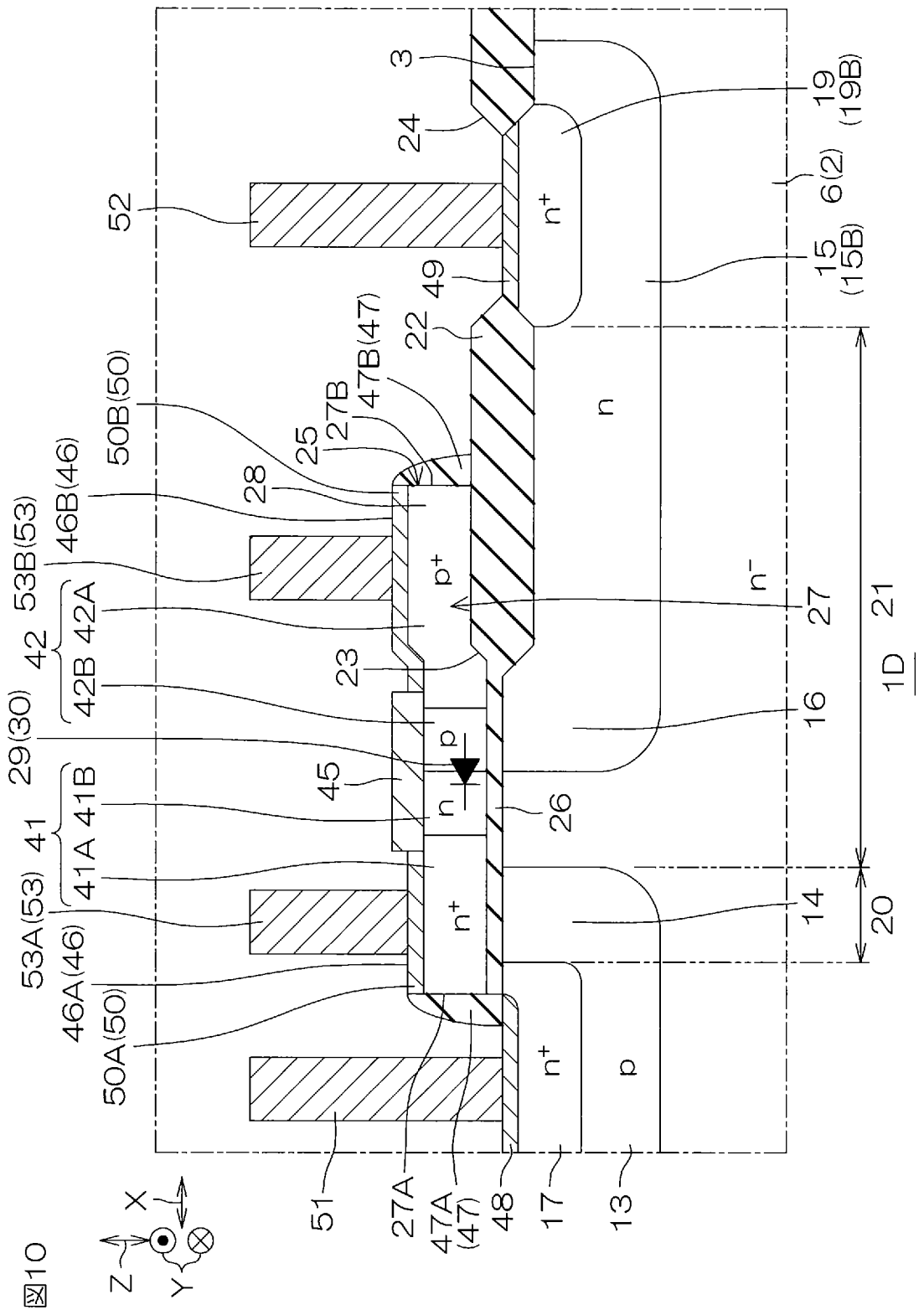

3
24
19
(19B)
6(2)
52
n+
49
15
(15B)
22
47B(47)
27B
25
50B(50)
28
46B(46)
53B(53)
p+
n
n−
27
21
42
42A
42B
23
16
1D
29(30)
p
45
n
26
41
41B
41A
53A(53)
n+
14
20
46A(46)
50A(50)
n+
p
51
27A
47A
(47)
48
17
13
X
Z
Y

図10

[図11]

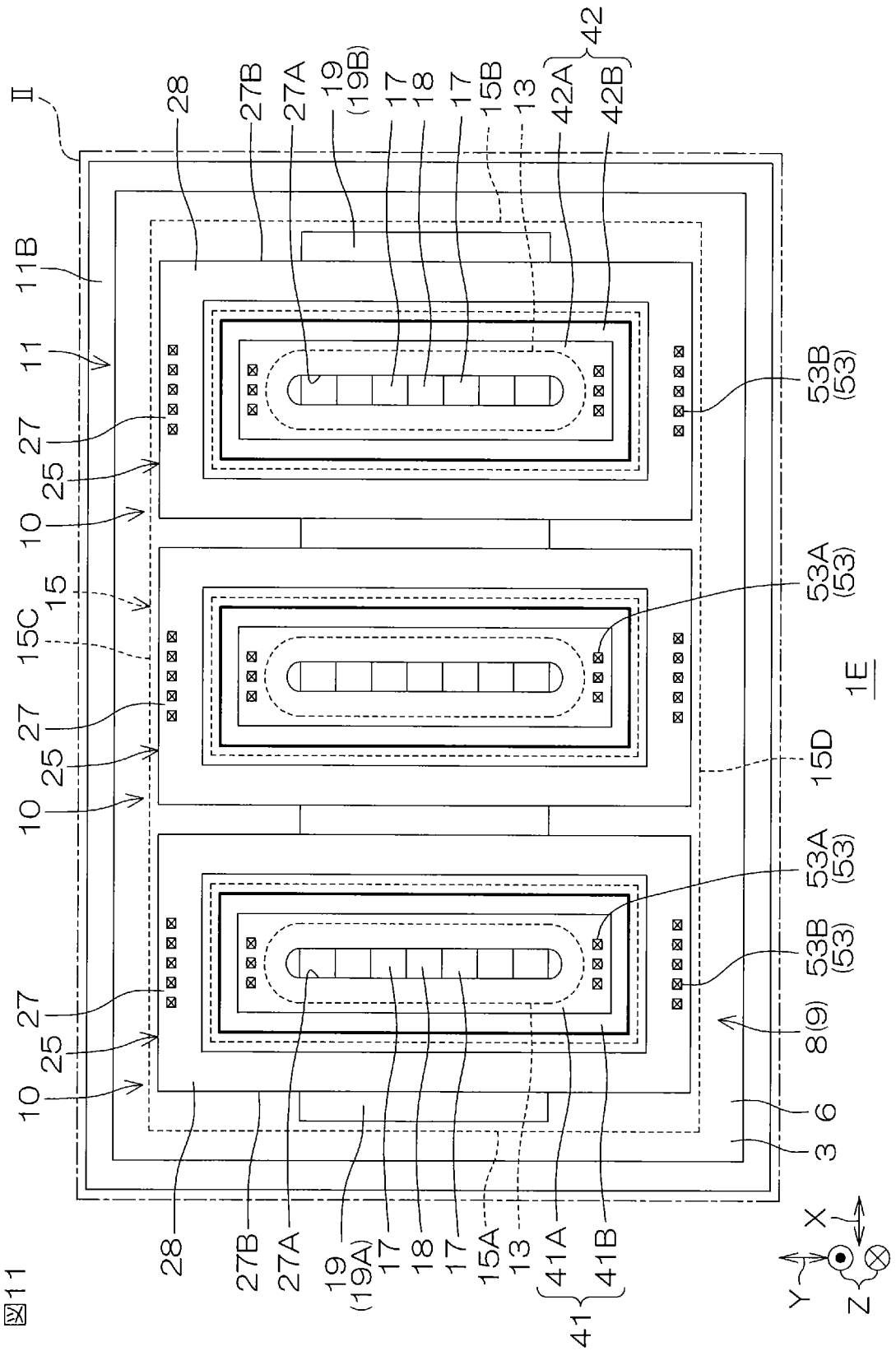

II
28
27B
27A
19
(19B)
17
18
17
15B
13
42A
42B
42
11B
11
27
25
10
15
15C
53B
(53)
53A
(53)
1E
15D
8(9)
6
3
X
Y
Z
28
27B
27A
19
(19A)
17
18
17
15A
13
41A
41B
41

図11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/023165

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/06***(2006.01)i; ***H01L 29/861***(2006.01)i; ***H01L 29/868***(2006.01)i
FI: H01L29/78 301G; H01L29/91 C; H01L29/78 301D; H01L27/06 102A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L21/8234; H01L27/06; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-79432 A (DENSO CORP.) 27 April 2017 (2017-04-27) paragraphs [0013]-[0035], fig. 1-4	1, 3, 6, 7, 14, 15, 17-20
Y		10-13, 18, 19
A		2, 4, 5, 8, 9, 16
X	JP 2009-212237 A (DENSO CORP.) 17 September 2009 (2009-09-17) paragraphs [0023]-[0028], [0040], fig. 6	1, 14-17, 20
Y		10-12, 18, 19
A		2-9, 13
X	US 2013/0161750 A1 (IMEC) 27 June 2013 (2013-06-27) paragraphs [0024]-[0033], fig. 1	1, 14-17, 20
Y		18, 19
A		2-13
Y	JP 2014-183231 A (FUJITSU SEMICONDUCTOR LTD.) 29 September 2014 (2014-09-29) paragraphs [0010]-[0017], [0044], fig. 1-3, 13A, 13B	10-13

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 August 2022	**13 September 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/023165

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2017-79432 A	27 April 2017	(Family: none)	
JP 2009-212237 A	17 September 2009	(Family: none)	
US 2013/0161750 A1	27 June 2013	EP 2608272 A1	
JP 2014-183231 A	29 September 2014	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2022/023165

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i
FI: H01L29/78 301G; H01L29/91 C; H01L29/78 301D; H01L27/06 102A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L21/336; H01L21/8234; H01L27/06; H01L29/861; H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2017-79432 A (株式会社デンソー) 27.04.2017 (2017-04-27) 段落0013-0035、図1-4	1, 3, 6, 7, 14, 15, 17-20
Y		10-13, 18, 19
A		2, 4, 5, 8, 9, 16
X	JP 2009-212237 A (株式会社デンソー) 17.09.2009 (2009-09-17) 段落0023-0028, 0040、図6	1, 14-17, 20
Y		10-12, 18, 19
A		2-9, 13
X	US 2013/0161750 A1 (IMEC) 27.06.2013 (2013-06-27) 段落0024-0033、図1	1, 14-17, 20
Y		18, 19
A		2-13
Y	JP 2014-183231 A (富士通セミコンダクター株式会社) 29.09.2014 (2014-09-29) 段落0010-0017, 0044、図1-3, 13A, 13B	10-13

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
30.08.2022	13.09.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
岩本　勉 5F 9355
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/023165

引用文献	公表日	パテントファミリー文献	公表日
JP 2017-79432 A	27.04.2017	（ファミリーなし）	
JP 2009-212237 A	17.09.2009	（ファミリーなし）	
US 2013/0161750 A1	27.06.2013	EP 2608272 A1	
JP 2014-183231 A	29.09.2014	（ファミリーなし）	