

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 9 月 10 日 (10.09.2020)



(10) 国际公布号
WO 2020/177283 A1

(51) 国际专利分类号:
G06F 13/40 (2006.01)

(21) 国际申请号: PCT/CN2019/103674

(22) 国际申请日: 2019 年 8 月 30 日 (30.08.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910168109.9 2019年3月6日 (06.03.2019) CN

(71) 申请人: 苏州浪潮智能科技有限公司 (INSPUR SUZHOU INTELLIGENT TECHNOLOGY CO., LTD) [CN/CN]; 中国江苏省苏州市官浦路 1 号 9 幢, Jiangsu 215000 (CN)。

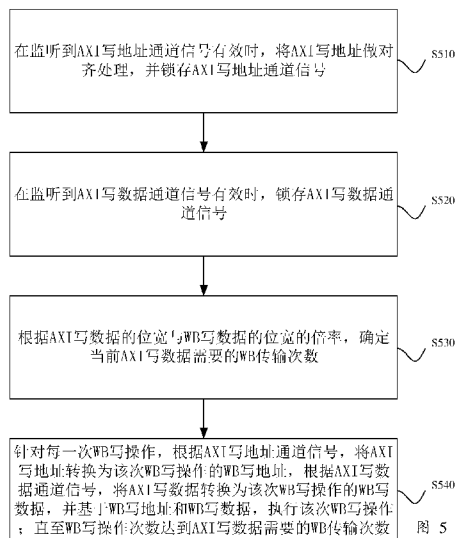
(72) 发明人: 于锦辉 (YU, Jinhui); 中国江苏省苏州市官浦路 1 号 9 幢, Jiangsu 215000 (CN)。

(74) 代理人: 北京集佳知识产权代理有限公司 (UNITALEN ATTORNEYS AT LAW); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: AXI2WB BUS BRIDGE IMPLEMENTATION METHOD AND DEVICE, EQUIPMENT AND STORAGE MEDIUM

(54) 发明名称: AXI2WB总线桥实现方法、装置、设备及存储介质



S510 When monitored that an AXI write address channel signal is effective, carry out alignment processing for an AXI write address, and latch the AXI write address channel signal
S520 When monitored that an AXI write data channel signal is effective, latch the AXI write data channel signal
S530 According to the magnifications of AXI write data bit width and WB write data bit width, determine the number of WB transmissions required for current AXI write data
S540 For each one-time WB write operation, convert the AXI write address into a WB write address for the one-time WB write operations according to the AXI write address channel signal, convert the AXI write data into WB write data for the one-time WB write operations according to the AXI write data channel signal, and on the basis of the WB write address and WB write data, execute the one-time WB write operations until the number of WB write operations reaches the number of WB transmissions required for the AXI write data

图 5

(57) Abstract: An AXI2WB bus bridge implementation method and device, equipment and a storage medium, the method comprising the following steps: latching an AXI write address channel signal and an AXI write data channel signal; determining the number of WB transmissions required for current AXI write data according to the magnifications of AXI write data bit width and WB write data bit width (S530); for each one-time WB write operation, converting the AXI write address into a WB write address for the one-time WB write operations, converting the AXI write data into WB write data for the one-time WB write operations, and on the basis of the WB write address and WB write data, executing one-time WB write operations until the number of WB write operations reaches the number of WB transmissions required for the AXI write data (S540). The present method may implement the design of a high-speed cache-free AXI2WB bus bridge suitable for use inside of an FPGA.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种AXI2WB总线桥实现方法、装置、设备及存储介质, 该方法包括以下步骤: 锁存AXI写地址通道信号和AXI写数据通道信号; 根据AXI写数据的位宽与WB写数据的位宽的倍率, 确定当前AXI写数据需要的WB传输次数(S530); 针对每一次WB写操作, 将AXI写地址转换为该次WB写操作的WB写地址, 将AXI写数据转换为该次WB写操作的WB写数据, 并基于WB写地址和WB写数据, 执行该次WB写操作; 直至WB写操作次数达到AXI写数据需要的WB传输次数(S540)。该方法可以实现适用于FPGA内部的高速无缓存AXI2WB总线桥设计。

AXI2WB 总线桥实现方法、装置、设备及存储介质

本申请要求于 2019 年 03 月 06 日提交中国专利局、申请号为 201910168109.9、发明名称为“AXI2WB 总线桥实现方法、装置、设备及存储介质”的中国专利申请的优先权，其全部内容通过引用结合在本申请

5 中。

技术领域

本申请涉及芯片设计技术领域，特别是涉及一种 AXI2WB 总线桥实现方法、装置、设备及存储介质。

10 背景技术

目前，SoC（System on Chip，片上系统）已经成为大规模数字集成电路设计的主流技术。SoC 芯片一般由多个 IP 模块构成，如嵌入式 CPU、DSP、各功能模块、存储模块、外部接口模块等。主模块与从模块之间由片上总线相连接，以完成控制信号和数据信号的传递。应用较为广泛的 SoC

15 总线协议是 ARM 公司的 AMBA（Advanced Microcontroller Bus Architecture，高级微处理器总线架构）总线协议，AMBA 总线协议包括 AXI（Advanced eXtensible Interface，高级可扩展接口）、AHB（Advanced High-performance Bus，高级高性能总线）、APB（Advanced Peripheral Bus，高级外围总线）等总线协议，其中 AXI 总线协议传输速率最快，但也最为

20 复杂，是一种面向高性能、高带宽、低延迟的片内总线，可以满足超高性能和复杂的 SoC 设计的需求。

现有的 RISC-V SoC 系统在现有开源 RISC-V core 的 verilog RTL 代码基础上，在 MMIO（Memory-mapped I/O，内存映射 I/O）接口自主添加了相关外设，在 MEMIO（Memory I/O，存储 I/O）接口添加了 DDR（Double

25 Data Rate，双倍速率）作为 SoC 的内存。该 RISC-V SoC 系统实现环境为 xilinx FPGA 开发板。

为了提高处理器速率，该 RISC-V SoC 系统的 MMIO 接口采用了 AXI 总线协议。将外设直接挂载到 AXI 总线上时，需要对外设接口封装成 AXI

协议, 由于 AXI 总线协议信号繁多, 当外设数量较多时, 每一个外设的接口都需要封装成 AXI 接口, 导致工作量很大, 工作效率较低。

发明内容

5 本申请的目的是提供一种 AXI2WB 总线桥实现方法、装置、设备及存储介质, 以实现 AXI 总线协议到 WB (Wishbone) 总线协议的转换。

为解决上述技术问题, 本申请提供如下技术方案:

一种 AXI2WB 总线桥实现方法, 包括:

10 在监听到 AXI 写地址通道信号有效时, 将 AXI 写地址做对齐处理, 并锁存 AXI 写地址通道信号;

在监听到 AXI 写数据通道信号有效时, 锁存 AXI 写数据通道信号;

根据 AXI 写数据的位宽与 WB 写数据的位宽的倍率, 确定当前 AXI 写数据需要的 WB 传输次数;

15 针对每一次 WB 写操作, 根据所述 AXI 写地址通道信号, 将 AXI 写地址转换为该次 WB 写操作的 WB 写地址, 根据所述 AXI 写数据通道信号, 将所述 AXI 写数据转换为该次 WB 写操作的 WB 写数据, 并基于所述 WB 写地址和所述 WB 写数据, 执行该次 WB 写操作; 直至 WB 写操作次数达到所述 AXI 写数据需要的 WB 传输次数。

20 在本申请的一种具体实施方式中, 所述根据所述 AXI 写地址通道信号, 将 AXI 写地址转换为该次 WB 写操作的 WB 写地址, 包括:

根据以下公式将 AXI 写地址转换为该次 WB 写操作的 WB 写地址:

$$wb_waddr = awaddr_ff + (w_data_cnt - 1) * data_width + addr_addend * (w_wb_transfer_cnt - 1);$$

25 其中, w_data_cnt 为当前 AXI 写地址传输的有效数据 $wdata$ 个数;
 $w_wb_transfer_cnt$ 为当前有效数据 $wdata$ 下已完成的 WB 写操作次数;
 $addr_addend$ 为 WB 数据字节个数; $awaddr_ff$ 为锁存的对齐后的 AXI 写地址; wb_waddr 为 WB 写地址; $data_width$ 为 AXI 数据字节宽度。

在本申请的一种具体实施方式中, 所述根据所述 AXI 写数据通道信号, 将所述 AXI 写数据转换为该次 WB 写操作的 WB 写数据, 包括:

—3—

根据以下公式将所述 AXI 写数据转换为该次 WB 写操作的 WB 写数据:

$$wb_dat_o=(wdata_ff>>(data_width*addr_addend*(wb_transfer_cnt-1)));$$

其中, wb_dat_o 为 WB 写数据; wdata_ff 为锁存的 AXI 写数据。

5 在本申请的一种具体实施方式中, 还包括:

在监听到 AXI 读地址通道信号有效时, 将 AXI 读地址做对齐处理, 并锁存 AXI 读地址通道信号;

根据 AXI 读数据的位宽与 WB 读数据的位宽的倍率, 确定当前 AXI 读数据需要的 WB 传输次数;

10 针对每一次 WB 读操作, 根据所述 AXI 读地址通道信号, 将 AXI 读地址转换为该次 WB 读操作的 WB 读地址, 将 WB 读数据转换为 AXI 读数据, 并基于所述 WB 读地址和所述 WB 读数据, 执行该次 WB 读操作; 直至 WB 读操作次数达到所述 AXI 读数据需要的 WB 传输次数。

在本申请的一种具体实施方式中, 所述根据所述 AXI 读地址通道信号, 15 将 AXI 读地址转换为该次 WB 读操作的 WB 读地址, 包括:

根据以下公式将 AXI 读地址转换为该次 WB 读操作的 WB 读地址:

$$wb_raddr=araddr_ff+(r_data_cnt-1)*data_width+addr_addend*(r_wb_transfer_cnt-1);$$

其中, r_data_cnt 为当前 AXI 读地址需要传输的有效数据 rdata 个数; 20 r_wb_transfer_cnt 为当前需要传输的有效数据 rdata 下已完成的 WB 读操作次数; addr_addend 为 WB 数据字节个数; araddr_ff 为锁存的对齐后的 AXI 读地址; wb_raddr 为 WB 读地址; data_width 为 AXI 数据字节宽度。

在本申请的一种具体实施方式中, 所述将 WB 读数据转换为 AXI 读数据, 包括:

25 根据以下公式将 WB 读数据转换为 AXI 读数据:

$$rdata=wb_dat_i<<(data_width*addr_addend*(r_wb_transfer_cnt-1));$$

其中, wb_dat_i 为 WB 读数据。

一种 AXI2WB 总线桥实现装置, 包括:

锁存单元, 用于在监听到 AXI 写地址通道信号有效时, 将 AXI 写地址

—4—

做对齐处理，并锁存 AXI 写地址通道信号；在监听到 AXI 写数据通道信号有效时，锁存 AXI 写数据通道信号；

适配单元，用于根据 AXI 写数据的位宽与 WB 写数据的位宽的倍率，确定当前 AXI 写数据需要的 WB 传输次数；

- 5 控制单元，用于针对每一次 WB 写操作，根据所述 AXI 写地址通道信号，将 AXI 写地址转换为该次 WB 写操作的 WB 写地址，根据所述 AXI 写数据通道信号，将所述 AXI 写数据转换为该次 WB 写操作的 WB 写数据，并基于所述 WB 写地址和所述 WB 写数据，执行该次 WB 写操作；直至 WB 写操作次数达到所述 AXI 写数据需要的 WB 传输次数。

- 10 在本申请的一种具体实施方式中，

所述锁存单元，还用于在监听到 AXI 读地址通道信号有效时，将 AXI 读地址做对齐处理，并锁存 AXI 读地址通道信号；

所述适配单元，还用于根据 AXI 读数据的位宽与 WB 读数据的位宽的倍率，确定当前 AXI 读数据需要的 WB 传输次数；

- 15 所述控制单元，还用于针对每一次 WB 读操作，根据所述 AXI 读地址通道信号，将 AXI 读地址转换为该次 WB 读操作的 WB 读地址，将 WB 读数据转换为 AXI 读数据，并基于所述 WB 读地址和所述 WB 读数据，执行该次 WB 读操作；直至 WB 读操作次数达到所述 AXI 读数据需要的 WB 传输次数。

- 20 一种 AXI2WB 总线桥实现设备，包括：

存储器，用于存储计算机程序；

处理器，用于执行所述计算机程序时实现上述任一项所述 AXI2WB 总线桥实现方法的步骤。

- 25 一种计算机可读存储介质，所述计算机可读存储介质上存储有计算机程序，所述计算机程序被处理器执行时实现上述任一项所述 AXI2WB 总线桥实现方法的步骤。

应用本申请实施例所提供的技术方案，可以实现适用于 FPGA 内部的高速无缓存 AXI2WB 总线桥设计，在处理器外设设计过程中可以降低外设开发的难度，对搭建基于 RISC-V 处理器的 SoC 系统具有突破性意义，有

助于 CPU 自主研发的进程，且本申请适用于多种位宽的总线转换，具有通用性。

附图说明

- 5 为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- 10 图 1 为本申请实施例中 AXI2WB 总线桥实现结构示意图；
图 2 为本申请实施例中 AXI 总线协议读通道示意图；
图 3 为本申请实施例中 AXI 总线协议写通道示意图；
图 4 为本申请实施例中 WB 主从互联信号示意图；
图 5 为本申请实施例中一种 AXI2WB 总线桥实现方法的实施流程图；
- 15 图 6 为本申请实施例中 AXI 写地址通道处理流程示意图；
图 7 为本申请实施例中 AXI 写数据通道处理流程示意图；
图 8 为本申请实施例中 WB 写操作处理流程示意图；
图 9 为本申请实施例中 AXI 写响应通道处理流程示意图；
图 10 为本申请实施例中 AXI 读地址通道处理流程示意图；
- 20 图 11 为本申请实施例中 AXI 读数据通道处理流程示意图；
图 12 为本申请实施例中 WB 读操作处理流程示意图；
图 13 为本申请实施例中一种 AXI2WB 总线桥实现装置的结构示意图；
图 14 为本申请实施例中一种 AXI2WB 总线桥实现设备的结构示意图。

具体实施方式

本申请的核心是提供一种 AXI2WB 总线桥实现方法，实现 AXI 总线协议到 WB（Wishbone，一种片内总线）总线协议的转换，使得 AXI 总线

—6—

上可以挂载接口为 WB 协议的相关外设,如 UART(Universal Asynchronous Receiver/Transmitter, 通用异步收发传输器)、GPIO (General Purpose Input Output, 通用输入/输出)等,如图 1 所示,为 AXI2WB 总线桥实现结构示意图,通过 AXI2WB 总线桥将 AXI 总线协议转换成 WB 总线协议,再挂载对速率要求不高的低速外设,如挂载有 GPIO 和 UART 等外设,通过 WB 仲裁 WB_Arbiter 确定当前通信的是哪个外设, S 为 Slave, 从接口, M 为 Master, 主接口, AXI2WB 总线桥可以包括地址对齐模块 Addr_Align、位宽适配模块 Width_Adapt 和流控模块 Flow_Ctrl。

首先说明一下 AXI 协议和 WB 协议的不同之处:

10 第一,AXI 协议是基于 burst 的传输,并且定义了 5 个独立的传输通道:读地址通道、读数据通道、写地址通道、写数据通道、写响应通道,分别如图 2 和图 3 所示。

AXI 协议每个通道可同时进行。AXI 是基于 VALID/READY 握手机制的数据传输协议,传输源端使用 VALID 表明地址/控制信号、数据是有效的,目的端使用 READY 表明自己能够接受信息。

读/写地址通道:读、写传输每个都有自己的地址通道,对应的地址通道承载着对应传输的地址控制信息。

读数据通道:读数据通道承载着读数据和读响应信号包括数据总线(8/16/32/64/128/256/512/1024bit)和指示读传输完成的读响应信号。

20 写数据通道:写数据通道的数据信息被认为是缓冲(buffered)了的,“主”无需等待“从”对上次写传输的确认即可发起一次新的写传输。写通道包括数据总线(8/16...1024bit)和字节线(用于指示 8bit 数据信号的有效性)。

写响应通道:“从”使用写响应通道对写传输进行响应。所有的写传输需要写响应通道的完成信号。

而 WB 协议只有一个通道,读写操作不能同时进行。如图 4 所示, WB 协议读写操作必选的信号除了数据外都是共用的,其中各个信号含义均为现有技术中的通用含义,本申请实施例对此不再赘述。

第二,AXI 协议数据位宽有 32 位、64 位、128 位等, WB 协议数据位

-7-

宽最高为 32 位，需要进行数据位宽匹配。

第三，AXI 协议有地址对齐的规则，地址信号与字节选通信号不能直接传递给 WB 协议，需要进行一定转换才可传递给 WB 协议。

为了使本技术领域的人员更好地理解本申请方案，下面结合附图和具体实施方式对本申请作进一步的详细说明。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

参见图 5 所示，为本申请实施例所提供的一种 AXI2WB 总线桥实现方法的实施流程图，该方法可以包括以下步骤：

S510：在监听到 AXI 写地址通道信号有效时，将 AXI 写地址做对齐处理，并锁存 AXI 写地址通道信号。

本申请实施例所提供的 AXI2WB 总线桥实现方法可以应用于 AXI2WB 总线桥，为方便描述，以下均简称为总线桥。

在实际应用中，总线桥可以对 AXI 写地址通道、AXI 写数据通道、AXI 写响应通道进行监听。在监听到 AXI 写地址通道信号有效时，可以将 AXI 写地址做对齐处理，并锁存 AXI 写地址通道信号。

具体的，可以通过以下步骤确定 AXI 写地址通道信号是否有效：

在监听到指示当前锁存的写数据是否有效的信号 wdata_valid、指示当前锁存的反馈是否有效的信号 bresp_valid 和指示当前锁存的读地址是否有效的信号 araddr_valid 均为低的情况下，awvalid 和 awready 同时为高时，确定 AXI 写地址通道信号有效。

如图 6 所示，总线桥判断指示当前锁存的写数据是否有效的信号 wdata_valid、指示当前锁存的反馈是否有效的信号 bresp_valid 和指示当前锁存的读地址是否有效的信号 araddr_valid 是否均为低，如果否，则可以重复执行判断指示当前锁存的写数据是否有效的信号 wdata_valid、指示当前锁存的反馈是否有效的信号 bresp_valid 和指示当前锁存的读地址是否有效的信号 araddr_valid 是否均为低的步骤，如果是，则进一步判断 awvalid 和 awready 是否同时为高，如果是，则可以确定 AXI 写地址通道信号有效，

—8—

否则，可重复执行判断 awvalid 和 awready 是否同时为高的步骤，在确定 AXI 写地址通道信号有效时，可进行 AXI 写地址对齐。

在本申请实施例中，在锁存 AXI 写地址通道信号之后，可以将 awready 置 0，将指示当前锁存的写地址是否有效的信号 awaddr_valid 置高，如图 6 所示，进一步，如果判断 AXI wlast 信号为高，则将 awready 置 1，将指示当前锁存的写地址是否有效的信号 awaddr_valid 置 0。

S520: 在监听到 AXI 写数据通道信号有效时，锁存 AXI 写数据通道信号。

总线桥在对 AXI 写地址通道和 AXI 写数据通道监听过程中，如果监听到 AXI 写数据通道信号有效，则可以锁存 AXI 写数据通道信号。

具体的，可以通过以下步骤确定 AXI 写数据通道信号是否有效：

在监听到 AXI 写操作次数 data_cnt 为 0、AXI 的指示当前锁存的写地址是否有效的信号 awaddr_valid 为高，且 wvalid 与 wready 同时为高时，确定 AXI 写数据通道信号有效。

如图 7 所示，总线桥在 AXI 写操作次数 data_cnt 为 0 时，可以判断 AXI 的指示当前锁存的写地址是否有效的信号 awaddr_valid 是否为高，如果否，则可以令 AXI 写操作次数 data_cnt 为 0，如果是，则可以进一步判断 wvalid 与 wready 是否同时为高，如果同时为高，则可以确定 AXI 写数据通道信号有效，否则可以重复执行判断 wvalid 与 wready 是否同时为高的步骤。

在本申请实施例中，在锁存 AXI 写数据通道信号之后，还可以将 wready 置 0，将指示当前锁存的写数据是否有效的信号 wdata_valid 置 1，AXI 写操作次数 data_cnt 加 1，如图 7 所示。

S530: 根据 AXI 写数据的位宽与 WB 写数据的位宽的倍率，确定当前 AXI 写数据需要的 WB 传输次数。

在本申请实施例中，可以预先设置宏定义开关以选择 AXI 和 WB 的位宽。根据 AXI 写数据的位宽与 WB 写数据的位宽的倍率，确定当前 AXI 写数据需要的 WB 传输次数。即一个 AXI 写数据 wdata 需要的 WB 传输次数 tranfer_conv。

通过宏定义开关可以很方便地选择 AXI 与 WB 的位宽, 控制逻辑代码中的中间变量 `addr_addend`, 实现不同位宽的 AXI2WB 总线桥设计, 无需对代码进行大的改动。

5 S540: 针对每一次 WB 写操作, 根据 AXI 写地址通道信号, 将 AXI 写地址转换为该次 WB 写操作的 WB 写地址, 根据 AXI 写数据通道信号, 将 AXI 写数据转换为该次 WB 写操作的 WB 写数据, 并基于 WB 写地址和 WB 写数据, 执行该次 WB 写操作; 直至 WB 写操作次数达到 AXI 写数据需要的 WB 传输次数。

10 在确定当前 AXI 写数据需要的 WB 传输次数后, 可以针对每一次 WB 写操作, 根据 AXI 写地址通道信号, 将 AXI 写地址转换为该次 WB 写操作的 WB 写地址, 根据 AXI 写数据通道信号, 将 AXI 写数据转换为该次 WB 写操作的 WB 写数据, 并基于 WB 写地址和 WB 写数据, 执行该次 WB 写操作。

15 具体的, 可以根据以下公式将 AXI 写地址转换为该次 WB 写操作的 WB 写地址:

$$wb_waddr = awaddr_ff + (w_data_cnt - 1) * data_width + addr_addend * (w_wb_transfer_cnt - 1);$$

20 其中, `w_data_cnt` 为当前 AXI 写地址传输的有效数据 `wdata` 个数; `w_wb_transfer_cnt` 为当前有效数据 `wdata` 下已完成的 WB 写操作次数; `addr_addend` 为 WB 数据字节个数; `awaddr_ff` 为锁存的对齐后的 AXI 写地址; `wb_waddr` 为 WB 写地址; `data_width` 为 AXI 数据字节宽度。

根据以下公式将 AXI 写数据转换为该次 WB 写操作的 WB 写数据:

$$wb_dat_o = (wdata_ff >> (data_width * addr_addend * (wb_transfer_cnt - 1)));$$

其中, `wb_dat_o` 为 WB 写数据; `wdata_ff` 为锁存的 AXI 写数据。

25 基于 WB 写地址和 WB 写数据, 执行每一次的 WB 写操作, 直至 WB 写操作次数达到 AXI 写数据需要的 WB 传输次数。

具体的, 如图 8 所示, 总线桥判断指示当前锁存的写地址是否有效的信号 `awaddr_valid` 和指示当前锁存的写数据是否有效的信号 `wdata_valid` 是否均为高且指示当前锁存的读地址是否有效的信号 `araddr_valid` 是否为低,

-10-

如果均为是，则拉高读写传输区分信号 wb_we_o、数据周期信号 wb_stb_o、总线周期信号 wb_cyc_o，开始一次 WB 写操作，否则，重复执行判断指示当前锁存的写地址是否有效的信号 awaddr_valid 和指示当前锁存的写数据是否有效的信号 wdata_valid 是否均为高且指示当前锁存的读地址是否有效的信号 araddr_valid 是否为低的步骤。进一步的，总线桥可以判断 WB 响应信号 wb_ack_i 是否为高，如果是，则判断 WB 写操作次数 wb_transfer_cnt 是否等于需要的 WB 传输次数 transfer_conv，如果否，则将 WB 写操作次数 wb_transfer_cnt 加 1，重复执行判断 WB 写操作次数 wb_transfer_cnt 是否等于需要的 WB 传输次数 transfer_conv 的步骤，如果是，则完成所有的 WB 写操作，拉低读写传输区分信号 wb_we_o、数据周期信号 wb_stb_o、总线周期信号 wb_cyc_o。

总线桥在判断 WB 写操作次数 wb_transfer_cnt 等于需要的 WB 传输次数 transfer_conv 时，将 wready 置 1，将指示当前锁存的写数据是否有效的信号 wdata_valid 置 0，如图 7 所示。

总线桥在进行 WB 写操作时，判断 AXI 写响应通道的 AXI bvalid 与 bready 信号是否同时为高，如果是，则将 bvalid 置 0，进一步判断 AXI wlast 信号是否为高，如果是，则将 bvalid 置 1，如图 9 所示。

在本申请的一个实施例中，该方法还可以包括以下步骤：

步骤一：在监听到 AXI 读地址通道信号有效时，将 AXI 写地址做对齐处理，并锁存 AXI 读地址通道信号；

步骤二：根据 AXI 读数据的位宽与 WB 读数据的位宽的倍率，确定当前 AXI 读数据需要的 WB 传输次数；

步骤三：针对每一次 WB 读操作，根据 AXI 读地址通道信号，将 AXI 读地址转换为该次 WB 读操作的 WB 读地址，将 WB 读数据转换为 AXI 读数据，并基于 WB 读地址和 WB 读数据，执行该次 WB 读操作；直至 WB 读操作次数达到 AXI 读数据需要的 WB 传输次数。

在本申请实施例中，总线桥可以对 AXI 读地址通道、AXI 读数据通道进行监听。在监听到 AXI 读地址通道信号有效时，可以将 AXI 读地址做对齐处理，并锁存 AXI 读地址通道信号。

具体的，可以通过以下步骤确定 AXI 读地址通道信号是否有效：

在监听到指示当前锁存的写地址是否有效的信号 `awaddr_valid`、指示当前锁存的写数据是否有效的信号 `wdata_valid`、`bvalid`、指示当前锁存的读地址是否有效的信号 `araddr_valid` 均为低的情况下，`arvalid` 和 `arready` 同时为高时，确定 AXI 读地址通道信号有效。

如图 10 所示，总线桥判断指示当前锁存的写地址是否有效的信号 `awaddr_valid`、指示当前锁存的写数据是否有效的信号 `wdata_valid`、`bvalid` 和指示当前锁存的读地址是否有效的信号 `araddr_valid` 是否均为低，如果否，则可以重复执行判断指示当前锁存的写地址是否有效的信号 `awaddr_valid`、指示当前锁存的写数据是否有效的信号 `wdata_valid`、`bvalid` 和指示当前锁存的读地址是否有效的信号 `araddr_valid` 是否均为低的步骤，如果是，则进一步判断 `arvalid` 和 `arready` 是否同时为高，如果是，则可以确定 AXI 读地址通道信号有效，否则，可重复执行判断 `arvalid` 和 `arready` 是否同时为高的步骤，在确定 AXI 读地址通道信号有效时，可进行 AXI 读地址对齐。

在本申请实施例中，在锁存 AXI 读地址通道信号之后，可以将 `arready` 置 0，将指示当前锁存的读地址是否有效的信号 `araddr_valid` 置高，如图 10 所示。如果判断 WB 读操作次数 `wb_transfer_cnt` 等于需要 WB 传输次数 `transfer_conv`，则将 `arready` 置 1，将指示当前锁存的读地址是否有效的信号 `araddr_valid` 置 0，`rlast` 置 1。

总线桥在 AXI 读操作次数 `data_cnt` 为 0，判断 AXI 的指示当前锁存的读地址是否有效的信号 `araddr_valid` 为高时，可以根据 AXI 读数据的位宽与 WB 读数据的位宽的倍率，确定当前 AXI 读数据需要的 WB 传输次数。即一个 AXI 读数据 `rdata` 需要的 WB 传输次数 `transfer_conv`。

针对每一次 WB 读操作，根据 AXI 读地址通道信号，将 AXI 读地址转换为该次 WB 读操作的 WB 读地址，将 WB 读数据转换为 AXI 读数据，并基于 WB 读地址和 WB 读数据，执行该次 WB 读操作。

具体的，可以根据以下公式将 AXI 读地址转换为该次 WB 读操作的 WB 读地址：

- 12 -

$wb_raddr = araddr_ff + (r_data_cnt - 1) * data_width + addr_addend * (r_wb_transfer_cnt - 1);$

其中， r_data_cnt 为当前 AXI 读地址需要传输的有效数据 $rdata$ 个数； $r_wb_transfer_cnt$ 为当前需要传输的有效数据 $rdata$ 下已完成的 WB 读操作次数； $addr_addend$ 为 WB 数据字节个数； $araddr_ff$ 为锁存的对齐后的 AXI 读地址； wb_raddr 为 WB 读地址； $data_width$ 为 AXI 数据字节宽度。

根据以下公式将 WB 读数据转换为 AXI 读数据：

$rdata = wb_dat_i \ll (data_width * addr_addend * (r_wb_transfer_cnt - 1));$

其中， wb_dat_i 为 WB 读数据。

10 基于 WB 读地址和 WB 写数据，执行每一次的 WB 读操作，直至 WB 读操作次数达到 AXI 读数据需要的 WB 传输次数。

具体的，如图 12 所示，总线桥判断指示当前锁存的写地址是否有效的信号 $awaddr_valid$ 、指示当前锁存的写数据是否有效的信号 $wdata_valid$ 、指示当前锁存的读地址是否有效的信号 $araddr_valid$ 是否均为低，如果是，
15 则拉高数据周期信号 wb_stb_o 、总线周期信号 wb_cyc_o ，开始一次 WB 读操作，否则，重复执行判断指示当前锁存的写地址是否有效的信号 $awaddr_valid$ 、指示当前锁存的写数据是否有效的信号 $wdata_valid$ 、指示当前锁存的读地址是否有效的信号 $araddr_valid$ 是否均为低的步骤。进一步的，总线桥可以判断 WB 响应信号 wb_ack_i 是否为高，如果是，则判断
20 WB 读操作次数 $wb_transfer_cnt$ 是否等于需要的 WB 传输次数 $transfer_conv$ ，如果否，则将 WB 读操作次数 $wb_transfer_cnt$ 加 1，重复执行判断 WB 读操作次数 $wb_transfer_cnt$ 是否等于需要的 WB 传输次数 $transfer_conv$ 的步骤，如果是，则完成所有的 WB 读操作，拉低读写传输区分信号 wb_we_o 、数据周期信号 wb_stb_o 、总线周期信号 wb_cyc_o ，
25 令 WB 读操作次数为 0。

总线桥在判断 WB 读操作次数 $wb_transfer_cnt$ 等于需要的 WB 传输次数 $transfer_conv$ 时，将读数据通道 $rvalid$ 置 1，将 AXI 读操作次数 $data_cnt$ 加 1，如图 11 所示，并可进一步判断 AXI 读数据通道信号是否有效，即 $rvalid$ 与 $rready$ 是否同时为高，如果是，则将 $rvalid$ 置 0，AXI 读操作次数

data_cnt 加 1。

应用本申请实施例所提供的技术方案可以实现适用于 FPGA 内部的高速无缓存 AXI2WB 总线桥设计，在处理器外设设计过程中可以降低外设开发的难度，对搭建基于 RISC-V 处理器的 SoC 系统具有突破性意义，有助于 CPU 自主研发的进程，且本申请适用于多种位宽的总线转换，具有通用性。

相应于上面的方法实施例，本申请实施例还提供了一种 AXI2WB 总线桥实现装置，下文描述的一种 AXI2WB 总线桥实现装置与上文描述的一种 AXI2WB 总线桥实现方法可相互对应参照。

10 参见图 13 所示，该装置包括以下单元：

锁存单元 1301，用于在监听到 AXI 写地址通道信号有效时，将 AXI 写地址做对齐处理，并锁存 AXI 写地址通道信号；在监听到 AXI 写数据通道信号有效时，锁存 AXI 写数据通道信号；

15 适配单元 1302，用于根据 AXI 写数据的位宽与 WB 写数据的位宽的倍率，确定当前 AXI 写数据需要的 WB 传输次数；

20 控制单元 1303，用于针对每一次 WB 写操作，根据 AXI 写地址通道信号，将 AXI 写地址转换为该次 WB 写操作的 WB 写地址，根据 AXI 写数据通道信号，将 AXI 写数据转换为该次 WB 写操作的 WB 写数据，并基于 WB 写地址和 WB 写数据，执行该次 WB 写操作；直至 WB 写操作次数达到 AXI 写数据需要的 WB 传输次数。

25 应用本申请实施例所提供的技术方案可以实现适用于 FPGA 内部的高速无缓存 AXI2WB 总线桥设计，在处理器外设设计过程中可以降低外设开发的难度，对搭建基于 RISC-V 处理器的 SoC 系统具有突破性意义，有助于 CPU 自主研发的进程，且本申请适用于多种位宽的总线转换，具有通用性。

在本申请的一种具体实施方式中，控制单元 1303，具体用于：

根据以下公式将 AXI 写地址转换为该次 WB 写操作的 WB 写地址：

$$wb_waddr = awaddr_ff + (w_data_cnt - 1) * data_width + addr_addend * (w_wb_transfer_cnt - 1);$$

其中, w_data_cnt 为当前 AXI 写地址传输的有效数据 $wdata$ 个数;
 $w_wb_transfer_cnt$ 为当前有效数据 $wdata$ 下已完成的 WB 写操作次数;
 $addr_addend$ 为 WB 数据字节个数; $awaddr_ff$ 为锁存的对齐后的 AXI 写地址;
 wb_waddr 为 WB 写地址; $data_width$ 为 AXI 数据字节宽度。

5 在本申请的一种具体实施方式中, 控制单元 1303, 具体用于:

根据以下公式将 AXI 写数据转换为该次 WB 写操作的 WB 写数据:

$wb_dat_o = (wdata_ff \gg (data_width * addr_addend * (wb_transfer_cnt - 1)))$;

其中, wb_dat_o 为 WB 写数据; $wdata_ff$ 为锁存的 AXI 写数据。

在本申请的一种具体实施方式中,

10 锁存单元 1301, 还用于在监听到 AXI 读地址通道信号有效时, 将 AXI 读地址做对齐处理, 并锁存 AXI 读地址通道信号;

适配单元 1302, 还用于根据 AXI 读数据的位宽与 WB 读数据的位宽的倍率, 确定当前 AXI 读数据需要的 WB 传输次数;

控制单元 1303, 还用于针对每一次 WB 读操作, 根据 AXI 读地址通道信号, 将 AXI 读地址转换为该次 WB 读操作的 WB 读地址, 将 WB 读数据转换为 AXI 读数据, 并基于 WB 读地址和 WB 读数据, 执行该次 WB 读操作; 直至 WB 读操作次数达到 AXI 读数据需要的 WB 传输次数。

在本申请的一种具体实施方式中, 控制单元 1303, 具体用于:

根据以下公式将 AXI 读地址转换为该次 WB 读操作的 WB 读地址:

20 $wb_raddr = araddr_ff + (r_data_cnt - 1) * data_width + addr_addend * (r_wb_transfer_cnt - 1)$;

其中, r_data_cnt 为当前 AXI 读地址需要传输的有效数据 $rdata$ 个数;
 $r_wb_transfer_cnt$ 为当前需要传输的有效数据 $rdata$ 下已完成的 WB 读操作次数;
 $addr_addend$ 为 WB 数据字节个数; $araddr_ff$ 为锁存的对齐后的 AXI 读地址;
 wb_raddr 为 WB 读地址; $data_width$ 为 AXI 数据字节宽度。

25 在本申请的一种具体实施方式中, 控制单元 1303, 具体用于:

根据以下公式将 WB 读数据转换为 AXI 读数据:

$rdata = wb_dat_i \ll (data_width * addr_addend * (r_wb_transfer_cnt - 1))$;

其中, wb_dat_i 为 WB 读数据。

相应于上面的方法实施例，本申请实施例还提供了一种 AXI2WB 总线桥实现设备，如图 14 所示，包括：

存储器 1401，用于存储计算机程序；

处理器 1402，用于执行计算机程序时实现上述 AXI2WB 总线桥实现方法的步骤。

相应于上面的方法实施例，本申请实施例还提供了一种计算机可读存储介质，计算机可读存储介质上存储有计算机程序，计算机程序被处理器执行时实现上述 AXI2WB 总线桥实现方法的步骤。

本说明书中各个实施例采用递进的方式描述，每个实施例重点说明的都是与其它实施例的不同之处，各个实施例之间相同或相似部分互相参见即可。

专业人员还可以进一步意识到，结合本文中所公开的实施例描述的各示例的单元及算法步骤，能够以电子硬件、计算机软件或者二者的结合来实现，为了清楚地说明硬件和软件的可互换性，在上述说明中已经按照功能一般性地描述了各示例的组成及步骤。这些功能究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

结合本文中所公开的实施例描述的方法或算法的步骤可以直接用硬件、处理器执行的软件模块，或者二者的结合来实施。软件模块可以置于随机存储器（RAM）、内存、只读存储器（ROM）、电可编程 ROM、电可擦除可编程 ROM、寄存器、硬盘、可移动磁盘、CD-ROM、或技术领域内所公知的任意其它形式的存储介质中。

本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的技术方案及其核心思想。应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请原理的前提下，还可以对本申请进行若干改进和修饰，这些改进和修饰也落入本申请权利要求要求的保护范围内。

权 利 要 求

1、一种 AXI2WB 总线桥实现方法，其特征在于，包括：

在监听到 AXI 写地址通道信号有效时，将 AXI 写地址做对齐处理，并锁存 AXI 写地址通道信号；

5 在监听到 AXI 写数据通道信号有效时，锁存 AXI 写数据通道信号；

根据 AXI 写数据的位宽与 WB 写数据的位宽的倍率，确定当前 AXI 写数据需要的 WB 传输次数；

针对每一次 WB 写操作，根据所述 AXI 写地址通道信号，将 AXI 写地址转换为该次 WB 写操作的 WB 写地址，根据所述 AXI 写数据通道信号，
10 将所述 AXI 写数据转换为该次 WB 写操作的 WB 写数据，并基于所述 WB 写地址和所述 WB 写数据，执行该次 WB 写操作；直至 WB 写操作次数达到所述 AXI 写数据需要的 WB 传输次数。

2、根据权利要求 1 所述的方法，其特征在于，所述根据所述 AXI 写地址通道信号，将 AXI 写地址转换为该次 WB 写操作的 WB 写地址，包括：

15 根据以下公式将 AXI 写地址转换为该次 WB 写操作的 WB 写地址：

$$wb_waddr = awaddr_ff + (w_data_cnt - 1) * data_width + addr_addend * (w_wb_transfer_cnt - 1);$$

其中，w_data_cnt 为当前 AXI 写地址传输的有效数据 wdata 个数；
w_wb_transfer_cnt 为当前有效数据 wdata 下已完成的 WB 写操作次数；

20 addr_addend 为 WB 数据字节个数；awaddr_ff 为锁存的对齐后的 AXI 写地址；wb_waddr 为 WB 写地址；data_width 为 AXI 数据字节宽度。

3、根据权利要求 2 所述的方法，其特征在于，所述根据所述 AXI 写数据通道信号，将所述 AXI 写数据转换为该次 WB 写操作的 WB 写数据，包括：

25 根据以下公式将所述 AXI 写数据转换为该次 WB 写操作的 WB 写数据：

$$wb_dat_o = (wdata_ff \gg (data_width * addr_addend * (wb_transfer_cnt - 1)));$$

其中，wb_dat_o 为 WB 写数据；wdata_ff 为锁存的 AXI 写数据。

4、根据权利要求 1 至 3 之中任一项所述的方法，其特征在于，还包括：

在监听到 AXI 读地址通道信号有效时, 将 AXI 读地址做对齐处理, 并锁存 AXI 读地址通道信号;

根据 AXI 读数据的位宽与 WB 读数据的位宽的倍率, 确定当前 AXI 读数据需要的 WB 传输次数;

- 5 针对每一次 WB 读操作, 根据所述 AXI 读地址通道信号, 将 AXI 读地址转换为该次 WB 读操作的 WB 读地址, 将 WB 读数据转换为 AXI 读数据, 并基于所述 WB 读地址和所述 WB 读数据, 执行该次 WB 读操作; 直至 WB 读操作次数达到所述 AXI 读数据需要的 WB 传输次数。

- 10 5、根据权利要求 4 所述的方法, 其特征在于, 所述根据所述 AXI 读地址通道信号, 将 AXI 读地址转换为该次 WB 读操作的 WB 读地址, 包括:

根据以下公式将 AXI 读地址转换为该次 WB 读操作的 WB 读地址:

$$wb_raddr = araddr_ff + (r_data_cnt - 1) * data_width + addr_addend * (r_wb_transfer_cnt - 1);$$

- 15 其中, r_data_cnt 为当前 AXI 读地址需要传输的有效数据 $rdata$ 个数; $r_wb_transfer_cnt$ 为当前需要传输的有效数据 $rdata$ 下已完成的 WB 读操作次数; $addr_addend$ 为 WB 数据字节个数; $araddr_ff$ 为锁存的对齐后的 AXI 读地址; wb_raddr 为 WB 读地址; $data_width$ 为 AXI 数据字节宽度。

6、根据权利要求 5 所述的方法, 其特征在于, 所述将 WB 读数据转换为 AXI 读数据, 包括:

- 20 根据以下公式将 WB 读数据转换为 AXI 读数据:

$$rdata = wb_dat_i << (data_width * addr_addend * (r_wb_transfer_cnt - 1));$$

其中, wb_dat_i 为 WB 读数据。

7、一种 AXI2WB 总线桥实现装置, 其特征在于, 包括:

- 25 锁存单元, 用于在监听到 AXI 写地址通道信号有效时, 将 AXI 写地址做对齐处理, 并锁存 AXI 写地址通道信号; 在监听到 AXI 写数据通道信号有效时, 锁存 AXI 写数据通道信号;

适配单元, 用于根据 AXI 写数据的位宽与 WB 写数据的位宽的倍率, 确定当前 AXI 写数据需要的 WB 传输次数;

控制单元, 用于针对每一次 WB 写操作, 根据所述 AXI 写地址通道信

—18—

号，将 AXI 写地址转换为该次 WB 写操作的 WB 写地址，根据所述 AXI 写数据通道信号，将所述 AXI 写数据转换为该次 WB 写操作的 WB 写数据，并基于所述 WB 写地址和所述 WB 写数据，执行该次 WB 写操作；直至 WB 写操作次数达到所述 AXI 写数据需要的 WB 传输次数。

5 8、根据权利要求 7 所述的装置，其特征在于，

所述锁存单元，还用于在监听到 AXI 读地址通道信号有效时，将 AXI 读地址做对齐处理，并锁存 AXI 读地址通道信号；

所述适配单元，还用于根据 AXI 读数据的位宽与 WB 读数据的位宽的倍率，确定当前 AXI 读数据需要的 WB 传输次数；

10 所述控制单元，还用于针对每一次 WB 读操作，根据所述 AXI 读地址通道信号，将 AXI 读地址转换为该次 WB 读操作的 WB 读地址，将 WB 读数据转换为 AXI 读数据，并基于所述 WB 读地址和所述 WB 读数据，执行该次 WB 读操作；直至 WB 读操作次数达到所述 AXI 读数据需要的 WB 传输次数。

15 9、一种 AXI2WB 总线桥实现设备，其特征在于，包括：

存储器，用于存储计算机程序；

处理器，用于执行所述计算机程序时实现如权利要求 1 至 6 任一项所述 AXI2WB 总线桥实现方法的步骤。

20 10、一种计算机可读存储介质，其特征在于，所述计算机可读存储介质上存储有计算机程序，所述计算机程序被处理器执行时实现如权利要求 1 至 6 任一项所述 AXI2WB 总线桥实现方法的步骤。

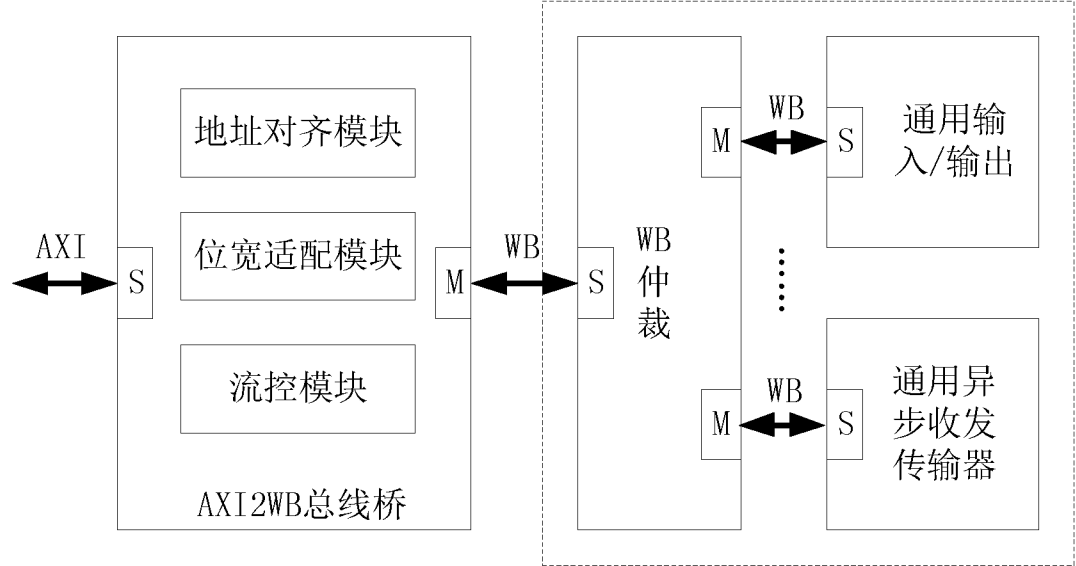


图 1

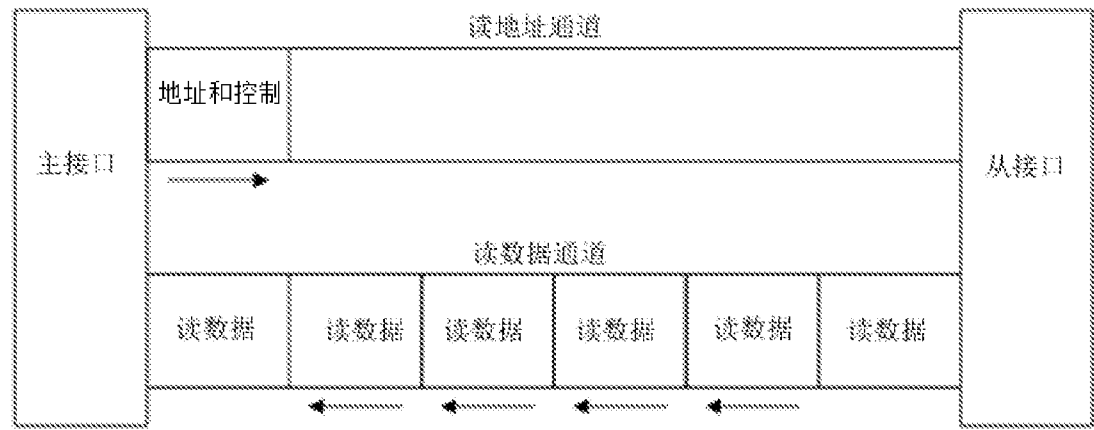


图 2

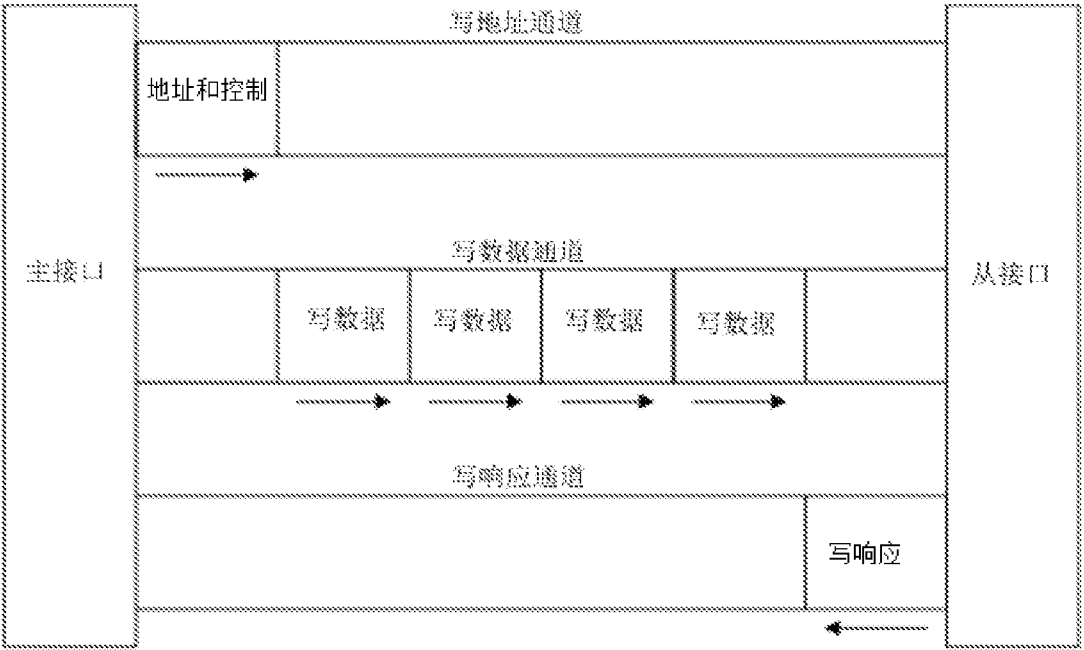


图 3

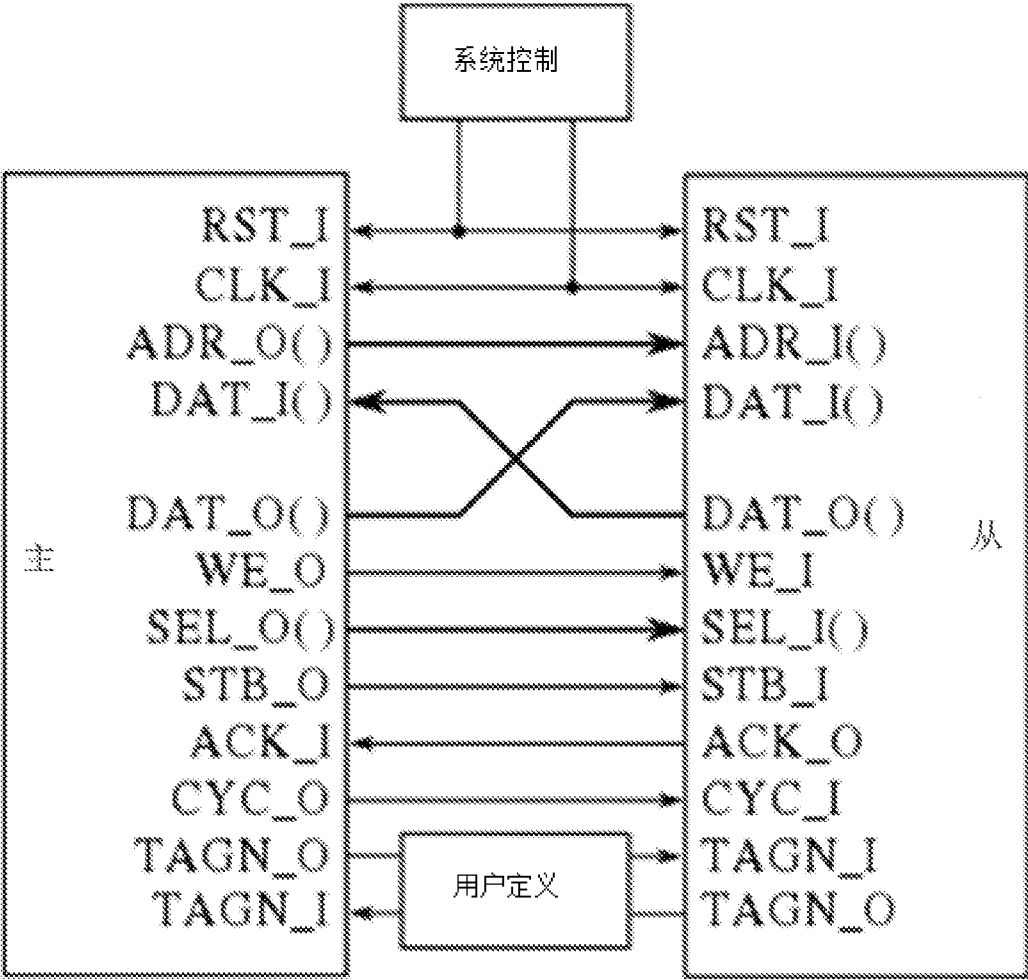


图 4

—4/12—

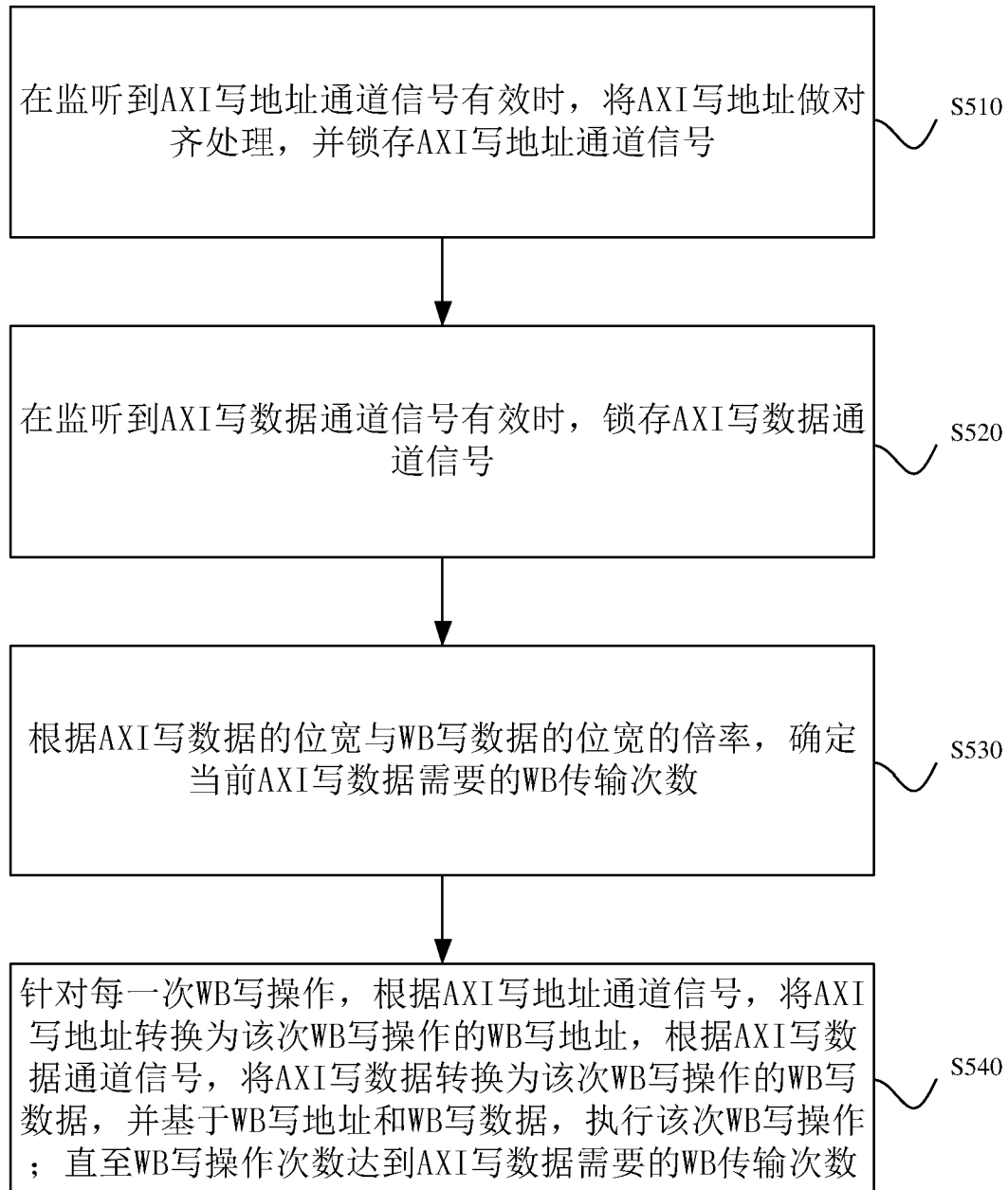


图 5

—5/12—

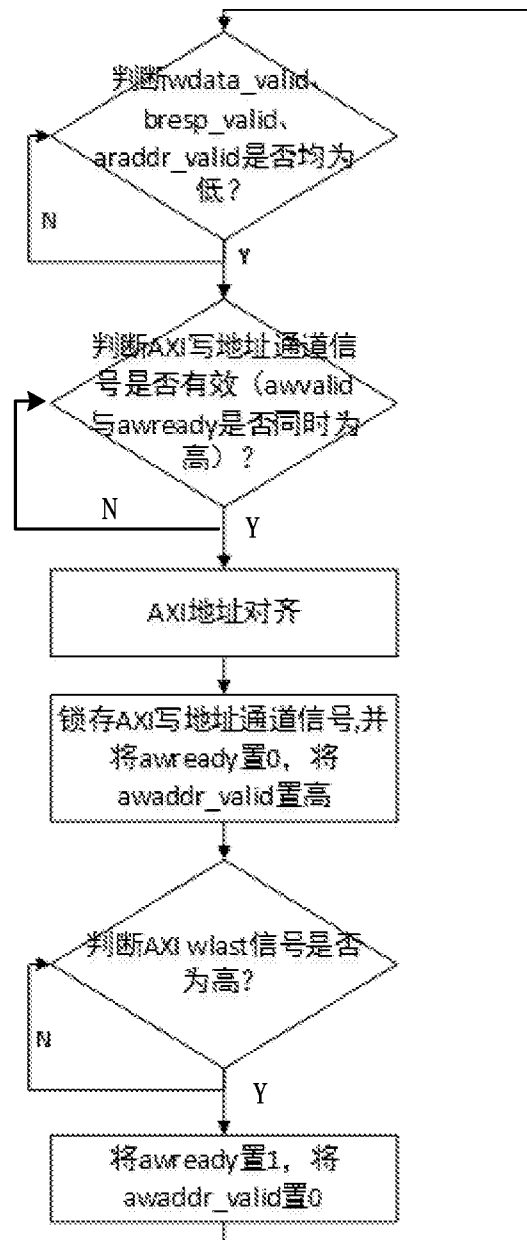


图 6

—6/12—

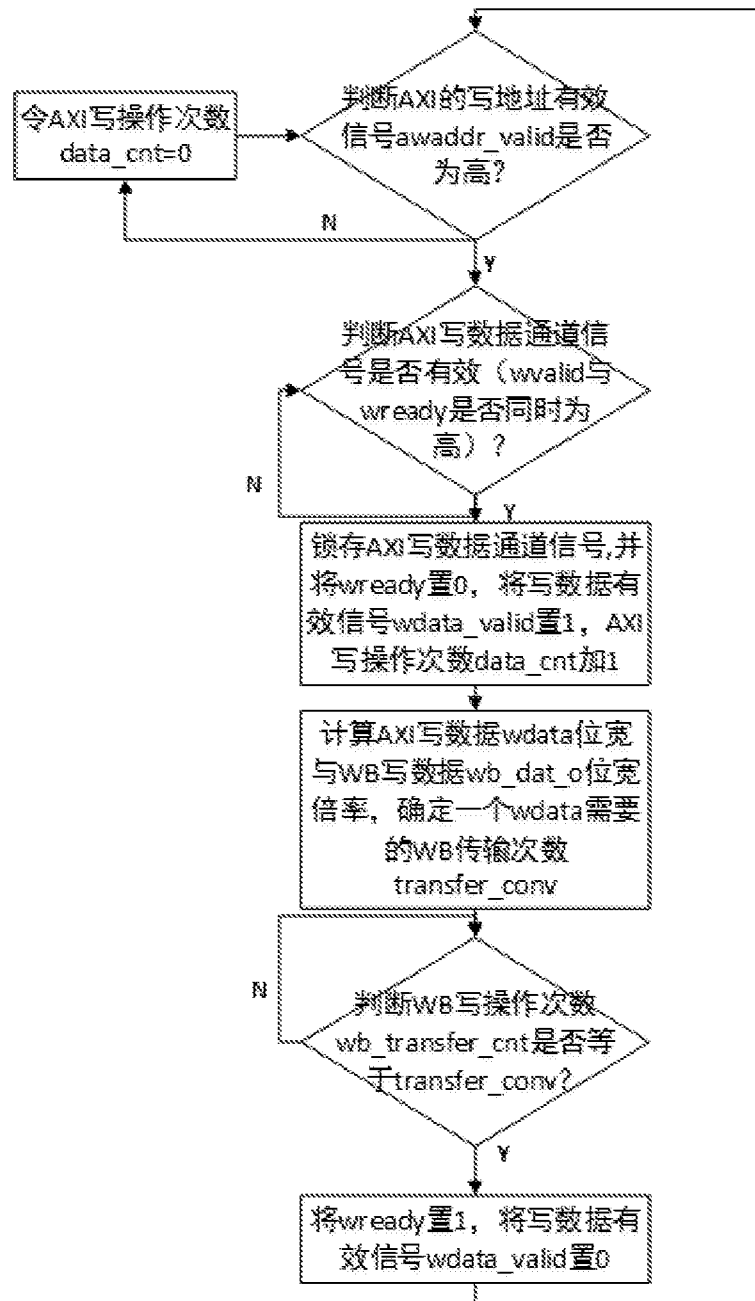


图 7

—7/12—

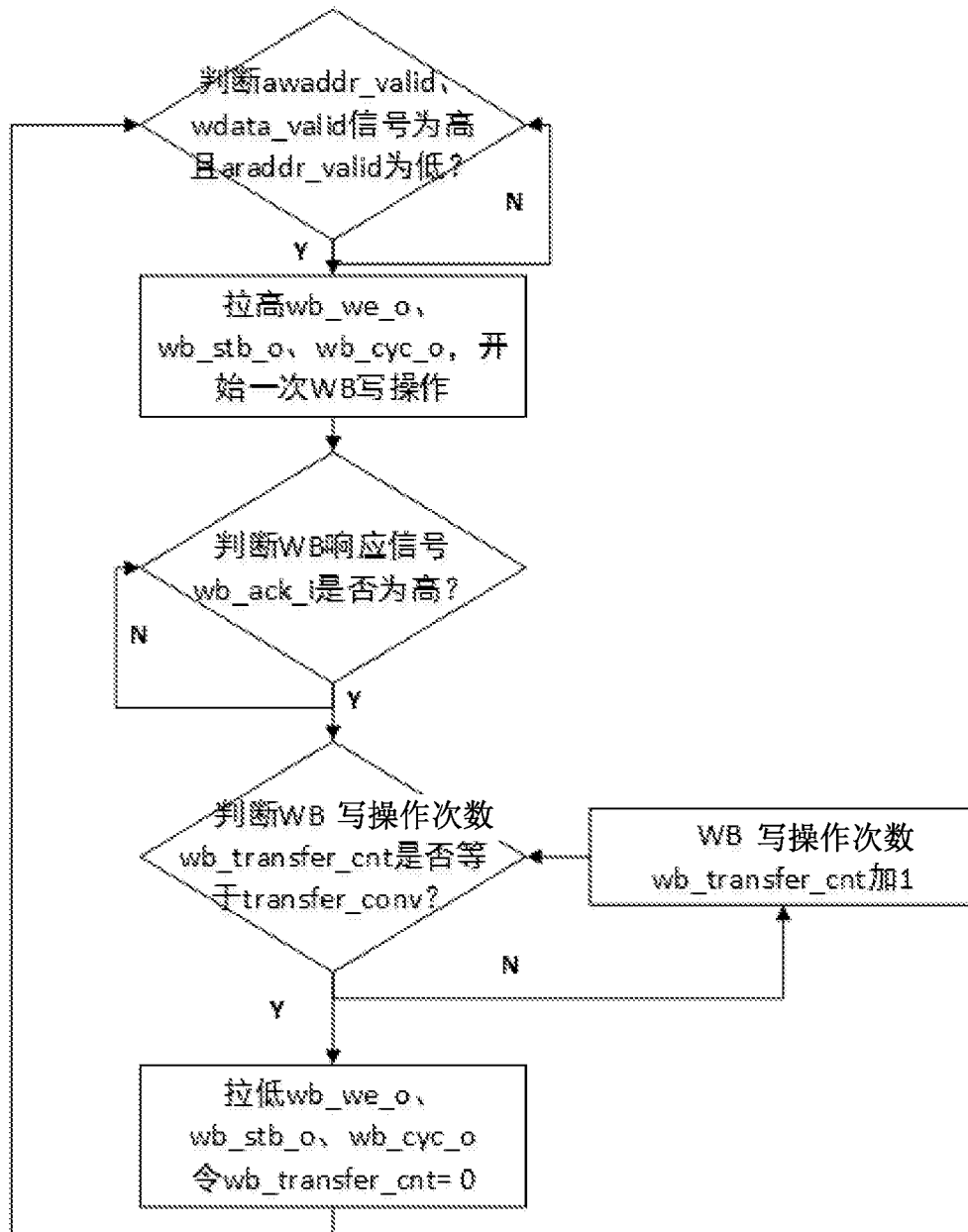


图 8

—8/12—

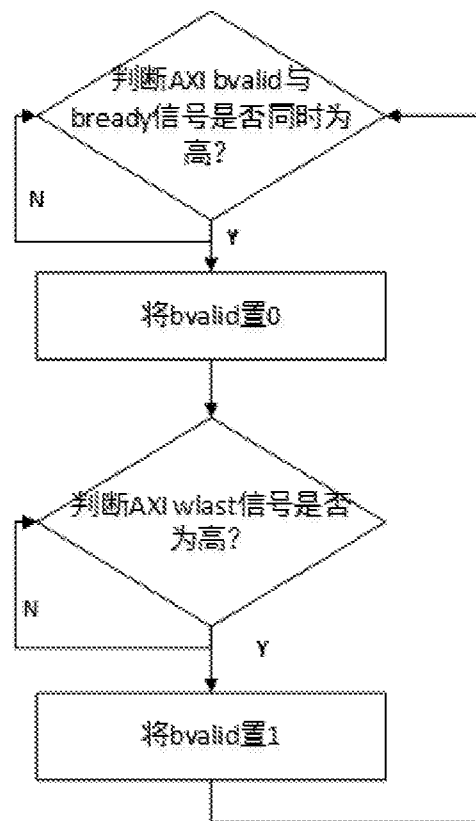


图 9

—9/12—

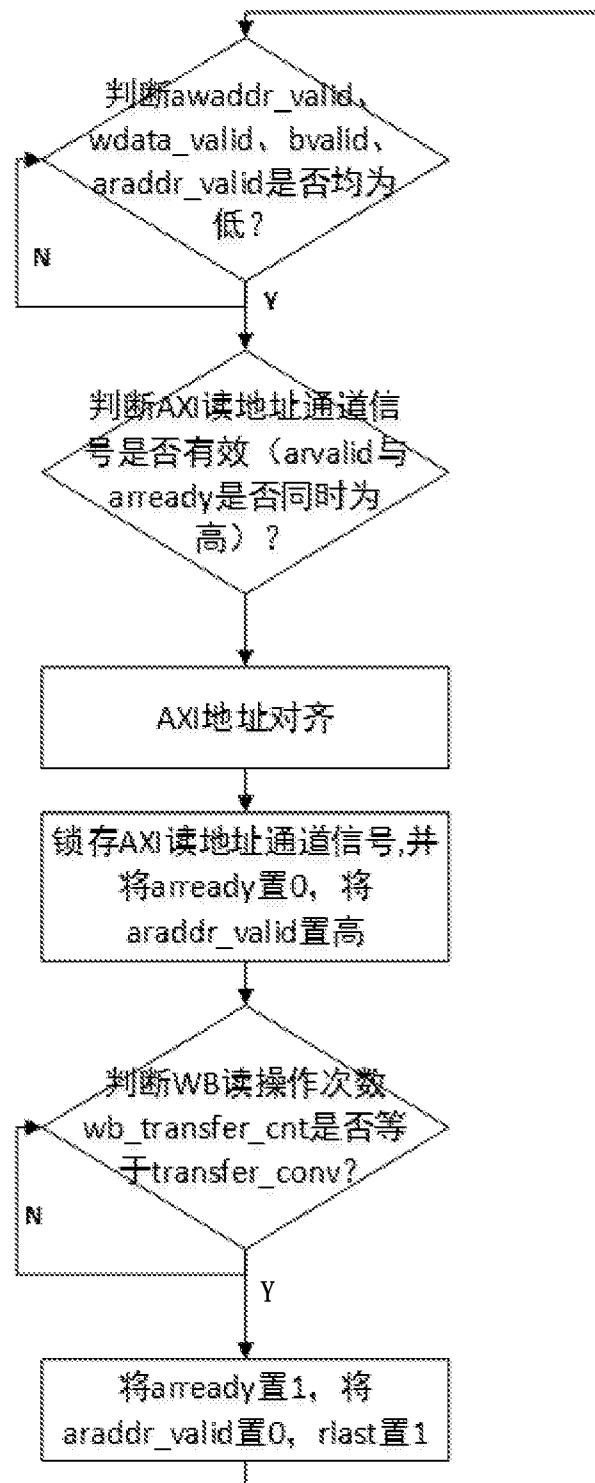


图 10

- 10/12 -

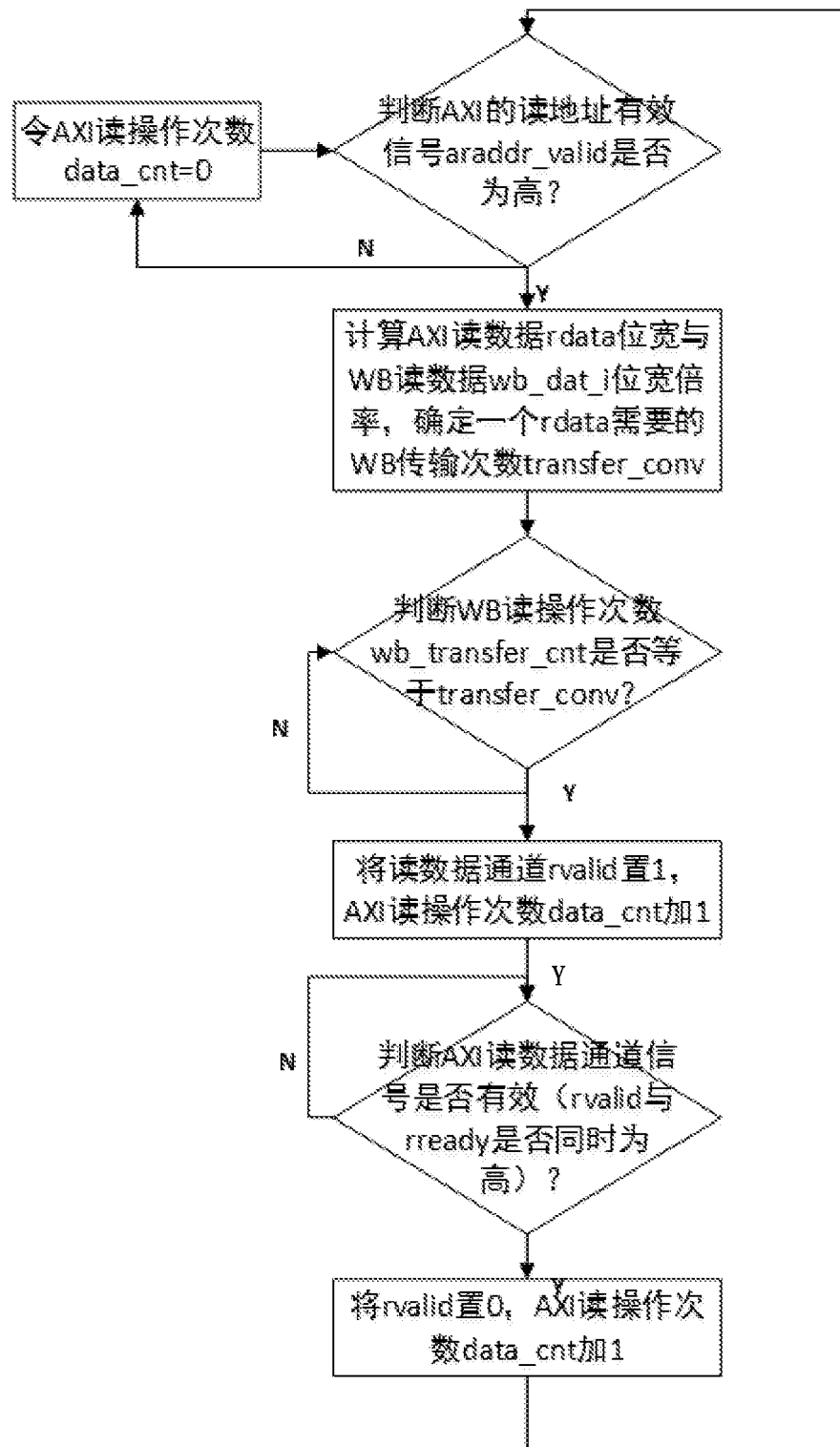


图 11

- 11/12 -

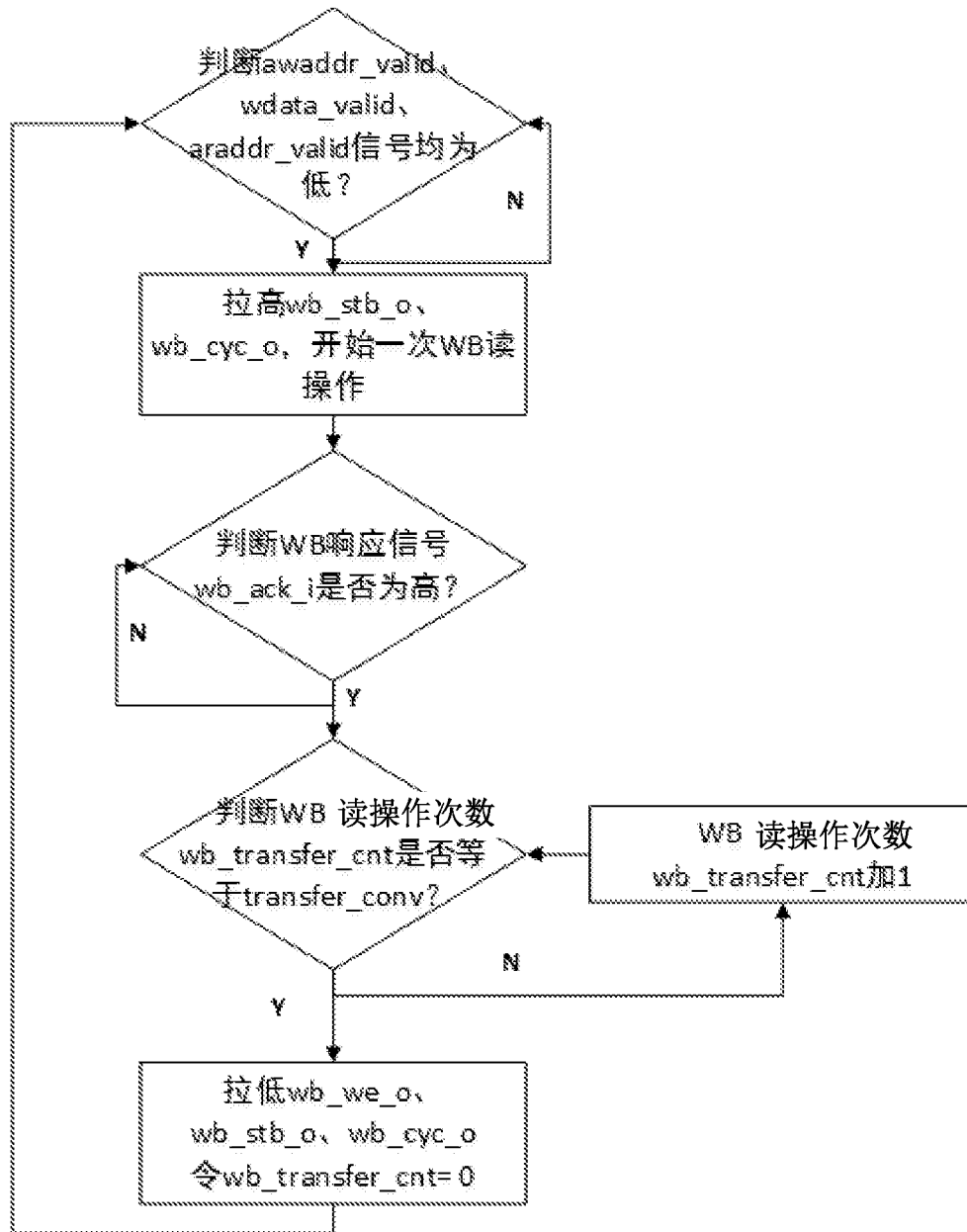


图 12

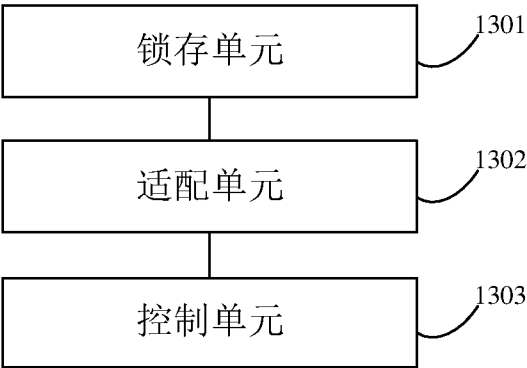


图 13

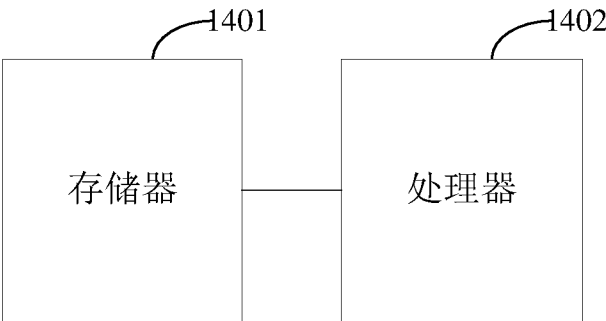


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/103674

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/40(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE, 万方, WANFANG: AXI, WB, 总线, 桥, 转换, 矩阵, 互连, wishbone, bus, bridge, interconnect+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109828941 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 31 May 2019 (2019-05-31) claims 1-10	1-10
X	杨舜琪 (YANG, Shunqi). "AMBA AXI4 总线的研究与实现 (Research and Implementation of AMBA AXI4 BUS)" AXI4总线桥的设计和实现 (Non-official translation: Design and Implementation of AXI4 Bus Bridge), 24 December 2012 (2012-12-24), text, pp. 20-28	1-10
A	CN 103761208 A (SUZHOU AISISUO ELECTRONIC SCIENCE & TECHNOLOGY CO., LTD.) 30 April 2014 (2014-04-30) entire document	1-10
A	US 2011276735 A1 (SAMSUNG ELECTRONICS CO., LTD.) 10 November 2011 (2011-11-10) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

13 November 2019

Date of mailing of the international search report

27 November 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/103674

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Gayathri, M. et al. "A SV-UVM Framework for Verification of SGMII IP Core with Reusable AXI to WB Bridge UVC" <i>2016 3rd International Conference on Advanced Computing and Communication Systems (ICACCS)</i> , 10 October 2016 (2016-10-10), entire document	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/103674

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	109828941	A	31 May 2019	None	
CN	103761208	A	30 April 2014	CN 103761208	B 18 January 2017
US	2011276735	A1	10 November 2011	US 9122802	B2 01 September 2015
				US 2014201407	A1 17 July 2014
				US 8713233	B2 29 April 2014
				KR 101620460	B1 13 May 2016
				KR 20110122516	A 10 November 2011

国际检索报告

国际申请号

PCT/CN2019/103674

A. 主题的分类 G06F 13/40 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G06F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, WPI, EPDOC, CNKI, IEEE, 万方: AXI, WB, 总线, 桥, 转换, 矩阵, 互连, wishbone, bus, bridge, interconnect+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 109828941 A (苏州浪潮智能科技有限公司) 2019年 5月 31日 (2019 - 05 - 31) 权利要求1-10	1-10
X	杨舜琪. "AMBA AXI4 总线研究与实现" AXI4总线桥的设计和实现, 2012年 12月 24日 (2012 - 12 - 24), 正文第20页至第28页	1-10
A	CN 103761208 A (苏州爱思索电子科技有限公司) 2014年 4月 30日 (2014 - 04 - 30) 全文	1-10
A	US 2011276735 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2011年 11月 10日 (2011 - 11 - 10) 全文	1-10
A	Gayathri, M et al. "A SV-UVM framework for Verification of SGMII IP Core with reusable AXI to WB Bridge UVC" 2016 3rd International Conference on Advanced Computing and Communication Systems (ICACCS), 2016年 10月 10日 (2016 - 10 - 10), 全文	1-10
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: "A" 认为不特别相关的表示了现有技术一般状态的文件 "E" 在国际申请日的当天或之后公布的在先申请或专利 "L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) "O" 涉及口头公开、使用、展览或其他方式公开的文件 "P" 公布日先于国际申请日但迟于所要求的优先权日的文件 "T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 "X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 "Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 "&" 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2019年 11月 13日		2019年 11月 27日
ISA/CN的名称和邮寄地址		受权官员
中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		杨莹莹 电话号码 86-(10)-53961527

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/103674

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	109828941	A	2019年 5月 31日	无	
CN	103761208	A	2014年 4月 30日	CN	103761208 B 2017年 1月 18日
US	2011276735	A1	2011年 11月 10日	US	9122802 B2 2015年 9月 1日
				US	2014201407 A1 2014年 7月 17日
				US	8713233 B2 2014年 4月 29日
				KR	101620460 B1 2016年 5月 13日
				KR	20110122516 A 2011年 11月 10日