

PATENTSCHRIFT 148 546

Wirtschaftspatent

Erteilt gemäß § 5 Absatz 1 des Änderungsgesetzes zum Patentgesetz

In der vom Anmelder eingereichten Fassung veröffentlicht

11) 148 546 (44) 27.05.81 Int. Cl.³ 3(51) H 01 L 21/20
H 01 L 27/06
21) WP H 01 L / 218 366 (22) 09.01.80

71) siehe (72)

72) Armgarth, Dietrich, Dr.-Ing., DD

73) siehe (72)

74) VEB Zentrallaboratorium für Rundfunk- und Fernsehempfangs-
technik, 8060 Dresden, Am Lagerplatz 8

54) Doppelepitasieverfahren zur Herstellung von unipolaren und
bipolaren Halbleiterstrukturen

57) Die Erfindung betrifft ein Doppelepitasieverfahren zur
Erstellung von unipolaren und bipolaren Halbleiterstrukturen auf dem
leichten Halbleiterplättchen. Es können MOS-, Sperrschichtfeldeffekt-
und Bipolar-Bauelemente auf einem Halbleiterplättchen realisiert
werden. Das Ziel ist, alle genannten Bauelemente mit guten elektrischen
Parametern herzustellen, so daß Speicher, komplexe logische Schaltungen
und analoge Schaltungsteile auf einem Chip integriert werden können.
Die Aufgabe der Erfindung wird dadurch gelöst, daß von einem
Doppelepitasieverfahren ausgegangen wird, vergrabene P⁺- und
N⁺-Gebiete realisiert werden und schließlich VMOS-Transistoren
erzeugt werden. In einem isolierten Gebiet werden P-Kanaltransistoren
und in einem weiteren N-Kanaltransistoren erzeugt, so daß z.B.
MOS-Anordnungen hoher Packungsdichte realisiert werden können. In
Fig. 1 e ist ein Schnitt durch eine solche nach dem Verfahren
entstandene Struktur dargestellt. - Fig. 1e -

a) Titel der Erfindung

Doppelepitaxieverfahren zur Herstellung von unipolaren und bipolaren Halbleiterstrukturen

b) Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Doppelepitaxieverfahren zur Herstellung von unipolaren und bipolaren Halbleiterstrukturen auf dem gleichen Halbleiterplättchen. Es können MOS-, Sperrschichtfeldeffekt- und Bipolar-Bauelemente auf einem Halbleiterplättchen realisiert werden.

c) Charakteristik der bekannten technischen Lösungen

Mit den bekannten und bereits vorgeschlagenen Doppelepitaxieverfahren (DE-OS 27 10 878, DE-OS 26 04 735 und WP-Anmeldung H 01 L/209 211) können nur Bipolar-Bauelemente in Form von NPN- und PNP-Transistoren hergestellt werden.

Es ist auch ein Doppelepitaxieverfahren bekannt, mit dem sowohl Bipolar-Bauelemente als auch Sperrschichtfeldeffekt-Transistoren auf dem gleichen Halbleiterplättchen realisiert werden können (DE-AS 17 64 578). MOS-Bauelemente können nach diesem Verfahren nicht auf dem Halbleiterplättchen untergebracht werden.

Weitere Arbeiten sind bekannt, die sich mit der Realisierung von unipolaren und bipolaren Halbleiteranordnungen auf dem gleichen Halbleiterplättchen befassen, um bessere elektrische Parameter der integrierten Schaltkreise zu erreichen.

So wird die Herstellung von MOS- und Bipolar-Bauelementen auf dem gleichen Halbleiterplättchen beschrieben (IEEE Transac. CE-23,

No. 4, Nov. 77, S. 505 - 517). Es wird ein erweitertes Standard-Bipolarverfahren angewendet, um planare MOS-Bauelemente zusätzlich herstellen zu können. Damit können aber keine vertikalen unipolaren Bauelemente realisiert werden.

In einer weiteren Fundstelle wird ein MOS-Verfahren beschrieben, mit dem auch Bipolar-Bauelemente hergestellt werden könnten (IEEE Journal of Solid-State Circuits, vol SC-12, No. 4, S. 356 - 362). Es wird aber nicht angegeben, wie diese bipolaren Bauelemente von den anderen isoliert werden.

Weiterhin wird beschrieben, wie Bipolar- und MOS-Bauelemente auf dem gleichen Halbleiterplättchen hergestellt werden (IEEE Transact. ED-20, No. 3, S. 239 - 244). Es können nach diesem Verfahren aber nur P-Kanal- und Bipolartransistoren realisiert werden.

Bekannt ist auch die Kombination von Bipolar- und Sperrschichtfeldeffekt-Transistoren (IEEE Journal of Solid-State-Circuits, vol SC-12, No. 4, S. 382 - 388). Es sind zwei Implantationen zusätzlich zum Bipolarprozeß erforderlich, um die Sperrschichtfeldeffekt-Transistoren zu realisieren.

Nach einer weiteren Fundstelle ist bekannt, daß zur Herstellung von hochintegrierten Schaltungen auf einem Halbleiterplättchen NMOS-, CMOS-, DMOS-, Sperrschichtfeldeffekt- und Bipolar-Transistoren vereinigt werden können. Dieses Verfahren benutzt eine vollständige Ionenimplantation zur Realisierung der genannten Bauelemente einschließlich des Bipolar-Transistors (DE-OS 27 53 704).

Nachteilig ist jedoch bei diesem Verfahren, daß die erzeugten Bipolar-Transistoren zu hohe Kollektorbahnwiderstände aufweisen, weil keine niederohmig begrabenen N^+ -Gebiete verwendet werden können, und daß keine I^2L -Anordnungen, keine vertikalen PNP-

Transistoren, keine Sperrschichtfeldeffekt-Transistoren mit Floatinggate, keine kapazitätsarmen CMOS-Anordnungen, keine CID-Strukturen und keine VMOS-Transistoren, die für eine hohe Packungsdichte erforderlich sind, realisiert werden können.

Bei dem Verfahren werden die Sperrschichtfeldeffekt-Transistoren ähnlich wie der Bipolartransistor realisiert. Der leitende P-Kanal wird wie das innere Basisgebiet eines NPN-Transistors realisiert. Da die Basisweite des NPN-Transistors aber eine relativ große Toleranz aufweisen kann, ändert sich damit auch die Abschlußspannung des Sperrschichtfeldeffekt-Transistors erheblich.

d) Ziel der Erfindung

Das Ziel der Erfindung ist, ein Doppelepitaxieverfahren anzugeben, das universell einsetzbar sein soll, so daß Speicher, komplexe logische Schaltungen und analoge Schaltungsteile auf einem Chip mit hoher Packungsdichte integriert werden können.

e) Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, ein Doppelepitaxieverfahren anzugeben, mit dem vertikale und planare MOS-, vertikale und planare Sperrschichtfeldeffekt- und vertikale PNP- und NPN-Bipolar-Bauelemente auf einem Halbleiterplättchen realisiert und mit dem die elektrischen Parameter, besonders die dynamischen, verbessert werden können.

Die Aufgabe der Erfindung wird dadurch gelöst, daß von einem P-Substrat ausgegangen wird und in diesem P-Substrat N^{++} -Gebiete realisiert werden. Diese N^{++} -Gebiete werden benötigt, um niederohmige Bahngebiete für einige Bauelementearten zu erzeugen. Außerdem wirken diese N^{++} -Gebiete in einigen Teilen der Schaltung

später als Begrenzer. Anschließend wird eine N-Epitaxieschicht, die als N1-Epitaxieschicht bezeichnet wird, abgeschieden. Diese N1-Epitaxieschicht weist einen spezifischen Widerstand von etwa $\rho_{Ep1} = 0,5 \dots 1 \Omega \text{cm}$ auf und ist relativ unkritisch hinsichtlich der Toleranzen. Die Ausdiffusion aus den N^{++} -Gebieten, die diese N1-Epitaxieschicht beeinflussen könnte, ist ebenfalls unkritisch. Danach werden in der N1-Epitaxieschicht P^+ - und N^+ -Gebiete realisiert. Sie können gleichzeitig oder nacheinander eindiffundiert werden. Die Oberflächenkonzentrationen dieser Gebiete sind nicht so hoch wie beispielsweise die der N^{++} -Gebiete, so daß die Ausdiffusion aus diesen Gebieten bei den folgenden Prozeßschritten gering bzw. zu vernachlässigen ist. Es wird dann eine weitere Epitaxieschicht abgeschieden, die als N2-Epitaxieschicht bezeichnet wird. Diese N2-Epitaxieschicht weist einen hohen spezifischen Widerstand von $\rho_{Ep2} = 10 \dots 20 \Omega \text{cm}$ auf. In dieser N2-Epitaxieschicht werden nun alle aktiven und passiven Bauelemente realisiert. Es folgt zunächst die Herstellung von P^{++} -Gebieten, die zur Isolation der Bauelemente und für niederohmige Zuführungen verwendet werden. Danach werden P-Gebiete für die aktiven und passiven Bauelemente implantiert und/oder eindiffundiert. In diesen P-Gebieten und in der N2-Epitaxieschicht werden anschließend N^{++} -Gebiete geschaffen. Diese N^{++} -Gebiete dienen in den Transistoren als aktive Gebiete. In gewissen Bereichen werden sie auch als Kontaktgebiete verwendet. Anschließend findet eine V-Grabenätzung statt. Damit werden die VMOS-Transistoren markiert. Danach wird das Gateoxid für diese VMOS-Transistoren erzeugt. In gewissen Fällen kann nach der V-Grabenätzung oder nach der Gateoxiderzeugung eine großflächige Arsen- oder Phosphorimplantation durchgeführt werden, um die Schwellspannungen der MOS-Transistoren einzustellen.

Mit den folgenden Prozeßschritten werden die Kontaktfenster geöffnet. Es kann nun eine Poly-Si ϵ -Schicht oder eine Al-Schicht abgeschieden werden, aus der die Leiterbahnen und die Gates

strukturiert werden. Danach wird eine Isolierschicht realisiert. Auf dieser Isolierschicht kann eine zweite Leitbahnebene in Form einer zweiten Poly-Si- oder Al-Schicht geschaffen werden. Abschließend wird eine großflächige Schutzschicht erzeugt, die nur an den Bondinseln unterbrochen ist, so daß eine Kontaktierung möglich ist.

In einer Variante dieses Verfahrens wird an Stelle des P^{++} -Isolierrahmens und der P^{++} -Kontaktgebiete ebenfalls ein V-Graben geätzt, der bis in das P^+ -Gebiet hineinragt. Nach Erzeugung des Gateoxids ist es dann jedoch erforderlich, das Oxid im V-Isoliergraben zu verstärken, um Kurzschlüsse weitgehendst zu vermeiden. Wird eine Arsen- oder Phosphorimplantation zur Einstellung der Schwellspannungen nach der V-Grabenätzung oder nach der Gateoxiderzeugung durchgeführt, so kann diese in allen V-Isoliergräben erfolgen.

Der Ersatz des P^{++} -Isolierrahmens durch einen V-Isoliergraben bringt Vorteile hinsichtlich der Ausbeute, da weniger Prozeßschritte erforderlich sind und die N_2 -Epitaxieschicht thermisch nicht so stark belastet wird.

Bei sehr dünnen N_2 -Epitaxieschichten $< 1 \mu m$ kann zur Isolierung und als Ersatz des P^{++} -Isolierrahmens auch ein Oxidwall verwendet werden, der durch die bekannten Methoden erzeugt wird.

In einer weiteren Variante dieses Verfahrens können die V-Gräben entfallen und planare MOS-Bauelemente in Form von planaren P-Kanaltransistoren und planaren DMOS-Transistoren realisiert werden.

Bei dem gesamten Verfahren können auch unterschiedlich dicke Epitaxieschichten verwendet werden. Weiterhin können sowohl unterschiedliche als auch gleiche Störstellenkonzentrationen in den beiden Epitaxieschichten verwendet werden.

f) Ausführungsbeispiel

Die Erfindung wird durch die Fig. 1, 2, 3 näher erläutert.

Es zeigen

Fig. 1 die Teilschrittreihenfolge bei der Realisierung von MOS-Anordnungen,

Fig. 2 die Teilschrittreihenfolge bei der Realisierung von Bipolar-Anordnungen und

Fig. 3 die Teilschrittreihenfolge bei der Realisierung von Sperrschichtfeldeffekt-Anordnungen.

In Fig. 1 a ist das P-Substrat 1 mit den N^{++} -Gebieten 2 dargestellt. Ausgangsmaterial ist P-Silizium mit einem spezifischen Widerstand von $\rho_p = 10 \dots 20 \Omega \cdot \text{cm}$. Nach entsprechender Vorbehandlung, d. h. nach der Oxydation, Lackbeschichtung, Lackbelichtung mit der entsprechenden Schablone und Ätzung der Oxidmaske werden die N^{++} -Gebiete 2 durch Implantation und/oder Diffusion realisiert. Da diese Gebiete als Stromzuführung zu den aktiven Gebieten verwendet werden, sollte ein Schichtwiderstand so klein wie möglich angestrebt werden. In der Regel wird dieser Wert bei $R_s = 10 \dots 30 \Omega / \square$ liegen. Bei der CMOS-Anordnung dienen das N^{++} -Gebiet rechts in Fig. 1 a als Stromzuführung für die Sourcegebiete der N-Kanaltransistoren und das N^{++} -Gebiet links in Fig. 1 a als Begrenzer für das P^+ -Gebiet der P-Kanaltransistoren.

Im folgenden Prozeßschritt wird eine N1-Epitaxieschicht 3 mit $\rho_{Ep1} = 0,5 \dots 1 \Omega \cdot \text{cm}$ abgeschieden. Die Dicke dieser Schicht beträgt etwa $2 \dots 5 \mu\text{m}$. Der spezifische Widerstand dieser Schicht ist unkritisch. Der Autodoping-Effekt durch die N^{++} -Gebiete kann den spezifischen Widerstand etwas verringern, er stört aber nicht.

In dieser N1-Epitaxieschicht 3 werden nun die P^+ -Gebiete 4 und die N^+ -Gebiete 5 realisiert, wie in Fig. 1 b dargestellt. Die

Oberflächenkonzentrationen dieser Gebiete liegen zwischen 10^{18} ... 10^{19} cm^{-3} . Mit den P^+ -Gebieten 4 werden einmal die ersten Teile des Isolierrahmens und zum anderen die P^+ -Gebiete für die aktiven Bauelemente erzeugt. Nach Möglichkeit sollte für die Realisierung dieser Gebiete die Ionenimplantation verwendet werden, damit unter der Oberfläche die maximale Konzentration zu erwarten ist. Das N^{++} -Gebiet 2 im rechten Teil von Fig. 1 b dient zur weiteren Reduzierung des Bahnwiderstands und kann in gewissen Fällen auch entfallen. Es wird nun die zweite N-Epitaxieschicht 6 abgeschieden (Fig. 1 c). Der spezifische Widerstand beträgt $\rho_{Ep2} = 10 \dots 20 \Omega \cdot \text{cm}$. Diese N_2 -Epitaxieschicht 6 ist etwa $2 \dots 4 \mu\text{m}$ dick. In dieser Schicht werden vorwiegend die aktiven und passiven Bauelemente realisiert. Ein Autodoping aus der ersten N-Epitaxieschicht 3 ist nicht zu befürchten, da die Konzentrationen an der Oberfläche der ersten N-Epitaxieschicht 3 relativ gering sind.

In der N_2 -Epitaxieschicht 6 werden nun zunächst die P^{++} -Gebiete 7 erzeugt. Sie dienen zur Vervollständigung des Isolierrahmens und zur Realisierung der Zuleitung zu den P^+ -Gebieten 4 bei den Transistoren. Der Schichtwiderstand dieser P^{++} -Gebiete 7 sollte zwischen $10 \dots 50 \Omega/\square$ betragen. Sollten die hochdotierten P^{++} -Gebiete die aktiven Bauelementengebiete hinsichtlich der Ausbeute zu sehr beeinträchtigen, so kann der Schichtwiderstand auch höher gewählt werden. Gefordert muß aber werden, daß die P^+ -Gebiete 4 sicher erreicht werden, so daß ein einwandfreier niederohmiger Anschluß realisiert wird.

Anschließend werden die P-Gebiete 8 (Fig. 1 d) für die aktiven Gebiete erzeugt. Diese Gebiete reichen rechts in Fig. 1 d bis in den Isolierrahmen. Links in Fig. 1 d stellt das P-Gebiet ein Source/Drain-Gebiet eines P-Kanaltransistors dar. Mit dieser Implantation und/oder Diffusion werden auch beispielsweise die diffundierten Widerstände, die Basisgebiete der NPN-Transistoren und die Kollektoren der PNP-Transistoren erzeugt.

Es folgt dann die Realisierung der N^{++} -Gebiete 9 in der N_2 -Epitaxieschicht 6 und in den P-Gebieten 8 (Fig. 1 d). Mit dieser Implantation und/oder Diffusion werden die Source/Drain-Gebiete der N-Kanaltransistoren, die Emitter der NPN-Transistoren, Kontaktgebiete und Unterführungen realisiert. Die beiden letztgenannten Implantationen und/oder Diffusionen sind so zu führen, daß zwischen den stöchiometrischen PN-Übergängen der P-Gebiete 8 und des P^+ -Gebietes 4 Abstände von 1 ... 1,5 μm entstehen und daß die resultierende maximale Konzentration im P-Gebiet 8 Werte von 1 ... $3 \times 10^{16} \text{ cm}^{-3}$ erreicht. Bei diesen Konzentrationen lassen sich mit Gateoxiddicken von 100 nm noch Schwellspannungen von 1 ... 1,5 V bei den MOS-Transistoren einstellen. Danach werden die V-Gräben 10 für die P- und N-Kanaltransistoren und eventuell weitere V-Gräben für Isolationszwecke erzeugt (Fig. 1 e). Sind die Gateoberflächen entsprechend vorbehandelt, wird das Gateoxid 11 erzeugt. Falls erforderlich, kann nach der V-Grabenätzung oder nach der Gateoxiderzeugung eine Arsen- oder Phosphorimplantation durchgeführt werden, um die Schwellspannungen der MOS-Transistoren einzustellen. Diese Implantation erfolgt großflächig, so daß keine Schablone und keine Vorbehandlungen erforderlich sind. Außerdem wirkt der Phosphor in den Deckschichten stabilisierend.

Anschließend werden die Kontaktfenster 13 geöffnet. Danach wird Al aufgedampft und strukturiert. Damit werden beispielsweise die Metallgates 12 der MOS-Transistoren und die Leitbahnen 14 realisiert.

Abschließend wird für diese Leitbahnvariante eine Schutzschicht außer an den Bondinseln erzeugt.

Damit sind rechts in Fig. 1 e N-Kanaltransistoren mit einem gemeinsamen Sourcegebiet entstanden. Die Stromzuführung zu den einzelnen N-Kanaltransistoren erfolgt über das N^{++} - N^+ -Gebiet 2; 5. Es wird nur an den erforderlichen oder gewünschten Stellen mittels eines N^{++} -Gebietes 9 an der Oberfläche kontaktiert.

Die Draingebiete der N-Kanaltransistoren liegen an der Oberfläche, sind relativ klein und weisen daher auch geringe parasitäre Kapazitäten auf.

Links in Fig. 1 e ist ein P-Kanaltransistor entstanden. Das P-Gebiet 8 stellt beispielsweise das Draingebiet und das $P^{++}-P^+$ -Gebiet 7; 4 das Sourcegebiet mit Zuleitung dar. Damit weist auch das Draingebiet des P-Kanaltransistors eine kleine parasitäre Kapazität auf.

N- und P-Kanaltransistoren können zu einem CMOS-Inverter zusammengeschaltet werden.

Die Stromzuführungen werden bei den P- und N-Kanaltransistoren "vergraben" zu den einzelnen Gebieten geführt. An der Oberfläche sind vorwiegend die Leitbahnen von Gates und Draingebieten. Mit solchen CMOS-Anordnungen lassen sich sehr kleine Verzögerungszeiten erreichen, die etwa gleich oder kleiner sind als die Werte, die in der SOS-Technik erzielt werden.

Außerdem kann mit dieser Anordnung eine hohe Packungsdichte speziell für CMOS-Anordnungen erreicht werden, da N- und P-Kanaltransistoren sehr dicht in den entsprechenden Bereichen angeordnet werden können.

Nach diesem Verfahrensablauf können weiterhin isolierte P- und N-Kanaltransistoren in VMOS-Technik und hochspannungsfeste N-Kanaltransistoren in DMOS-Ausführung realisiert werden.

Auch hochdichte CCD- und CID-Anordnungen können nach diesem Verfahren auf dem gleichen Halbleiterplättchen hergestellt werden.

An Stelle des Al-Gates ist es möglich, auch ein Poly-Si₃-Gate zu verwenden. Als zweite Leitbahn sollte aber eine Al-Leitbahn zur Verfügung stehen, um die größeren Ströme in den Zuleitungen und bei den Bipolar-Transistoren zu beherrschen.

Bei der Realisierung von Bipolar-Anordnungen wird wieder von einem P-Substrat ausgegangen. Es werden zunächst die N^{++} -Gebiete 2 erzeugt (Fig. 2 a). Danach erfolgen die Abscheidung der N_1 -Epitaxieschicht 3 und die Realisierung der P^+ -Gebiete 4 und der N^+ -Gebiete 5 (Fig. 2 b). Anschließend wird die N_2 -Epitaxieschicht 6 abgeschieden. Es folgt die P^{++} -Diffusion zur Erzeugung der P^{++} -Gebiete 7 (Fig. 2 c). In Fig. 2 c sollen links ein vertikaler PNP- und rechts ein vertikaler NPN-Transistor entstehen. Dabei wird links in Fig. 2 c das P^{++} -Gebiet so gestaltet, daß die N-Basis von den N-Epitaxieschichten 3; 6 isoliert wird.

Danach werden durch eine Borimplantation und/oder Diffusion die P-Gebiete 8 in Fig. 2 d erzeugt. Beim PNP-Transistor werden dadurch der Kollektor und beim NPN-Transistor das Basisgebiet realisiert. Anschließend folgt die Phosphorimplantation und/oder Diffusion zur Realisierung der N^{++} -Gebiete 9. Beim PNP-Transistor werden dadurch der Basisanschluß und beim NPN-Transistor der Emitter und der Kollektoranschluß realisiert.

Sowohl der PNP- als auch der NPN-Transistor sind gemäß Fig. 2 d als vertikale Transistoren ausgebildet. Um parasitäre Effekte beim PNP-Transistor zu vermeiden, wird das N-Gebiet, das aus dem N^{++} -Gebiet 2 und den beiden Epitaxieschichten 3; 6 entsteht, an das höchste positive Potential gelegt. Vorteilhaft ist bei dieser Ausführung, daß die Basis des PNP-Transistors kleine parasitäre Kapazitäten aufweist. Damit können gegenüber lateralen PNP-Transistoren nicht nur höhere Stromverstärkungswerte, sondern auch beträchtlich höhere Grenzfrequenzen erreicht werden.

Weiterhin können I^2L -Strukturen realisiert werden, wie bereits vorgeschlagen wurde.

Gemäß Fig. 3 wird mit den erfindungsgemäßen Verfahrensschritten ein Sperrschichtfeldeffekt-Transistor mit einem Floatinggate

realisiert. Das Floatinggate kann ebenfalls kontaktiert werden, so daß ein Dualgate-Feldeffekt-Transistor zur Verfügung steht.

Ausgangsmaterial ist wieder ein P-Substrat 1. Es wird das N^{++} -Gebiet 2 realisiert, das als Begrenzer wirkt (Fig. 3 a). Danach wird die N1-Epitaxieschicht 3 abgeschieden. In dieser N1-Epitaxieschicht 3 werden die P^+ -Gebiete 4 realisiert. Diese dienen zur Erzeugung von Isolationsgebieten und zur Realisierung des P^+ -Floatinggates (Fig. 3 b). Anschließend werden die N2-Epitaxieschicht 6 abgeschieden und darin wieder die P^{++} -Gebiete 7 realisiert (Fig. 3 c). Es folgen die Erzeugung der P-Gebiete 8, die in diesem Fall als Gate fungieren, und der N^{++} -Gebiete 9, die als Drain und Source wirken. Abschließend werden die Kontaktfenster 13 geöffnet, Al aufgedampft und die Leitbahnen 14 strukturiert (Fig. 3 d).

Damit ist ein Sperrschichtfeldeffekt-Transistor mit einem Floatinggate entstanden. Das Sourcegebiet dieses Transistors weist eine große parasitäre Kapazität zum Substrat auf. Um diese Kapazität zu reduzieren, kann das Sourcegebiet durch das Floatinggate (P^+ -Gebiet 4) und durch die P^{++} -Gebiete 7 isoliert werden. Das gesamte P^+ - P^{++} -Gebiet ist in diesem Fall an das negativste Potential zu legen.

Weiterhin können mit den erfindungsgemäßen Verfahrensschritten vertikale SFET's hergestellt werden. Der Kanal kann durch die P^+ -Gebiete 4 gesteuert werden. Die P^{++} -Gebiete 7 dienen dagegen als Zuleitung für das eigentliche Gate.

Als ein weiteres Beispiel sei der Si-MESFET genannt, der ebenfalls nach diesem Verfahren auf dem gleichen Halbleiterplättchen realisiert werden kann. Der Al-Schottky-Übergang wirkt auf der hochohmigen N2-Epitaxieschicht 6 als steuerndes Gate.

In einer Variante dieses Verfahrens wird an Stelle des P^{++} -Isolierrahmens und der P^{++} -Kontaktgebiete in den Fig. 1, 2, 3 ein V-Graben vorgesehen, der bis in das P^+ -Gebiet 4 hineinragt. In diesem Fall ist es erforderlich, die Isolierschicht im V-Graben vor oder nach der Gateoxiderzeugung zu verstärken oder die V-Gräben aufzufüllen, um Kurzschlüsse oder parasitäre Effekte zu vermeiden. Wird eine Arsen- oder Phosphorimplantation zur Einstellung der Schwellspannungen der MOS-Transistoren beispielsweise nach der V-Grabenätzung durchgeführt, so kann diese auch in allen Isoliergräben erfolgen. In den Zuleitungen ist von Fall zu Fall zu entscheiden, ob diese Implantation stört oder nicht. Ist beispielsweise die Verstärkung der Isolierschichten im V-Isoliergraben und im V-Zuleitungsgraben vor der Gateoxiderzeugung durchgeführt worden, so stört dort eine Implantation nach der Gateoxiderzeugung überhaupt nicht mehr.

Der Ersatz des P^{++} -Isolierrahmens durch einen V-Isoliergraben bringt für den Gesamtprozeß Vorteile. So wird sich sicherlich die Ausbeute erhöhen, weil weniger Hochtemperaturschritte erforderlich sind. Weiter wird die N_2 -Epitaxieschicht 6, in der ja vorwiegend alle aktiven und passiven Bauelemente erzeugt werden, thermisch nicht mehr so stark belastet. Die physikalischen und elektrischen Parameter bleiben daher stabiler.

Bei sehr dünnen N_2 -Epitaxieschichten $< 1 \mu m$ kann zur Isolierung und als Ersatz des P^{++} -Isolierrahmens auch ein Oxidwall verwendet werden, der z. B. nach dem Locos- oder Isoplanarverfahren hergestellt wird.

In einer weiteren Variante dieses Verfahrens können auch die V-Gräben für die MOS-Transistoren entfallen und planare P-Kanaltransistoren und planare DMOS-N-Kanaltransistoren erzeugt werden. Alle P- und N-Kanaltransistoren lassen sich jeweils wieder in einem gemeinsamen Gebiet anordnen, so daß

auch wieder CMOS-Inverter hoher Packungsdichte realisierbar sind.

Vorteilhaft bei dieser planaren Realisierung der Bauelemente ist, daß ebenfalls N-Kanaltransistoren mit einem isolierten Sourcegebiet herstellbar sind. Eine Kombination von VMOS-transistoren und planaren MOS-Transistoren ist ebenfalls möglich.

Erfindungsanspruch

1. Doppelepitaxieverfahren zur Herstellung von unipolaren und bipolaren Halbleiterstrukturen mit zwei nacheinander abge-
schiedenen N-Epitaxieschichten, dadurch gekennzeichnet, daß
in einem P-Substrat (1) N^{++} -Gebiete (2) realisiert werden,
daß eine N1-Epitaxieschicht (3) abgeschieden wird, daß in
dieser N1-Epitaxieschicht (3) P^+ -Gebiete (4) und N^+ -Gebie-
te (5) realisiert werden, daß eine N2-Epitaxieschicht (6)
abgeschieden wird, daß in dieser N2-Epitaxieschicht (6) zu-
nächst P^{++} -Gebiete (7) erzeugt werden, daß anschließend in
der N2-Epitaxieschicht (6) P-Gebiete (8) implantiert und/
oder eindiffundiert werden, daß in den P-Gebieten (8) und
in der N2-Epitaxieschicht (6) N^{++} -Gebiete (9) erzeugt werden,
daß anschließend an bestimmten Stellen eine V-Grabenätzung
zur Herstellung von V-Gräben (10) durchgeführt wird, daß da-
nach ein Gateoxid (11) für die VMOS-Transistoren erzeugt wird,
daß Kontaktfenster (13) geätzt werden, daß Al aufgedampft
wird, daß aus dem Al die Leiterbahnen (14) und die Gates (12)
strukturiert werden und daß abschließend eine großflächige
Schutzschicht erzeugt wird.
2. Verfahren nach Punkt 1, dadurch gekennzeichnet, daß eine
großflächige Arsen- oder Phosphorimplantation zur Einstellung
der Schwellspannungen der MOS-Transistoren nach der V-Graben-
ätzung oder nach der Gateoxidierung durchgeführt wird.
3. Verfahren nach den Punkten 1 und 2, dadurch gekennzeichnet,
daß die VMOS-Transistoren durch planare MOS-Transistoren er-
setzt werden.
4. Verfahren nach den Punkten 1, 2 und 3, dadurch gekennzeich-
net, daß die P^{++} -Gebiete (7) durch einen V-Graben ersetzt
werden.

5. Verfahren nach den Punkten 1, 2 und 3, dadurch gekennzeichnet, daß zur Isolation der einzelnen Bauelemente oder Bauelementengebiete Oxidwälle verwendet werden.
6. Verfahren nach den Punkten 1, 2 und 3, dadurch gekennzeichnet, daß auf der ersten Leitbahnebene eine Isolierschicht und eine zweite Leitbahnebene aufgebracht wird.
7. Verfahren nach den Punkten 1, 2, 3 und 6, dadurch gekennzeichnet, daß als Leitbahnebenen Poly-Si-Ebenen und/oder Metall-Ebenen verwendet werden.
8. Verfahren nach den Punkten 1, 2 und 3, dadurch gekennzeichnet, daß unterschiedlich dicke Epitaxieschichten verwendet werden.
9. Verfahren nach Punkt 1, 2 und 3, dadurch gekennzeichnet, daß sowohl unterschiedliche als auch gleiche Störstellenkonzentrationen in den beiden Epitaxieschichten verwendet werden.

Hierzu M Seiten Zeichnungen

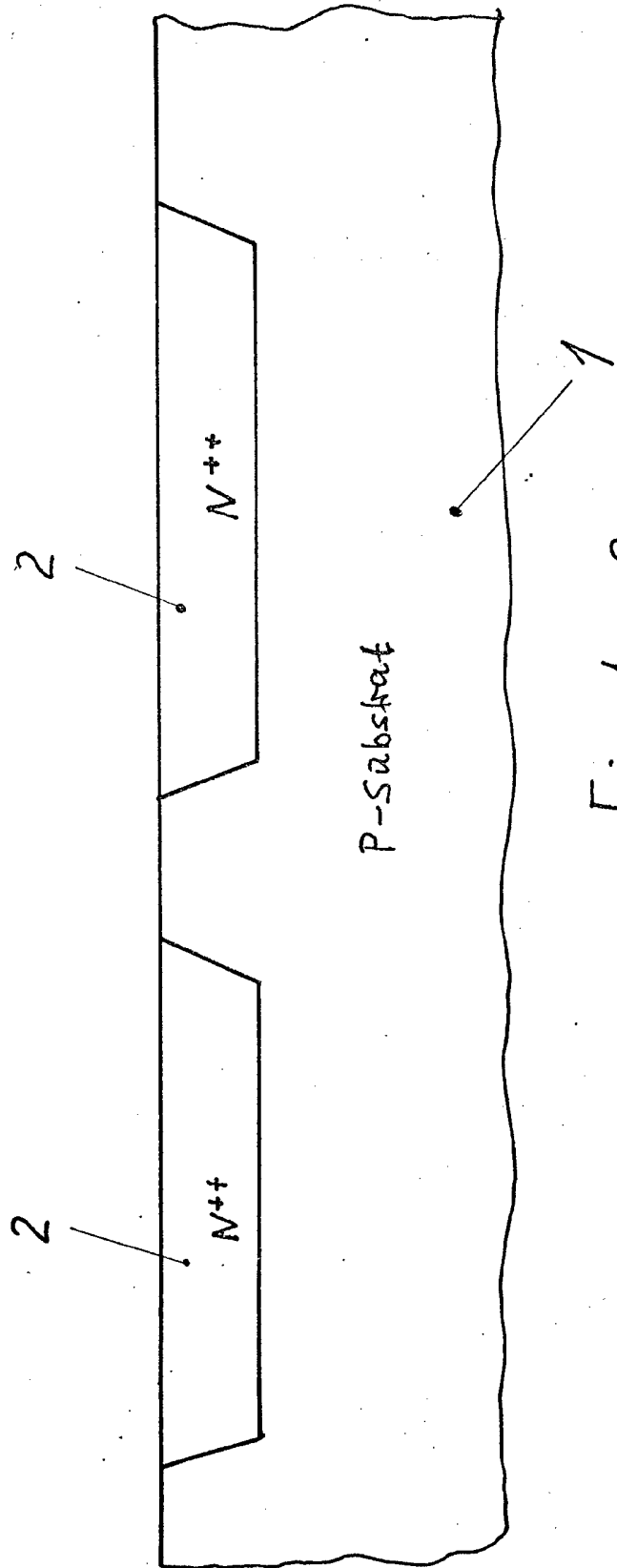


Fig. 1a, 2a

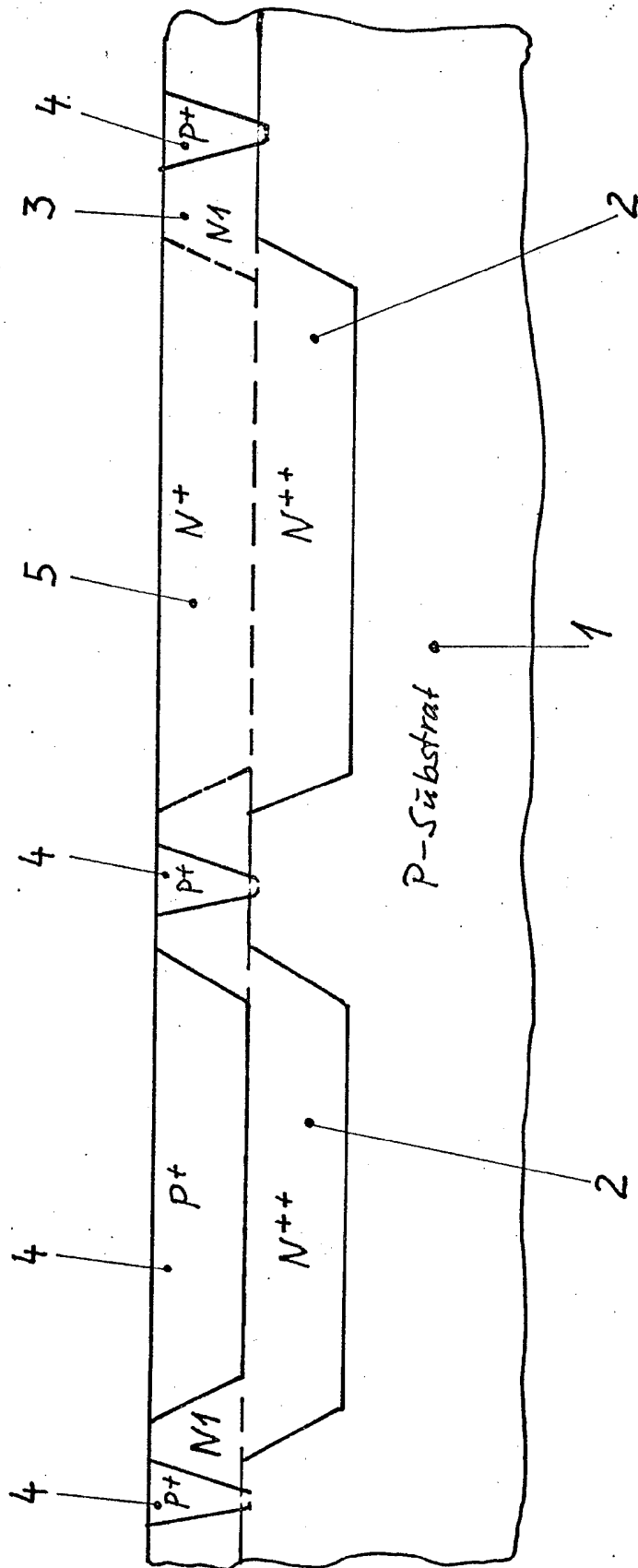


Fig. 1b, 2b

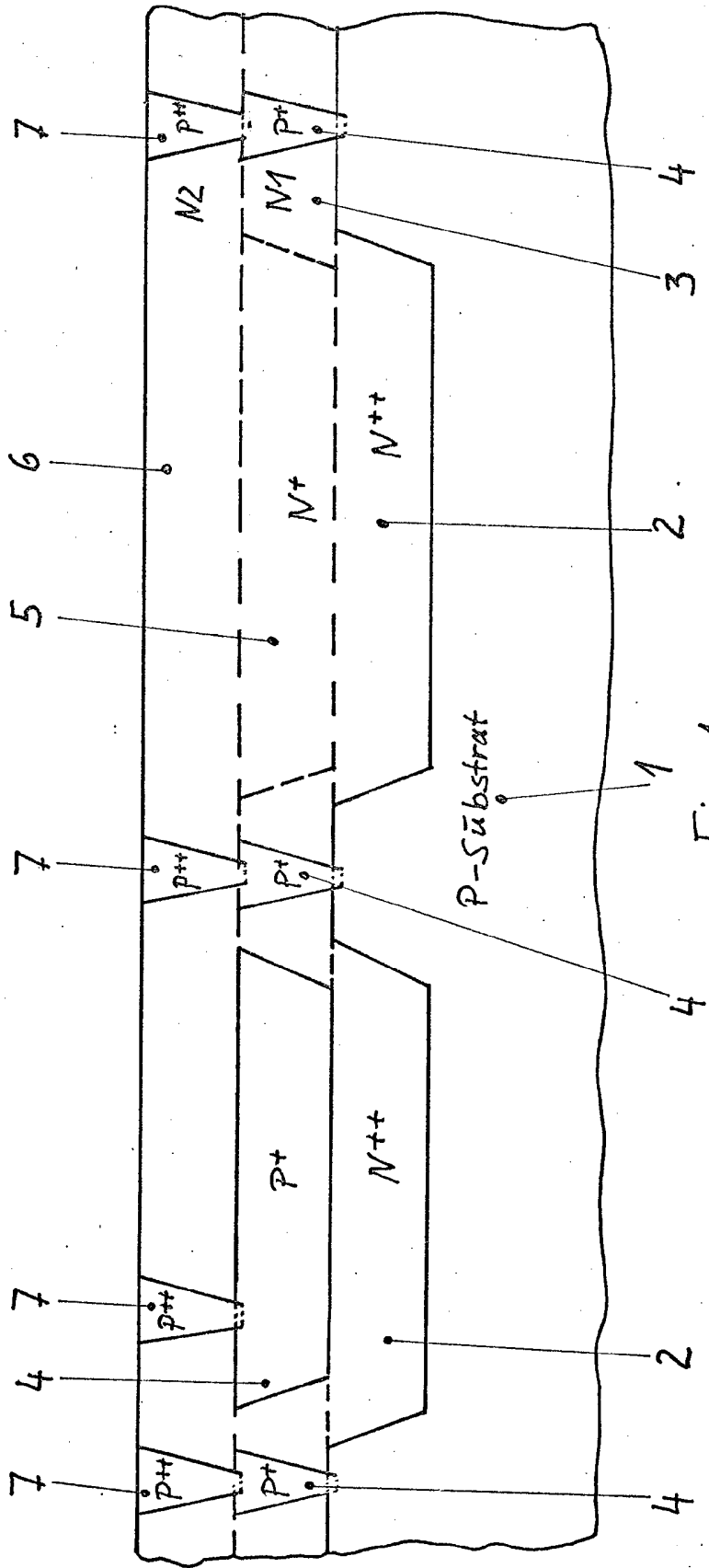


Fig. 1c

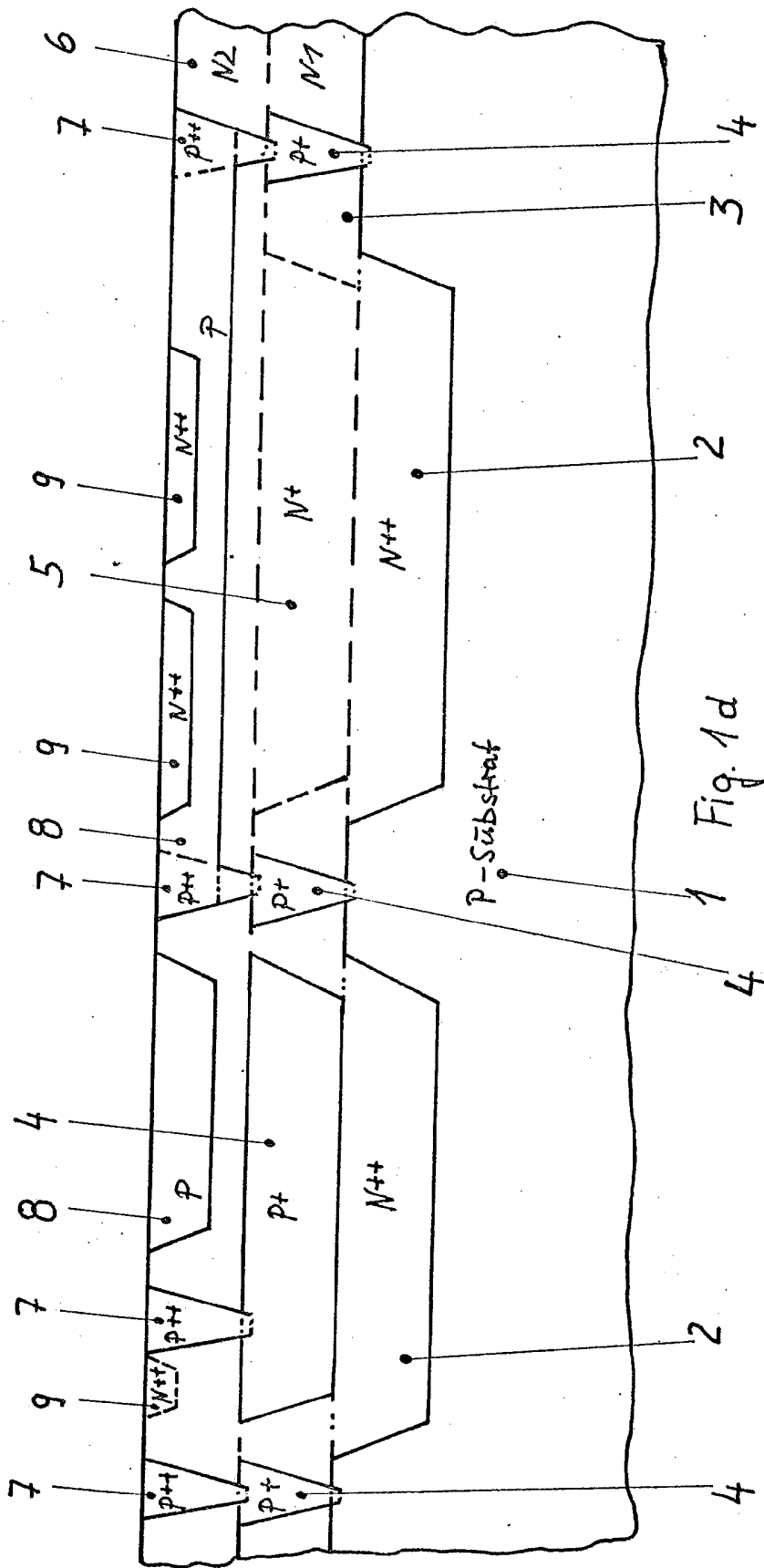
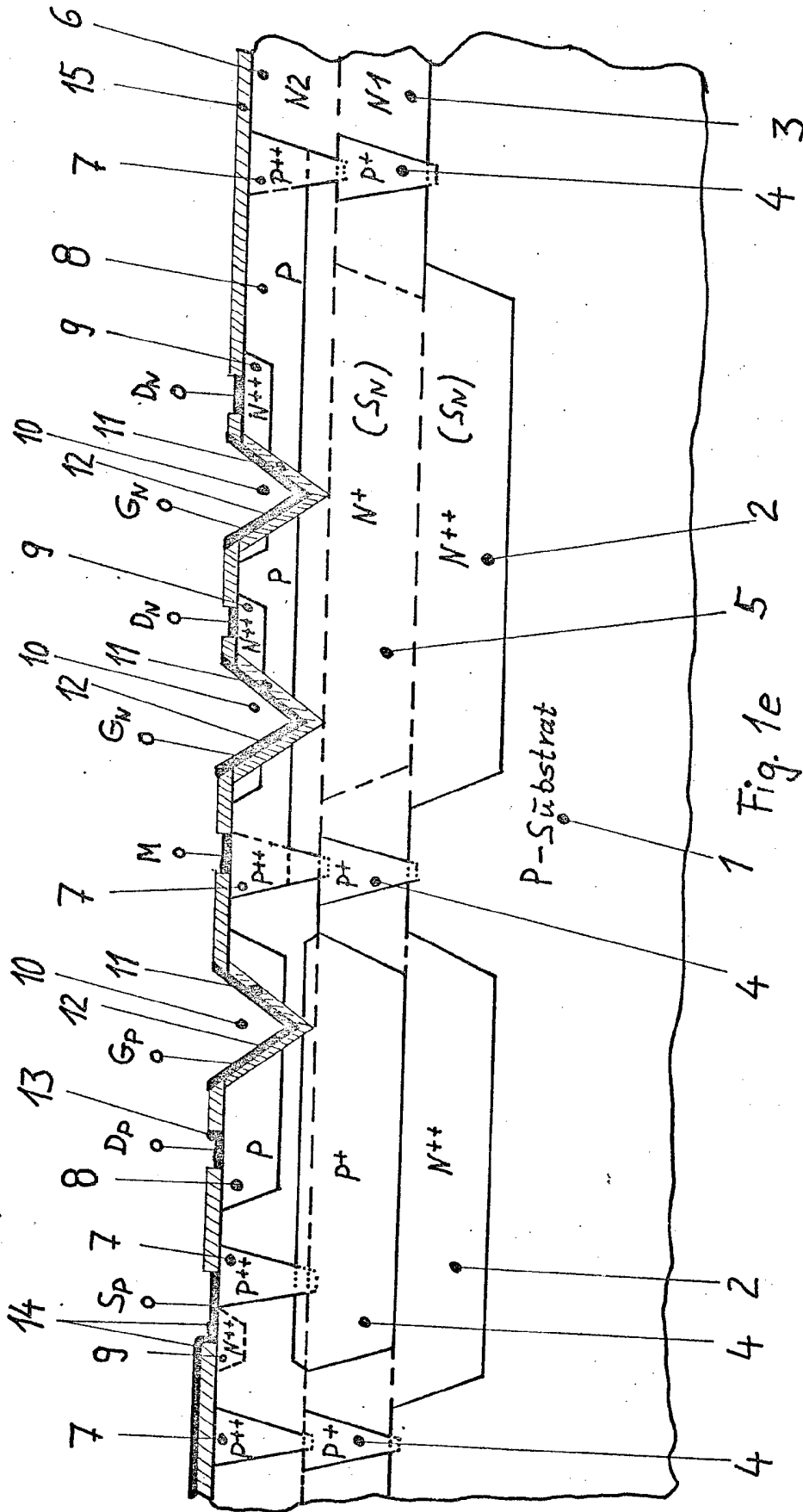


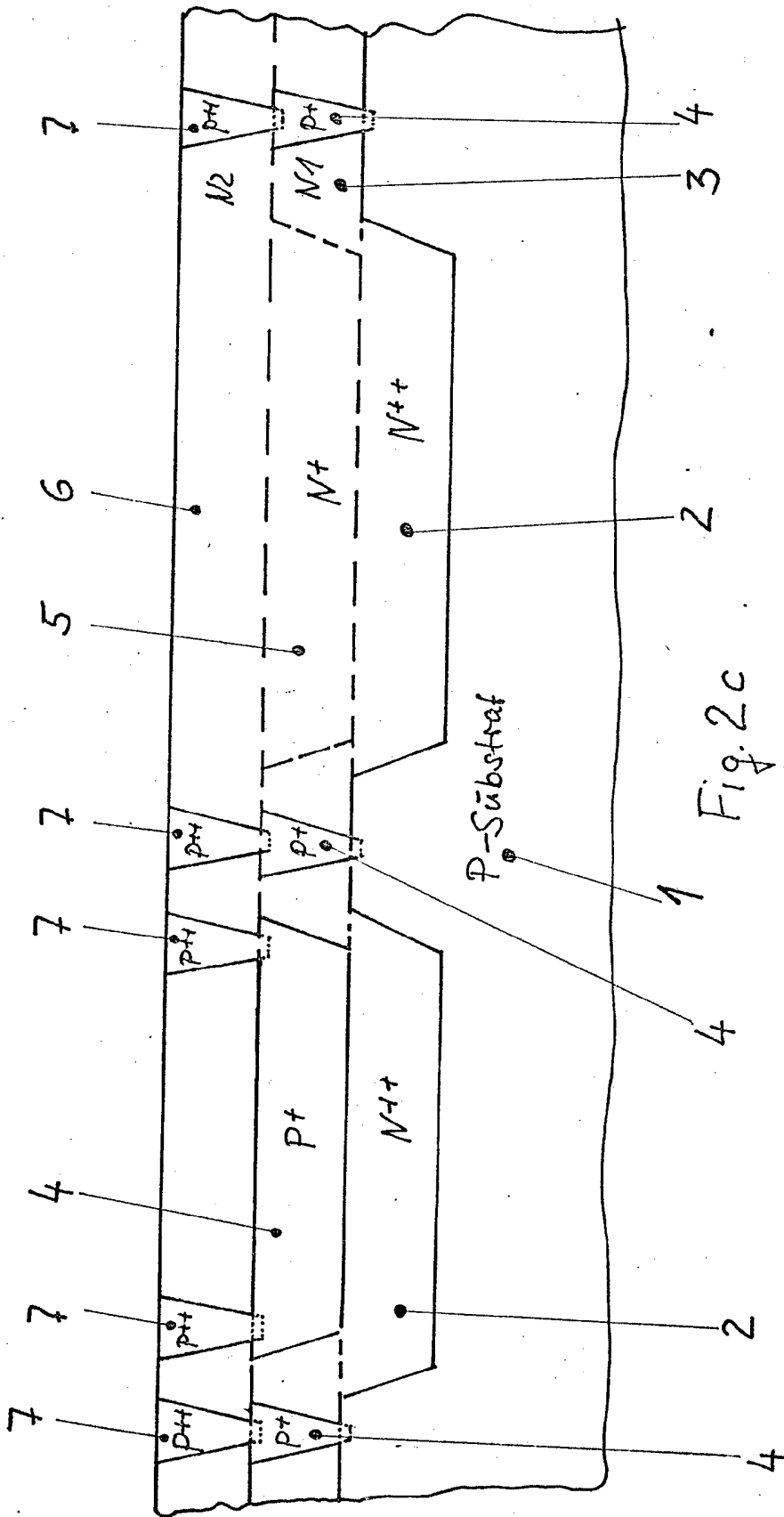
Fig. 1d



P-Kanaltransistor

N-Kanaltransistor

Fig. 1e



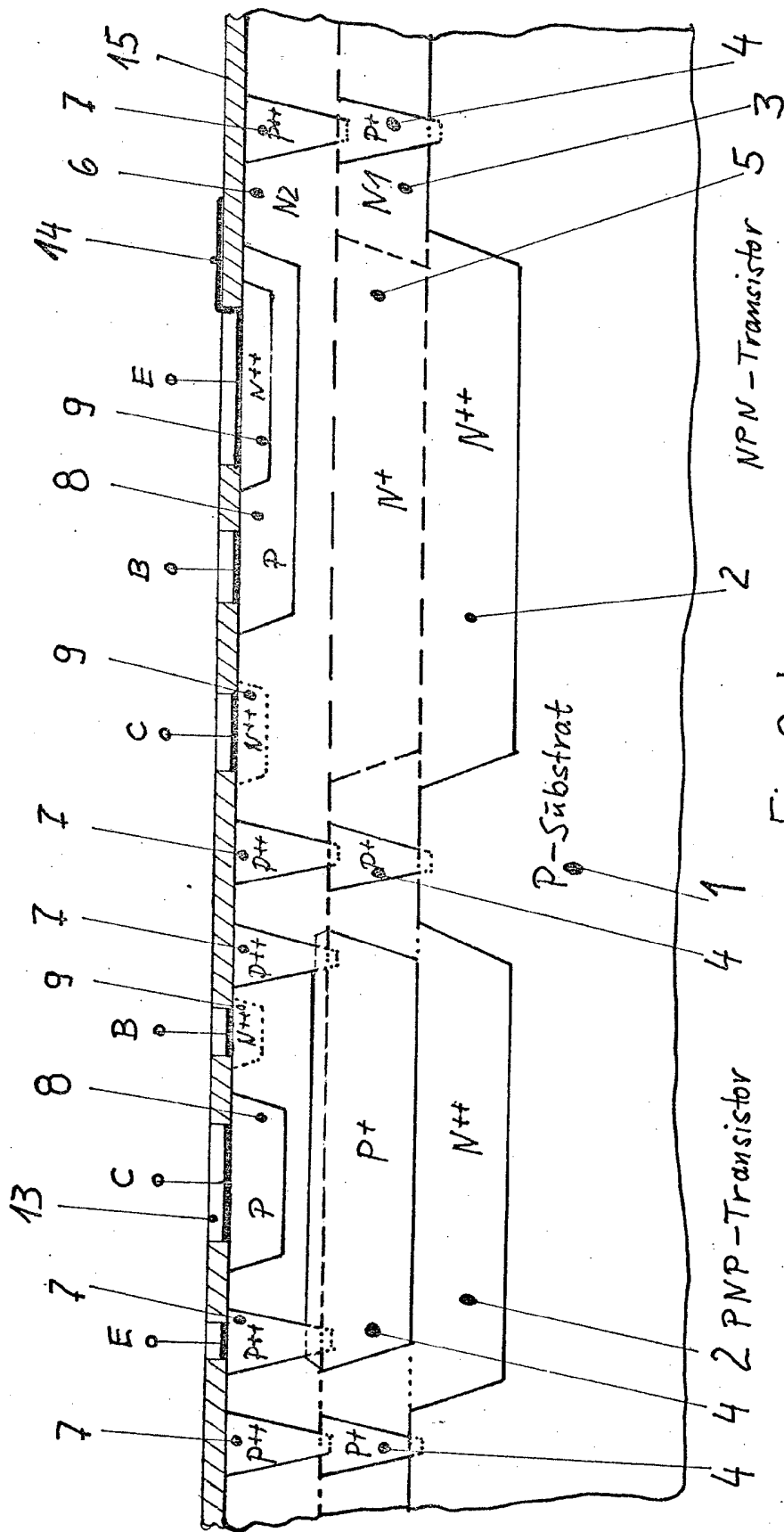


Fig. 2d

6

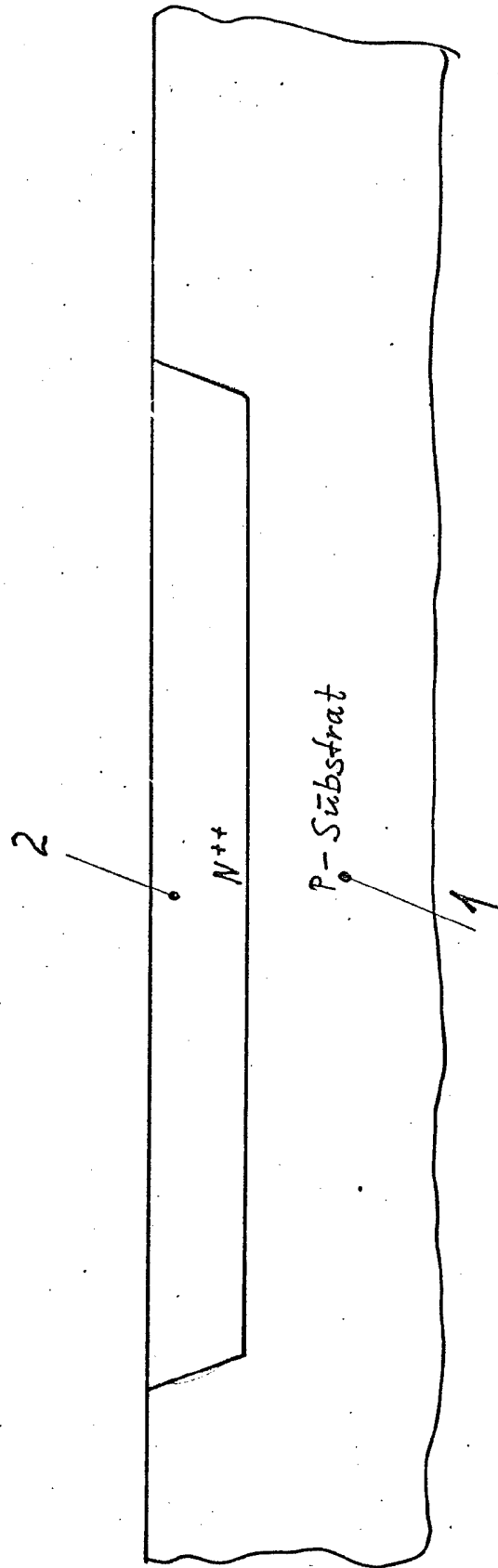


Fig. 3a

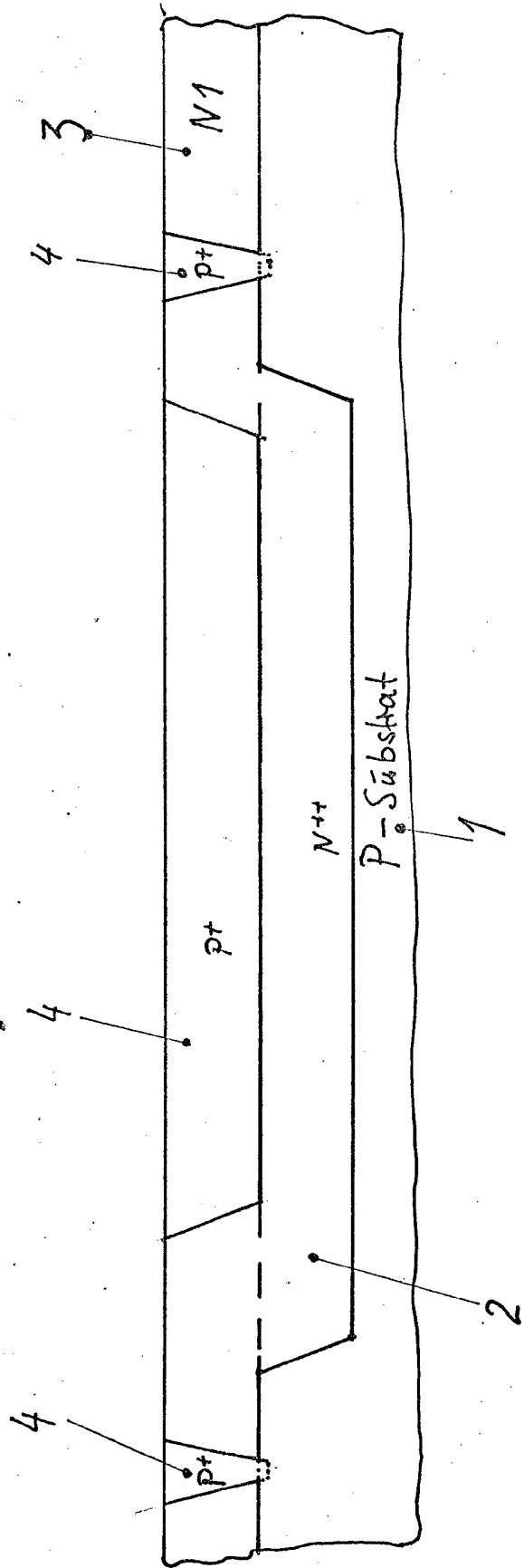


Fig. 3b

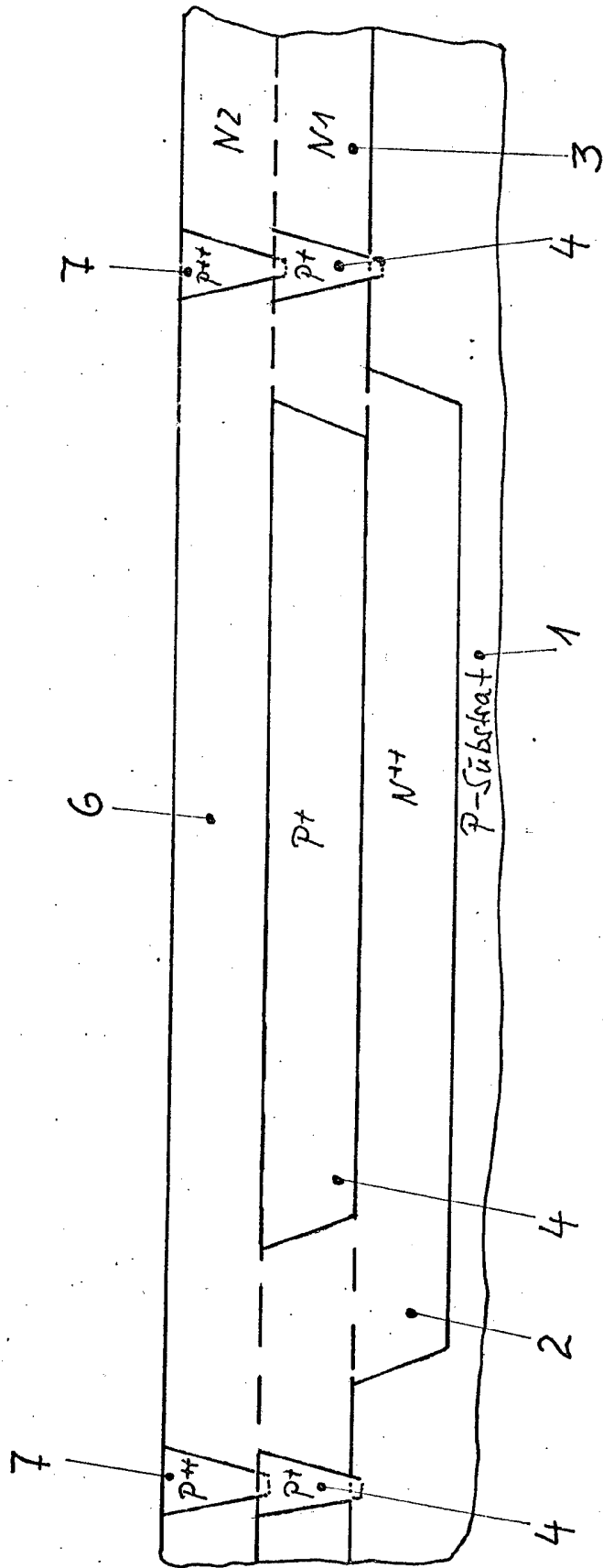


Fig. 3c

