

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5264126号
(P5264126)

(45) 発行日 平成25年8月14日 (2013. 8. 14)

(24) 登録日 平成25年5月10日 (2013. 5. 10)

(51) Int. Cl.		F I	
H O 4 N	1/21	(2006. 01)	H O 4 N 1/21
H O 4 N	1/387	(2006. 01)	H O 4 N 1/387
G O 6 T	1/60	(2006. 01)	G O 6 T 1/60 4 5 O F

請求項の数 15 (全 17 頁)

(21) 出願番号	特願2007-233379 (P2007-233379)	(73) 特許権者	000001007
(22) 出願日	平成19年9月7日 (2007. 9. 7)		キヤノン株式会社
(65) 公開番号	特開2009-64361 (P2009-64361A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成21年3月26日 (2009. 3. 26)	(74) 代理人	100076428
審査請求日	平成22年8月4日 (2010. 8. 4)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 画像処理装置及びその制御方法、プログラム

(57) 【特許請求の範囲】

【請求項 1】

第1の方向について各々が分担している複数の画素を読み取る複数のイメージセンサと

、
メモリの複数の記憶領域に、前記複数のイメージセンサによる読み取り動作で得られた画素データ群をそれぞれ書き込む書き込み手段と、前記複数の記憶領域について連続するアドレスから所定単位で逐次的にデータを読み出す読み出し手段と、

前記読み出し手段が読み出したデータについて、前記複数の画素データ群に含まれる有効な画素を示す有効信号を用いて、前記有効な画素がアドレス空間において連続するように出力する出力手段と、を備えることを特徴とする画像処理装置。

【請求項 2】

走査方向について各々が分担している複数の画素を読み取る複数のイメージセンサと、

メモリの複数の記憶領域に、前記複数のイメージセンサによる読み取り動作で得られた画素データ群をそれぞれ書き込む書き込み手段と、

前記複数の記憶領域について、前記画素データ群に含まれる有効な画素を保持している範囲を示す範囲情報を保持する保持手段と、

前記複数の記憶領域から所定単位でデータを読み出す読み出し手段と、前記読み出し手段が読み出したデータの位置に対応する値を計数するカウンタと、

前記読み出し手段が読み出したデータについて、前記カウンタの値と前記保持手段が保

10

20

持する範囲情報とに基づき、前記複数の画素データ群に含まれる有効な画素に有効信号を付加することにより、前記有効な画素がアドレス空間において連続するように出力する出力手段と、を備えることを特徴とする画像処理装置。

【請求項 3】

前記範囲情報は、有効画素の範囲の開始位置と終了位置を示し、

前記カウンタの値が前記開始位置と前記終了位置の間にある場合に、前記カウンタの値が前記範囲情報に示される範囲内にあると判定されることを特徴とする請求項 2 に記載の画像処理装置。

【請求項 4】

前記範囲情報が示す有効画素の範囲は、予め定められたサイズの記憶領域と前記イメージセンサの読み取り動作から得られる画素データの量との不整合により生じた無効データの領域を除外した範囲であることを特徴とする請求項 2 に記載の画像処理装置。

【請求項 5】

前記書き込み手段は、走査方向に配置された複数のイメージセンサからの画素データを、複数の予め定められたサイズの記憶領域にそれぞれ書き込み、

前記保持手段は、有効画素の範囲を示す前記範囲情報を前記複数のイメージセンサのそれぞれについて保持し、

前記範囲情報が示す有効画素の範囲は、前記予め定められたサイズの記憶領域と前記イメージセンサから得られる画素データの量との不整合により生じた無効データの領域と、隣接するイメージセンサが重複することにより生じた不要な画素データの領域とを除外した範囲であることを特徴とする請求項 2 に記載の画像処理装置。

【請求項 6】

前記書き込み手段は、前記イメージセンサからの連続する画素データを、それまでの画素データに対する処理結果を用いて符号化して前記記憶領域に書き込み、

前記画像処理装置は、前記メモリから読み出された符号化されたデータに、それまでの処理結果を用いて順次に復号する連続処理を施して画素データを取得する連続処理手段を備え、

前記連続処理手段は、前記カウンタの値が前記範囲情報によって示される範囲の開始位置を示す場合に、当該連続処理の動作をリセットすることを特徴とする請求項 2 乃至 5 のいずれか 1 項に記載の画像処理装置。

【請求項 7】

前記書き込み手段は、差分パルス符号変調により画素データを符号化し、

前記連続処理手段は、差分パルス符号変調により符号化された画素データを復号することを特徴とする請求項 6 に記載の画像処理装置。

【請求項 8】

第 1 の方向について、各々が分担している複数の画素を読み取る複数のイメージセンサによって読みとる読み取り工程と、

書き込み手段が、メモリの複数の記憶領域に、複数のイメージセンサによる読み取り動作で得られた画素データ群をそれぞれ書き込む書き込み工程と、

読み出し手段が、前記複数の記憶領域について連続するアドレスから所定単位で逐次的にデータを読み出す読み出し工程と、

出力手段が、前記読み出し手段が読み出したデータについて、前記複数の画素データ群に含まれる有効な画素を示す有効信号を用いて、前記有効な画素がアドレス空間において連続するように出力する出力工程と、を備えることを特徴とする画像処理装置の制御方法。

【請求項 9】

走査方向について、各々が分担している複数の画素を読み取る複数のイメージセンサによって読みとる読み取り工程と、

書き込み手段が、メモリの複数の領域に、前記複数のイメージセンサによる読み取り動作で得られた画素データ群を書き込む書き込み工程と、

保持手段が、前記複数の記憶領域について、前記画素データ群に含まれる有効な画素を保持している範囲を示す範囲情報を保持する保持工程と、

読み出し手段が、前記複数の記憶領域から所定単位でデータを読み出す読み出し工程と、

カウンタが、前記読み出し工程で読み出したデータの位置に対応する値を計数する計数工程と、

出力手段が、前記読み出し工程で読み出したデータについて、前記計数工程で計数されたカウンタ値と前記保持手段が保持する範囲情報とに基づき、前記複数の画素データ群に含まれる有効な画像に有効信号を付加することにより、前記有効な画素がアドレス空間において連続するように出力する出力工程と、を備えることを特徴とする画像処理装置の制御方法。

10

【請求項 10】

前記範囲情報は、有効画素の範囲の開始位置と終了位置を示し、

前記出力工程では、前記カウンタの値が前記開始位置と前記終了位置の間にある場合に、前記カウンタ値が前記範囲情報に示される範囲内にあると判定されることを特徴とする請求項 9 に記載の画像処理装置の制御方法。

【請求項 11】

前記範囲情報が示す有効画素の範囲は、予め定められたサイズの記憶領域と前記イメージセンサの読み取り動作から得られる画素データの量との不整合により生じた無効データの領域を除外した範囲であることを特徴とする請求項 9 に記載の画像処理装置の制御方法。

20

【請求項 12】

前記書き込み工程では、走査方向に配置された複数のイメージセンサからの画素データを、複数の予め定められたサイズの記憶領域にそれぞれ書き込み、

前記保持工程では、前記複数のイメージセンサのそれぞれについて有効画素の範囲を示す前記範囲情報がレジスタに保持され、

前記範囲情報が示す有効画素の範囲は、前記予め定められたサイズの記憶領域と前記イメージセンサから得られる画素データの量との不整合により生じた無効データの領域と、隣接するイメージセンサが重複することにより生じた不要な画素データの領域とを除外した範囲であることを特徴とする請求項 9 に記載の画像処理装置の制御方法。

30

【請求項 13】

前記書き込み工程では、前記イメージセンサからの連続する画素データを、それまでの画素データに対する処理結果を用いて符号化して前記記憶領域に書き込み、

前記メモリから読み出された符号化されたデータに、それまでの処理結果を用いて順次に復号する連続処理を施して画素データを取得する連続処理工程を更に備え、

前記連続処理工程では、前記カウンタ値が前記範囲情報によって示される範囲の開始位置を示す場合に、当該連続処理の動作をリセットすることを特徴とする請求項 9 乃至 12 のいずれか 1 項に記載の画像処理装置の制御方法。

【請求項 14】

前記書き込み工程では、差分パルス符号変調により画素データを符号化し、

前記連続処理工程では、差分パルス符号変調により符号化された画素データを復号することを特徴とする請求項 13 に記載の画像処理装置の制御方法。

40

【請求項 15】

メモリと、第 1 の方向について各々が分担している複数の画素を読み取る複数のイメージセンサと、を備える画像処理装置を、

メモリの複数の記憶領域に、前記複数のイメージセンサによる読み取り動作で得られた画素データ群をそれぞれ書き込む書き込み手段と、

前記複数の記憶領域について連続するアドレスから所定単位で逐次的にデータを読み出す読み出し手段と、

前記読み出し手段が読み出したデータについて、前記複数の画素データ群に含まれる有

50

効な画素を示す有効信号を用いて、前記有効な画素がアドレス空間において連続するように出力する出力手段として機能させることを特徴とするプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画像データの再構成を行う画像処理装置及びその制御方法、プログラムに関する。

【背景技術】

【0002】

従来、画像読み取りによって画像データを得る方法として複数のイメージセンサを用いて高速かつ高画質に画像を読み取る方法が一般的であった（例えば、特許文献1）。また、設置した複数のイメージセンサ毎に画像処理手段を具備し、1ライン分の画像データに対しての画像処理を高速に行う方法がある（例えば特許文献2）。さらに、イメージセンサによってセンサ素子の並び方向（主走査方向）に走査して読み取ったデータを複数ライン単位（バンド単位）でラインと垂直な方向（副走査方向）に走査して画像処理を行う方法もある（例えば特許文献3）。

【0003】

一方で画像処理を行う際の一時的な画像データ格納用メモリとして、SDRAMなどの連続的に書き込み及び読み出しを行える大容量メモリを使用することが一般的となっている。このような構成によれば、イメージセンサによって読み取った画像データに対して、高速に書き込み及び読み出しを行うことができる。

【特許文献1】特公平1-53538号公報

【特許文献2】特開平6-4661号公報

【特許文献3】特開2006-139606号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、近年、使用するイメージセンサ1個あたりの読み取り画素数が製造上の理由で2のべき乗（例えば $2^{11}=2048$ ）ではないものが製造されるようになってきた。このため、従来のSDRAMなどのメモリを使用してイメージセンサからの画素データを高速に格納する方法（例えば、バーストモード）を用いる場合、隣り合ったイメージセンサとの境界でメモリ上に画像データが書き込まれない無効部分が発生する。或いは、図4の（a）に示されるように、複数のイメージセンサが、読み取り領域に重複部分を有して配置されるような場合には、重複画素が発生するため、重複画素を格納する重複部分がメモリに生じてしまう。そのため、これらの無効部分や重複画素をメモリに発生させないために境界の結合処理がメモリへの書き込み前に実行される。したがって、隣り合ったデータを読み出し合成してから書き込みを行うなどの処理が必要となり、その結果、書き込み処理速度が低下する、またはイメージセンサ毎の並列処理が行えなくなるなどの課題があった。

【0005】

本発明は、上記の課題に鑑みてなされたものであり、イメージセンサからの画素データを、その画素数に関係なくSDRAM等の高速な連続アクセスが可能なメモリに格納することを可能とし、装置の処理速度を向上することを目的とする。

【課題を解決するための手段】

【0006】

上記の目的を達成するための本発明の一態様による画像処理装置は以下の構成を備える。すなわち、

第1の方向について各々が分担している複数の画素を読み取る複数のイメージセンサと、
メモリの複数の記憶領域に、前記複数のイメージセンサによる読み取り動作で得られた

10

20

30

40

50

画素データ群をそれぞれ書き込む書き込み手段と、

前記複数の記憶領域について連続するアドレスから所定単位で逐次的にデータを読み出す読み出し手段と、

前記読み出し手段が読み出したデータについて、前記複数の画素データ群に含まれる有効な画素を示す有効信号を用いて、前記有効な画素がアドレス空間において連続するように出力する出力手段と、を備える。

【0007】

また、上記の目的を達成するための本発明の他の態様による画像処理装置の制御方法は、

第1の方向について、各々が分担している複数の画素を読み取る複数のイメージセンサによって読みとる読み取り工程と、

書き込み手段が、メモリの複数の記憶領域に、複数のイメージセンサによる読み取り動作で得られた画素データ群をそれぞれ書き込む書き込み工程と、

読み出し手段が、前記複数の記憶領域について連続するアドレスから所定単位で逐次的にデータを読み出す読み出し工程と、

出力手段が、前記読み出し手段が読み出したデータについて、前記複数の画素データ群に含まれる有効な画素を示す有効信号を用いて、前記有効な画素がアドレス空間において連続するように出力する出力工程と、を備える。

【発明の効果】

【0008】

本発明によれば、イメージセンサからの画素データを、その画素数に関係なくSDRAM等の高速な連続アクセスが可能なメモリに格納することが可能となり、装置の処理速度が向上する。

【発明を実施するための最良の形態】

【0009】

<第1実施形態>

第1実施形態の画像読取装置や画像処理装置、及び画像出力装置の構成について図1のブロック図を参照して説明する。画像読取装置、画像処理装置、画像出力装置はそれぞれ別々の装置で実現されてもよいし、いずれかまたは全てが一体となった装置で実現されても良い。また、画像読取装置はスキャナ装置であってもよいし、デジタルカメラやデジタルビデオカメラなどの撮像装置であってもよい。さらに画像出力装置はプリンタなどの印刷装置であってもよいし、ディスプレイモニタなどの表示装置であってもよい。それぞれ別の装置で構成される場合は、互いに通信可能なようにローカルエリアネットワーク(Local Area Network(LAN))などで接続されているものとする。尚、本実施形態では、画像読取装置、画像処理装置、画像出力装置の各々、及びそれらのいずれか或いは全ての組み合わせを総称して画像処理装置と呼ぶことにする。

【0010】

図1において画像読み取り部120は、レンズ122、CCDセンサ124、アナログ信号処理部126等により構成される。レンズ122を介してCCDセンサ124に結像された原稿100の画像が、CCDセンサ124によりR(Red)、G(Green)、B(Blue)のアナログ電気信号に変換される。電気信号に変換された画像情報は、アナログ信号処理部126に入力され、R、G、Bの各色毎に補正等が行われた後にアナログ・デジタル変換(A/D変換)される。デジタル化されたフルカラー信号(以下、多値デジタル画像信号という)は、画像処理部130に入力される。画像処理部130はデジタル画像信号に対し、後述する入力補正処理、空間フィルタ処理、色空間変換、濃度補正処理、中間調処理を施し、プリンタ部140へ処理後のデジタル画像信号を出力する。プリンタ部140は、たとえば、インクジェットヘッドやサーマルヘッド等を使用した印刷出力部(図示せず)により構成され、入力されたデジタル画像信号により紙上に画像を記録する。

【0011】

また、CPU回路部110は、演算制御用のCPU112、固定データやプログラムを

格納するROM 114、データの一時保存やプログラムのロードに使用されるRAM 116等により構成される。CPU回路部110は、画像読み取り部120、画像処理部130、プリンタ部140等を制御し、本画像処理装置のシーケンスを統括的に制御する。外部記憶装置118は、本装置が使用するパラメータやプログラムを記憶するディスク等の媒体であり、RAM 116のデータやプログラム等は、該外部記憶装置118からロードされる構成としている。なお、RAM 116にはSDRAM等の、連続するメモリ空間（アドレス空間）について高速に書き込み及び読み出しを行えるメモリが用いられている。SDRAMによって構成されたRAM 116は、イメージセンサとしてのCCDセンサ124から得られる画素データを一時的に格納するためのバンドバッファ（後述）を提供する。

10

【0012】

次に図1の画像処理部130について詳細説明する。図2は、第1実施形態による画像処理部130が有する画像処理コントローラ200の回路構成例を示すブロック図である。アナログ信号処理部126からデジタル画像信号がバス205を経由して画像処理コントローラ200に入力され、以下に説明する画像処理が実行される。画像処理コントローラ200は、入力インターフェース210、入力補正回路220、空間フィルタ回路230、色空間変換回路240、濃度補正回路250、中間調処理回路260、出力インターフェース270で構成される。以下、入力補正回路220、空間フィルタ回路230、色空間変換回路240、濃度補正回路250、中間調処理回路260について詳細に説明する。

20

【0013】

〔入力補正回路220〕 入力インターフェース210を経由して入力補正回路220にデジタル画像信号215が入力される。このデジタル画像信号215はR、G、Bの輝度信号で構成される。入力補正回路220では、画素の並べ替え、原稿を読み取るセンサのばらつき及び、原稿照明用ランプの配光特性の補正がデジタル画像信号に対して行なわれる。

【0014】

〔空間フィルタ回路230〕 入力補正回路220から出力されるデジタル画像信号（輝度信号R、G、B）225が空間フィルタ回路230に入力される。空間フィルタ回路230では、デジタル画像信号（輝度信号R、G、B）225に対し、平滑化やエッジ強調といった局所（近傍）画像処理が行なわれる。

30

【0015】

〔色空間変換回路240〕 空間フィルタ回路230から出力されるデジタル画像信号（輝度信号R、G、B）235が色空間変換回路240に入力される。色空間変換回路240では、デジタル画像信号235の輝度信号R、G、Bから濃度信号C、M、Y、Kへの変換が行なわれる。

【0016】

〔濃度補正回路250〕 色空間変換回路240から出力されるデジタル画像信号（濃度信号C、M、Y、K）245が濃度補正回路250に入力される。濃度補正回路250では、デジタル画像信号（濃度信号C、M、Y、K）245に対し、出力エンジンのγ補正（濃度補正）が行なわれる。これは、中間調処理回路260の入力濃度と出力エンジンの出力濃度との間のドットゲイン等による非線形性を解消するものである。濃度補正回路250により後段の中間調処理回路260以降の入出力濃度特性を予め補正しておくことで、入力濃度に応じたりニアな出力が得られる。

40

【0017】

〔中間調処理回路260〕 濃度補正回路250から出力される多値デジタル画像信号（濃度信号C、M、Y、K）217が中間調処理回路260に入力される。中間調処理回路260では、多値デジタル画像信号（濃度信号C、M、Y、K）255に対しスクリーン処理や誤差拡散処理等の中間調処理が行なわれ、2値の中間調表現に変換される。そして2値デジタル画像信号（印字信号C、M、Y、K）265が出力インターフェース27

50

0 とバス 275 を経由してプリンタ部 140 に出力される。

【0018】

次に、本実施形態で使用する、1枚の画像データを複数のバンド（帯状）領域に分割し、各バンド領域を逐次的にバンドバッファに割り当てる画像処理方法（バンド処理）について説明する。家庭用プリンタのような低コスト機器では、システムのメインメモリ（図1のRAM116に相当）の容量が小さく、1枚のデジタル画像データ全体をメインメモリに記憶できない場合が多い。そのため、一般的には、図3の（a）～（d）に示すように1枚のデジタル画像データ全体を帯状（短冊状）に分割して逐次的にその領域のみをメインメモリに展開して各種の画像処理を行なうようにしている。この分割された細長い領域をバンド領域と呼び、バンド領域が展開される記憶領域をバンドバッファと呼び、バンド領域へ分割する行為をバンド分割と呼ぶ。尚、バンドバッファはメインメモリ上に記憶領域として確保されると決まっているわけではなく、システム上のどの記憶領域に確保されてもよいが、本実施形態では説明を簡潔にするためにメインメモリ上に確保されるものと仮定する。またデジタル画像データの座標系（主走査方向－副走査方向）とは別に、図3の（e）に示すように、長さ方向、高さ方向という新たな座標系（バンド領域座標系）を定義し、バンド領域を長さ×高さで表現する。

10

【0019】

さらにバンド処理について詳しく説明する。まず図3の（a）に示すバンド領域（1）をメインメモリ上のバンドバッファに展開して画像処理を行う。次に図3の（b）に示すバンド領域（2）をバンド領域（1）が展開されたバンドバッファに上書き展開して画像処理を行う。さらに図3の（c）に示すバンド領域（3）をバンド領域（2）が展開されたバンドバッファに上書き展開して画像処理を行う。最後に図3の（d）に示すバンド領域（4）をバンド領域（3）が展開されたバンドバッファに上書き展開して画像処理を行う。図3の（a）～（d）で明らかなように、バンドの長さは同じであるが高さは同じである必要性は無い。メインメモリの記憶領域であるバンドバッファは最も大きいバンド領域（図3の場合（1）～（3）のバンド領域）によって決定される。

20

【0020】

また、上記説明のようにメインメモリ上のバンドバッファは1つの記憶領域に限定されるわけではない。例えば2つのバンドバッファA、Bをメインメモリ上に確保し、まずバンドバッファAにバンド領域（1）を展開して画像処理（ア）を行う。次にバンド領域（1）をバンドバッファAからバンドバッファBに移して、バンドバッファAにバンド領域（2）を展開し、バンド領域（1）に画像処理（イ）を行いながら、並列にバンド領域（2）に画像処理（ア）を行うようにしても良い。バンド領域単位にデジタル画像データを分割して画像処理を行うことで、このようなパイプライン的な画像処理が可能となる。

30

【0021】

次に、イメージセンサの分割および並列読み取りとメインメモリ（SDRAM）上のバンドバッファへの高速書き込みによって生じる無効部分について説明する。図4A～図4Cは画像読み取り部120の動作例を示す図である。図4Aに示すように、本実施形態では、イメージセンサ1個あたりの読み取り画素数は1664画素であり、主走査方向にライン状に3つのイメージセンサを配置した構成を有する。また、主走査方向に隣接した複数のイメージセンサで10画素を重複して配置されている。これはA4縦サイズ of 原稿を、短辺側を主走査方向、長辺側を副走査方向として600dpiで読み取る際に適切な配置である。なお、ここでは説明の都合上イメージセンサは1664画素、重複は10画素としたが、本発明の趣旨に反しない限りこれに限定されるものでないことは明らかである。また、副走査方向への配置ズレについては便宜上無いものとして説明する。

40

【0022】

図4Bは、図4Aに示したイメージセンサA～Cの各々が画像データを読み取る様子を時間軸を横軸として表した図である。各イメージセンサは同時並行に読み取り動作をしており、主走査方向の分担している範囲の1ライン目をR、G、Bという順に読み取る。その後、2ライン目を同様に読み取り、以降、1バンド分読み取るまで同様に読み取りを繰

50

り返す。読み取ったデータは順次バンドバッファに格納される。

【0023】

次に、バンドバッファへの書き込みについて説明する。図4Cに示すように、各イメージセンサ毎にオフセットアドレスが割り当てられており、オフセットアドレスを先頭にして各ライン各色毎にアドレス移動量が加算されたアドレスに読み取った画像データが書き込まれる。本実施形態では1画素1色あたり1バイトで2048画素までのイメージセンサを対象としてアドレス移動量は 0×800 ($= 2048$)としている。なお‘ $0 \times$ ’は16進数を表す。このとき高速に書き込みが可能なメモリ空間(アドレス空間)とイメージセンサから得られる画素データの量との間の不整合により、無効データの領域が生じる。図4Cの例では、高速に書き込みが可能なメモリ空間は2048 ($= 2^{11}$)画素分の容量があり、各イメージセンサの読み取り画素数は1664画素である為、384画素分のメモリ領域には画素データが書き込まれず、無効データ領域が生じる。また、隣接するイメージセンサの重複する読み取り部分について、主走査方向の開始側に位置するイメージセンサの読み取りデータ(重複データ)、及び原稿領域外の読み取りデータ(不要データ)についても、無効データとして、上記無効領域と同様に扱われる。

10

【0024】

ここで本実施形態の画像再構成動作について説明する。図5A、Bは画像再構成を行う本実施形態の入力補正回路220のブロック図である。図5Aにおいて、入力補正回路220は画素並べ替え回路500、及びセンサ特性補正回路590で構成される。画素並べ替え回路500に入力された画素データは後述する並べ替えを行った後にセンサ特性補正回路590の処理を介して出力され、後段の画像処理が実行される。

20

【0025】

次に、図5Bを用いて画素並べ替え回路500のより詳細な構成を説明する。画素並べ替え回路500は、有効画素開始位置レジスタ510、有効画素終了位置レジスタ520、主走査方向位置カウンタ530、読み出し制御回路540、書き込み制御回路550、比較回路560、ローカルメモリ570を有する。ここでローカルメモリ570は上述のバンドバッファに格納された画像データの一部を長さ方向に32バイト、高さ方向にバンド高さとするブロック単位で格納することができる一時格納用メモリである。なお、長さ方向の32バイトとは、バンドバッファの高速読み出しの単位(2^5)である。また、ここではローカルメモリ570の長さ方向を32バイトとしたがこれに限定されるものではなく、例えば64バイト等、バンドバッファの高速読み出しの単位であればよい。

30

【0026】

画素並べ替え回路500に入力された画素データは、書き込み制御回路550の出力するアドレス(write_addr[12:0])に応じてローカルメモリ570に格納される。上述した1ブロック分の画像データがローカルメモリ570に格納されると読み出し動作が開始される。すなわち、読み出し制御回路540から出力されるローカルメモリ570の読み出しアドレス(read_addr[12:0])に従って、ローカルメモリ570から指定された画素データが読み出される。ここでローカルメモリ570はダブルバッファ構成としてもよく、その場合は1ブロック目の読み出しを行っている間に2ブロック目の書き込みを実行することができ、更に処理の高速化を行うことができる。

40

【0027】

主走査方向位置カウンタ530は1回のバンド処理の開始から終了まで主走査方向の画素位置を計数(カウント)する。すなわち、読み出し制御回路540が読み出すアドレスを長さ方向に移動する度に、該移動量に応じて画素位置のカウント値(c_count)を変更する。主走査方向位置カウンタ530は、読み出し制御回路540がローカルメモリ570から読み出した画素データに対応する画素の、主走査方向における位置を示す値を計数する。

【0028】

比較回路560は画素位置c_countと有効画素開始位置レジスタ510の値(scn_valid_start)及び、有効画素終了位置レジスタ520の値(scn_valid_end)とを比較する。

50

そして、画素位置 c_count が有効画素開始位置 scn_valid_start と有効画素終了位置 scn_valid_end の範囲内 ($scn_valid_start \leq c_count < scn_valid_end$) にあるときに画素有効信号 (valid) を有効 (ON) として出力する。ここで、有効画素開始位置レジスタ及び有効画素終了位置レジスタは一对のレジスタとしてイメージセンサの個数分のレジスタを有し、イメージセンサ各々の有効範囲を指定する。後段のセンサ特性補正回路590はvalidがONである場合の読み出し画素データのみを順次処理する。

【0029】

図6は読み取り画像データがバンドバッファ上に展開された後、入力補正回路220内で画像データの再構成が行われる様子を示している。前述したように画素位置 c_count が有効画素開始位置 scn_valid_start と有効画素終了位置 scn_valid_end の範囲内でない場合はvalidが無効 (OFF) である。そのため、前述した読み取り画像データのバンドバッファへの書き込みの際に生じる無効画素領域を削除して画像を再構成することができる。

10

【0030】

図8は第1実施形態による画素並べ替え回路500の動作を説明するフローチャートである。以下、図8を参照して、本実施形態の画素並べ替え回路500の動作を更に説明する。

【0031】

まず、ステップS801において、CPU112は、イメージセンサA～Cから得られたデータを図4Cに示すようにRAM116に確保されたバンドバッファに、高速書き込み動作によって格納する。図6に示されるように1バンド分の画像データがバンドバッファに格納されると、CPU112は、画素並べ替え回路500を有する入力補正回路220を起動する。

20

【0032】

ステップS802において、CPU112は、画素並べ替え回路500の有効画素開始位置レジスタ510にイメージセンサA～Cのそれぞれの有効画素開始位置 ($scn_valid_start1 \sim scn_valid_start3$) をセットする。また、CPU112は、有効画素終了位置レジスタ520にイメージセンサA～Cのそれぞれの有効画素終了位置 ($scn_valid_end1 \sim scn_valid_end3$) をセットする。なお、有効画素開始位置レジスタ510、有効画素終了位置レジスタ520を不揮発性のメモリとして、上記値が予め固定的にセットされているもよい。

30

【0033】

ステップS803において、書き込み制御回路550は、上述したように「32バイト幅×バンド高さ」を有するブロックをバンドバッファから読み出し、ローカルメモリ570に格納する。そして、ステップS804において、読み出し制御回路540はローカルメモリ570から順次に画素データを読み出す。このとき、主走査方向位置カウンタ530は、読み出し制御回路540が読み出している画素の主走査方向における位置 c_count を示すように制御する。

【0034】

例えば、図4Aの構成において、イメージセンサAの0～1663画素の読み出しに同期して、 c_count は0から1663までカウントアップする。また、イメージセンサBの0～1663画素の読み出しに同期して、 c_count は1654から3317までカウントアップする。また、イメージセンサCの0～1663画素の読み出しに同期して、 c_count は3308から4971までカウントアップする。そして、イメージセンサAの有効範囲を示す scn_valid_start1 と scn_valid_end1 にはそれぞれ0と1653がセットされる。同様に、イメージセンサBの有効範囲を示す scn_valid_start2 と scn_valid_end2 にはそれぞれ1654と3307がセットされる。また、イメージセンサCの有効範囲を示す scn_valid_start3 と scn_valid_end3 には3308と4961がセットされる。これらのレジスタ値及びカウンタ値を用いることにより、以下に説明するように、イメージセンサA～Cの出力から、有効な4962画素の画素データが取得されることになる。なお、主走査方向位置カウンタ530は、ローカルメモリから読み出された画素データの主走査方向にお

40

50

ける画素位置を計数してc_countとするものとしたがこれに限られるものではない。図4 Aに示す構成の各イメージセンサ毎に0～1663をカウントするようにしてもよい。この場合、scn_valid_startとscn_valid_endは全イメージセンサで共通となり、それぞれ0と1653がセットされる。このようなイメージセンサ毎の画素位置を示す値も主走査方向における位置と対応した値であるため、主走査方向の位置を示すカウンタ値c_countとして用いることは明らかである。

【0035】

ステップS805で、比較回路560は、有効画素開始位置レジスタ510のscn_valid_startと有効画素終了位置レジスタ520のscn_valid_endの値から、ステップS804で読み出した画素データの有効、無効を判定する。ここで、イメージセンサAによって得られたデータが読み出されている場合にはscn_valid_start1～scn_valid_end1が参照される。すなわち、主走査方向における位置c_countがscn_valid_start1とscn_valid_end1の間にあるか否かにより、当該データが有効範囲にあるか否かが判定される。同様にイメージセンサBによって得られたデータが読み出されている場合にはscn_valid_start2～scn_valid_end2が参照される。更に、イメージセンサCによって得られたデータが読み出されている場合にはscn_valid_start3～scn_valid_end3が参照される。有効画素開始位置レジスタ510及び有効画素終了位置レジスタ520の参照すべきレジスタ値の切り替えは、ローカルメモリ570に書き込んだ画素データがどのイメージセンサからの画素データであるかに応じて行えばよい。あるいは、画素位置c_countが上記有効画素終了位置レジスタ520のscn_valid_endの値となったときに、次の設定に切り替わるような構成でもよい。

【0036】

画素データが有効であると判定された場合は、ステップS806において、比較回路560はvalidをONにし、読み出したデータとvalid=ONがセンサ特性補正回路590へ供給される。一方、画素データが無効であると判定された場合は、ステップS807において、比較回路560はvalidをOFFにし、読み出したデータとvalid=OFFがセンサ特性補正回路590へ供給される。

【0037】

以上のステップS804～S807の処理が、ローカルメモリ570に格納した1ブロック分の画像データについて実行されると、処理はステップS808からステップS809へ進む。ステップS809において、処理すべき次のブロックがあるか否かを判定し、次のブロックがある場合はステップS803に処理を戻す。ステップS803では、書き込み制御回路550が、32バイトの幅及びバンド高さ有する次のブロックをバンドバッファから読み出し、ローカルメモリ570に格納する。そして、ステップS804以降の処理が実行される。一方、ステップS809において、次のブロックが無いと判定された場合は、本処理を終了する。

【0038】

以上のように、第1実施形態によれば、1ライン上に配置された複数のイメージセンサを使用する画像読み取りにおいて、イメージセンサ1個あたりの画素数とは無関係に、SDRAM等の連続的に書き込み及び読み出しを行える大容量メモリを使用できる。また、本実施形態では、連続的な高速なアクセスを行えるメモリを画像処理を行う際の一時的な画像データ格納用メモリとして使用し、後段の画像処理部で並べ替えを行う際に、有効な画素データからなる正しい画像データを得るように構成されている。例えば、後段の画像処理部においてバンド単位での処理が行われる際に、副走査方向の画像データの再構成を行うように構成することが出来る。ここで、イメージセンサ1個あたりの画素数と一時格納用メモリ（バッファ）の高速書き込み単位との関係で画素データが書き込まれない無効データの範囲を除外するように、有効な画素データの範囲を示す範囲情報が設定される。より具体的には、CPUなどにより有効画素開始位置レジスタ510と有効画素終了位置レジスタ520に、有効な画素データの範囲の開始位置と終了位置が設定される。そして、ローカルメモリ570からの画素データの読み出しの際には、主走査方向位置カウ

ンタ530の値が有効画素開始位置レジスタ510の値と有効画素終了位置レジスタ520の値の範囲である時に有効となる画素有効信号validを出力する。これにより、有効な画素データと無効な画素データが識別され、有効範囲のみの画像データを再構成することができる。

【0039】

<第2実施形態>

次に、第2実施形態による画像処理装置について図7のブロック図を参照して説明する。尚、入力補正回路220の概略構成は上述の第1実施形態（図5A）と同様である。図7は入力補正回路220内の画素並べ替え回路500の詳細を説明するブロック図である。

10

【0040】

図7では、前述の第1実施形態の構成に対して、画素並べ替え回路500内に連続データ処理回路580（DPCMデコーダ）が設けられ、比較回路560及びローカルメモリ570の出力が接続されている。連続データ処理回路580はここでは差分パルス符号変調方式（DPCM：Differential Pulse Code Modulation）の復号化（デコード）処理を行う差分パルス符号変調復号化回路（DPCMデコーダ）である。さらに比較回路560から連続処理解除信号（line_top）が出力され、連続データ処理回路580に接続されている。

【0041】

line_topはc_countがscn_valid_startの各々と同値である場合に有効となる信号である。このline_top信号はscn_valid_startの全てにおいて有効となってもよい。或いは、別途CPUなどからの設定によって該信号が有効となるscn_valid_startを指定できる構成となっても構わない。例えば、

20

- ・全てのscn_valid_start（実施形態ではscn_valid_start1, scn_valid_start2, scn_valid_start3）がc_countと一致したときにline_top信号を有効としてもよいし、
- ・CPU等で指定した特定のscn_valid_start（例えばscn_valid_start2）のみがc_countと一致したときにline_top信号を有効とする構成でもかまわない。これは、例えばある特定の領域の信号のみ必要な場合、不要なデータはデコードする必要がないので省略できることを示している。但し、通常モードとDPCMモードではデータの読み出し速度が異なり、DPCMモードでは、圧縮率分だけ遅くなる。データを読み捨てるのであれば、通常モードで読み出す方が処理は早くなる。

30

【0042】

また図1におけるアナログ信号処理部126内部には図示しないDPCMの符号化（エンコード）処理を行う差分パルス符号変調符号化回路（DPCMエンコーダ）が各イメージセンサ毎に存在する。これら差分パルス符号変調符号化回路は、上記の連続データ処理回路580（DPCMデコーダ）と対となって動作する。

【0043】

ここでDPCMの簡単な説明を行う。DPCMエンコーダは連続したデータに対して直前の値との差分を符号化する回路であり、DPCMデコーダはDPCMエンコーダによって符号化された値の復号化処理を行う回路である。また、直前のデータが存在しない開始点のデータについてはリセット処理が行われる。DPCMの場合、連続したデータは直前に符号化／復号化した値を参照しながら動作する為、本実施形態に好適な連続データ処理を行っている。

40

【0044】

前述したように各イメージセンサ毎にDPCMエンコーダを有し、処理の高速化のために各イメージセンサのバンドバッファへの書き込み前にエンコード処理が行われる。この為、バンドバッファに書き込まれた画像データは各イメージセンサの左端で不連続となっている。

【0045】

scn_valid_startを各イメージセンサの先頭画素位置に設定し、line_topの設定を有効

50

とすることで、DPCMデコーダにおいて各イメージセンサの先頭画素で連続データ処理リセット動作が行われる。こうして、正しい復号化を行うことができ、所望の画像データを再構成することができる。

【0046】

なお、ここではDPCMデコーダを例にとって説明したが、注目画素以外の画素や、それまでの処理結果を参照するような画像処理においては、同様に適用することが可能である。

【0047】

また図4に示すような各センサのオーバーラップ部での乗り換えを途中で行う場合、連続処理解除信号のタイミングと画素有効信号のタイミングをずらす必要がある。この場合は連続処理解除信号用のレジスタを追加し、連続処理解除信号と画素有効信号を別々に生成すればよい。例えば、図4Aに示す構成の場合、各イメージセンサの先頭画素位置を示す値「0」、「1654」、「3308」を保持するレジスタを追加する。そして、比較回路560は、

- ・イメージセンサAからの画素データを読み出している場合は主走査方向位置カウンタ530の値が「0」のとき、
 - ・イメージセンサBからの画素データを読み出している場合は主走査方向位置カウンタ530の値が「1654」のとき、
 - ・イメージセンサCからの画素データを読み出している場合は主走査方向位置カウンタ530の値が「3308」のとき、
- にそれぞれ連続処理解除信号(Line_top)を出力するように構成される。

【0048】

なお、第2実施形態の動作は、図8のフローチャートにおいて、ステップS805の実行前に、主走査方向カウンタc_countがscn_valid_startと一致した場合にline_topを出力する処理を設ければよい。連続データ処理回路580はline_topに応じて、連続データ処理リセット動作を実行する。そして、ステップS806では、連続データ処理回路580が読み出したデータをデコードし、デコードされたデータをvalid=ONとともにセンサ特性補正回路590へ出力する。なお、ステップS807では、デコードされたデータ(無効データであるのでデコードしなくてもよい)がvalid=OFFとともにセンサ特性補正回路590へ出力される。なお、連続データ処理回路580は、ローカルメモリ570に保持される各主走査ライン毎の復号結果(DPCMの予測値)を保持しており、ローカルメモリ570に順次に保持される各ブロックのデータを連続処理(デコード)する。そして、上記の連続データ処理リセット動作では、それら主走査ライン毎の復号結果(処理結果)がリセットされる。

【0049】

また、第2実施形態によれば、前記バッファへの高速書き込み前に前記イメージセンサ毎に圧縮などの連続的な前処理を行った場合、各イメージセンサの境界で画像データが不連続となる。その為、主走査方向位置カウンタが有効画素開始位置レジスタの値と同値であるときに有効となる連続処理解除信号を出力することによって、後段の連続データ処理回路の動作をリセットし、正しい連続データ処理を行って画像を再構成することができる。

【0050】

以上のように、上記第1及び第2実施形態によれば、イメージセンサ1個あたりの画素数に関係なく、高速アクセス可能な単位の連続するメモリ空間にイメージセンサからの画素データを格納することが可能となる。このため、1ラインの画像を1つまたは複数のイメージセンサを使用して読み取る構成において、SDRAM等の連続的な高速アクセスを利用することが可能となる。また、SDRAM等に確保したバンドバッファにイメージセンサからの画素データを格納した後は、後段の画像処理部で並べ替えを行う際に、有効な画素データのみを用いて画像データを再構成する。そのため、バンドバッファにおける無効データの領域や重複画素の領域の存在は、画像処理の速度に実質的な影響は及ぼさない

。特に、各イメージセンサ用の格納領域に生じる無効データ領域についてローカルメモリ570への書き込みをしないように制御すれば、バンドバッファからの読み出しの効率が更に向上する。また、上記各実施形態では、SDRAMの高速読み出しを利用してローカルメモリ570に画素データを保持するがこれに限られるものではない。SDRAMからの読み出し方法に係らず（通常の読み出しモードが混在する場合においても）、読み出しと主走査方向位置カウンタの計数を同期させてvalid信号を制御し、有効な画素データによる画像データの再構成を行うように構成することも可能である。

【0051】

以上、実施形態を詳述したが、本発明は、例えば、システム、装置、方法、プログラムもしくは記憶媒体等としての実施態様をとることが可能である。具体的には、複数の機器から構成されるシステムに適用しても良いし、また、一つの機器からなる装置に適用しても良い。

10

【0052】

尚、本発明は、ソフトウェアのプログラムをシステム或いは装置に直接或いは遠隔から供給し、そのシステム或いは装置のコンピュータが該供給されたプログラムコードを読み出して実行することによって前述した実施形態の機能が達成される場合を含む。この場合、供給されるプログラムは実施形態で図に示したフローチャートに対応したコンピュータプログラムである。

【0053】

従って、本発明の機能処理をコンピュータで実現するために、該コンピュータにインストールされるプログラムコード自体も本発明を実現するものである。つまり、本発明は、本発明の機能処理を実現するためのコンピュータプログラム自体も含まれる。

20

【0054】

その場合、プログラムの機能を有していれば、オブジェクトコード、インタプリタにより実行されるプログラム、OSに供給するスクリプトデータ等の形態であっても良い。

【0055】

コンピュータプログラムを供給するためのコンピュータ読み取り可能な記憶媒体としては以下が挙げられる。例えば、フロッピー（登録商標）ディスク、ハードディスク、光ディスク、光磁気ディスク、MO、CD-ROM、CD-R、CD-RW、磁気テープ、不揮発性のメモリカード、ROM、DVD（DVD-ROM、DVD-R）などである。

30

【0056】

その他、プログラムの供給方法としては、クライアントコンピュータのブラウザを用いてインターネットのホームページに接続し、該ホームページから本発明のコンピュータプログラムをハードディスク等の記録媒体にダウンロードすることが挙げられる。この場合、ダウンロードされるプログラムは、圧縮され自動インストール機能を含むファイルであってもよい。また、本発明のプログラムを構成するプログラムコードを複数のファイルに分割し、それぞれのファイルを異なるホームページからダウンロードすることによっても実現可能である。つまり、本発明の機能処理をコンピュータで実現するためのプログラムファイルを複数のユーザに対してダウンロードさせるWWWサーバも、本発明に含まれるものである。

40

【0057】

また、本発明のプログラムを暗号化してCD-ROM等の記憶媒体に格納してユーザに配布するという形態をとることもできる。この場合、所定の条件をクリアしたユーザに、インターネットを介してホームページから暗号を解く鍵情報をダウンロードさせ、その鍵情報を使用して暗号化されたプログラムを実行し、プログラムをコンピュータにインストールさせるようにもできる。

【0058】

また、コンピュータが、読み出したプログラムを実行することによって、前述した実施形態の機能が実現される他、そのプログラムの指示に基づき、コンピュータ上で稼動しているOSなどとの協働で実施形態の機能が実現されてもよい。この場合、OSなどが、実

50

際の処理の一部または全部を行ない、その処理によって前述した実施形態の機能が実現される。

【0059】

さらに、記録媒体から読み出されたプログラムが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれて前述の実施形態の機能の一部或いは全てが実現されてもよい。この場合、機能拡張ボードや機能拡張ユニットにプログラムが書き込まれた後、そのプログラムの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行なう。

【図面の簡単な説明】

10

【0060】

【図1】第1実施形態による画像処理装置の全体構成例を示すブロック図である。

【図2】第1実施形態による画像処理部の回路構成例を示すブロック図である。

【図3】第1実施形態によるバンド処理の動作例を示す図である。

【図4A】第1実施形態のセンサ出力の動作例を示す図である。

【図4B】第1実施形態のセンサ出力の動作例を示す図である。

【図4C】第1実施形態のセンサ出力の動作例を示す図である。

【図5A】第1実施形態の画素並べ替え回路の構成を示すブロック図である。

【図5B】第1実施形態の画素並べ替え回路の構成を示すブロック図である。

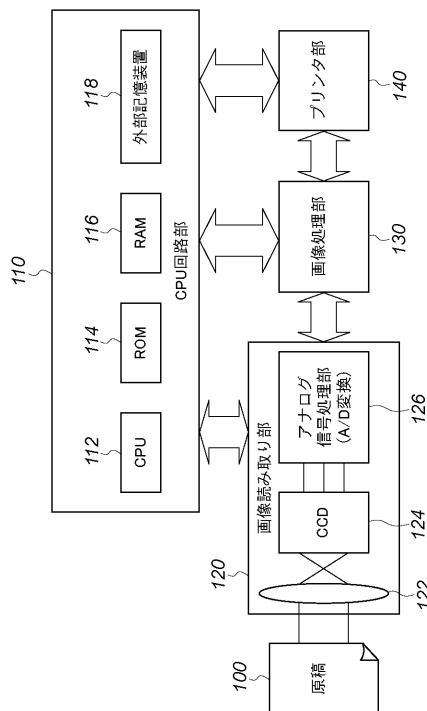
【図6】第1実施形態による画像データ再構成の動作例を示す図である。

20

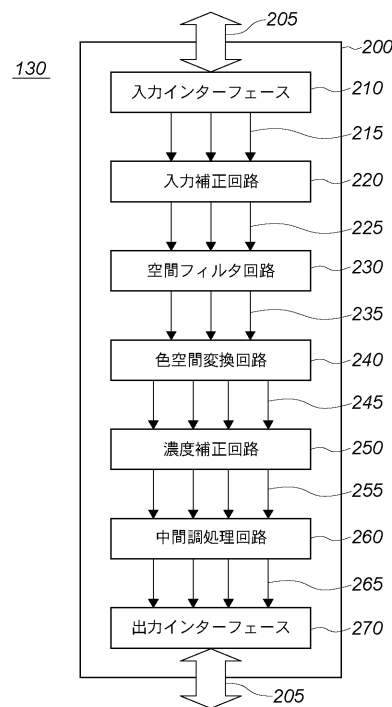
【図7】第2実施形態の画素並べ替え回路の構成を示すブロック図である。

【図8】第1実施形態による画素並べ替え回路の動作を説明するフローチャートである。

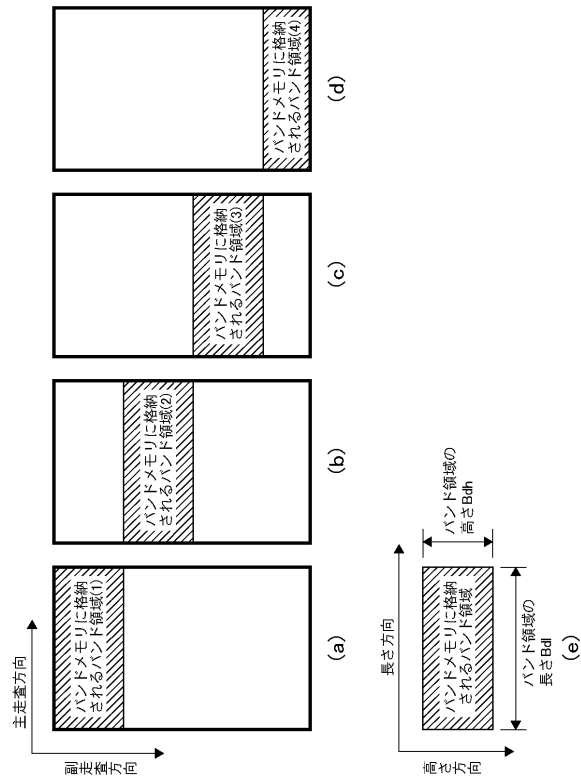
【図1】



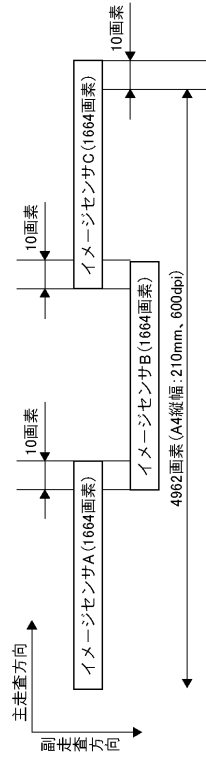
【図2】



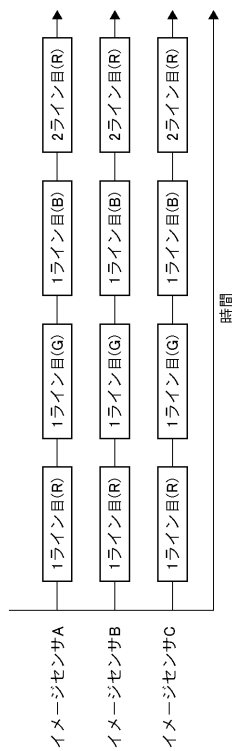
【図 3】



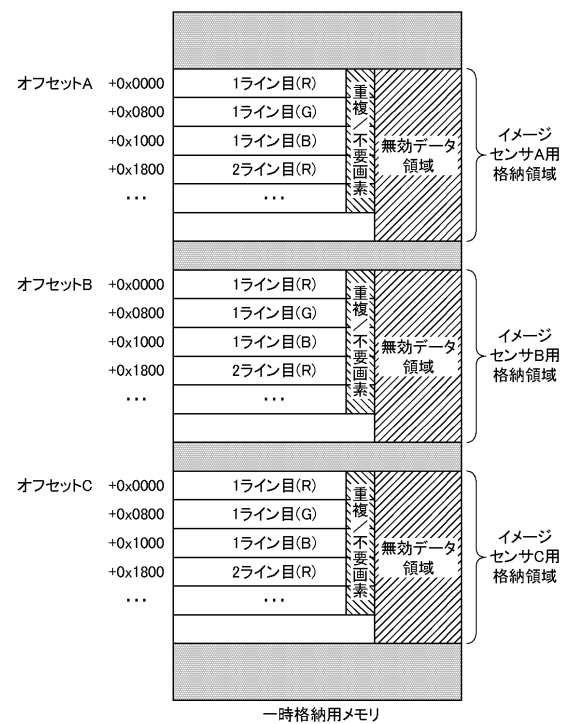
【図 4 A】



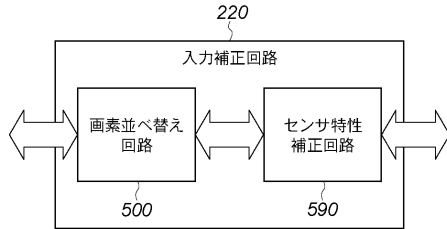
【図 4 B】



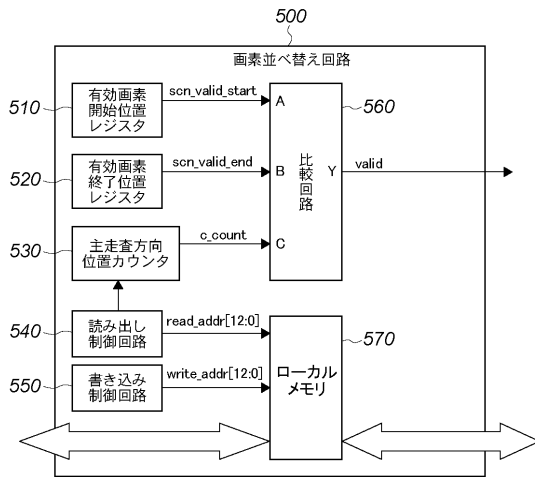
【図 4 C】



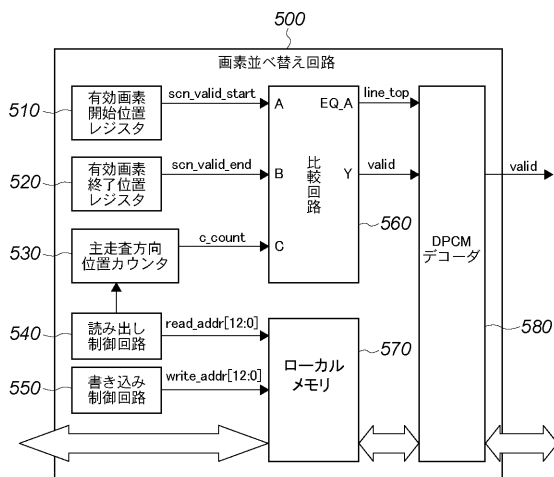
【図 5 A】



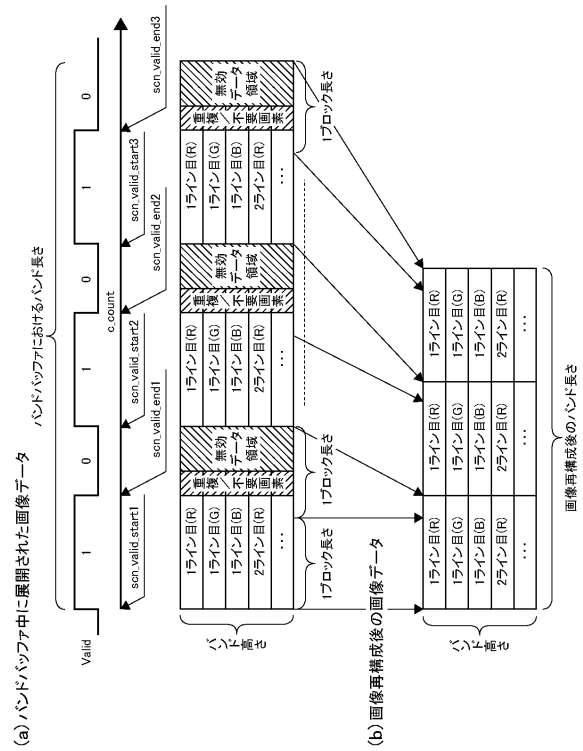
【図 5 B】



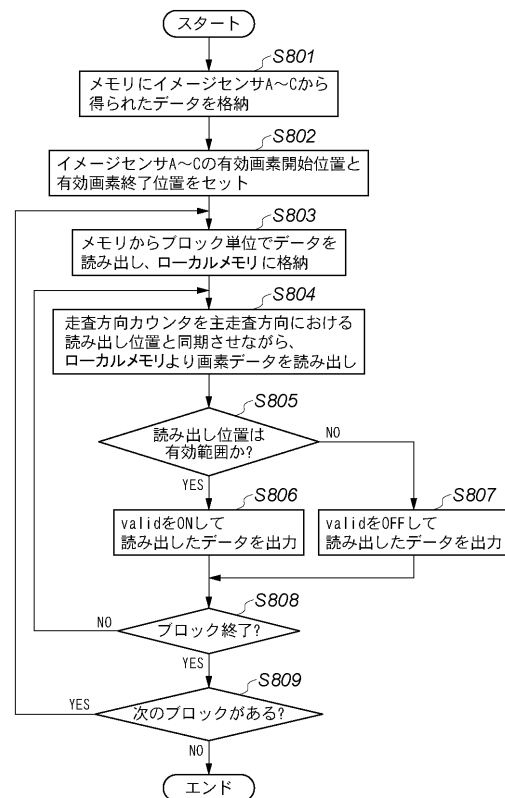
【図 7】



【図 6】



【図 8】



フロントページの続き

(72)発明者 石川 尚

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 池上 美也

東京都府中市宮町1丁目40番1号府中サウスビル9階 キヤノンアイテック株式会社内

審査官 佐田 宏史

(56)参考文献 特開2004-056493 (JP, A)

特開平05-037790 (JP, A)

特開平04-310062 (JP, A)

特開平06-004661 (JP, A)

特開平06-312538 (JP, A)

特開平08-111772 (JP, A)

特開2000-013594 (JP, A)

特開2001-053950 (JP, A)

特開2006-140599 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 1/21, 1/387

G06T 1/60

G06F 12/00-12/02