

[51] Int. Cl.
G11C 29/00 (2006.01)



[21] 申请号 03825688.6

[11] 公开号 CN 1717749A

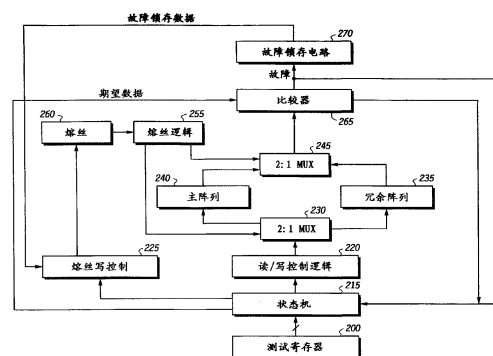
[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所
代理人 康建峰

权利要求书 2 页 说明书 10 页 附图 2 页

使用预分配冗余 (PAR) 体系结构的存储器阵列的自修复

使用预分配冗余 (PAR) 体系结构自修复非易失

性存储器的方法及装置。在代表性实施方案中,非易失性存储器包括块、存储子块、具有与存储子块的容量相等容量的冗余子块、连接到块的比较器(265)、连接到块的故障锁存电路(270),以及连接到块的熔丝(260)。比较器(265)被配置以通过比较期望数据与读出数据识别特定存储子块中的故障。故障锁存电路(270)被配置以确定特定存储子块的地址。熔丝并配置以使特定存储子块用冗余子块替换从而修复非易失性存储器。



1. 一种非易失性存储器，包括：
块；
块中的存储子块；
具有与存储子块的容量相等容量的冗余子块；
连接到块的、被配置以通过比较期望数据与读出数据识别特定存储子块中的故障的比较器；
连接到块的、被配置以确定该特定存储子块的地址的故障锁存电路；以及
连接到块的、被配置以使该特定存储子块用冗余子块替换从而修复非易失性存储器的熔丝。
2. 根据权利要求 1 的非易失性存储器，还包括连接到块并连接到比较器的测试寄存器，测试寄存器被配置以存储由用户输入的测试变量，测试变量用作期望数据的基础。
3. 根据权利要求 2 的非易失性存储器，测试寄存器被配置以存储用户输入的偏置条件、测试脉冲宽度、测试脉冲个数、初始阈电压电平或可允许的阈电压电平移位。
4. 根据权利要求 1 的非易失性存储器，该非易失性存储器包括闪速 EEPROM。
5. 根据权利要求 1 的非易失性存储器，还包括操作上与非易失性存储器相关的处理器。
6. 一种非易失性存储器，包括：
用于从存储子块中读出数据的装置；
用于将该数据与期望数据相比较的装置；
用于当该数据与期望数据不匹配时识别故障存储子块的装置；以及
用于用冗余子块替换故障存储子块从而修复非易失性存储器的装置。
7. 根据权利要求 6 的非易失性存储器，还包括用于使期望数据基

于用户所输入的测试变量的装置。

8. 根据权利要求 7 的非易失性存储器, 测试变量包括用户输入的偏置条件、测试脉冲宽度、测试脉冲个数、初始阈电压电平, 或可允许的阈电压电平移位。

9. 根据权利要求 6 的非易失性存储器, 该非易失性存储器包括闪速 EEPROM。

10. 根据权利要求 6 的非易失性存储器, 还包括操作上与非易失性存储器相关的处理器。

11. 一种非易失性存储器的自测试及修复方法, 包括:

使用比较器将期望的阈电压性质与读出的阈电压性质相比较以识别特定存储子块中的故障;

使用故障锁存电路确定特定存储子块的地址; 以及

使用熔丝用冗余子块替换特定存储子块从而修复非易失性存储器;

非易失性存储阵列包括包含多个存储子块的块;

非易失性存储器还包括具有与存储子块的容量相等容量的冗余子块; 以及

非易失性存储阵列连接到比较器、故障锁存电路及熔丝。

12. 根据权利要求 11 的方法, 期望的阈电压性质基于用户所输入的测试变量。

13. 根据权利要求 12 的方法, 测试变量包括偏置条件、测试脉冲宽度、测试脉冲个数、初始阈电压电平, 或可允许的阈电压电平移位。

14. 根据权利要求 11 的方法, 期望的阈电压性质包括阈电压的移位。

15. 根据权利要求 11 的方法, 非易失性存储器包括闪速 EEPROM。

16. 根据权利要求 11 的方法, 非易失性存储器在操作上与处理器相关。

使用预分配冗余（PAR）体系结构的存储器阵列的自修复

技术领域

本发明一般地涉及存储器的自测试及修复。更特别地，本发明涉及使用预分配冗余（PAR）体系结构的非易失性存储器（NVM）的测试及修复。

背景技术

随着存储器容量增加，测试存储器所花费的时间也增加。这种增加又代表存储器制造商的额外成本。另外，有效地测试存储器的能力不仅对保证存储器正确地运行而且对节省成本是重要的。

存储器阵列的一般内置自测试（BIST）已在本领域中用来测试存储器阵列。在一般 BIST 体系结构中，存储器由提供一系列图形（例如分列测试或棋盘图形）给存储器的 BIST 块来测试。BIST 块然后将输出与一组期望响应相比较。因为图形是高度规则的，存储器的输出可以使用比较器与参考数据直接比较，保证存储器的不正确响应将被标记为测试失败。

BIST 块的数据典型地被输出并处理，以确定存储器故障的精确位置。通过已知的故障位置，使用激光器的外部修复装置可以用来实现存储器的实际修复。这些处理及修复步骤经常代表复杂的、费时的过程。特别地，这些步骤典型地要求高智能（例如专用内置冗余分析（BIRA）逻辑单元）并使用各种复杂的外部设备。

内置自修复（BISR）指的是设计来克服与 BIST 及基于激光器的外部修复相关的某些缺点的一般技术。BISR 利用芯片级处理器及冗余分析逻辑来“布线绕过”坏的存储位而不是使用昂贵且缓慢的激光器来烧掉坏的存储行或列。修复典型地包括根据所使用的冗余逻辑方案用存储器的冗余行、存储器的冗余列或者存储器的冗余单个位来绕过有故障的

存储位置。

虽然常规的 BIST 及 BISR 技术已显示出在测试及修复存储器方面的效用，但仍然有重大改进的余地。例如，更好的测试及修复方法学是需要的，以便 BIST 及 BISR 能够更有效地修复“即时”故障而不利用过分复杂的冗余分析单元。另外，更灵活的测试技术是需要的，使得不同的测试变量能够容易地调整和调节，以更有效地识别（并消除）有故障的数据位。

此外，更好的测试及修复方法学是需要的，以便 BIST 及 BISR 能够灵活并有效地应用于非易失性存储器（NVM）的测试及修复，由于至少三个主要原因，非易失性存储器常规上还不能利用与 BISR 相结合的 BIST。第一，非易失性存储器典型地用各种存储单元电路设计来实施并使用不同的处理技术，使得应用常规测试技术是困难的或不可能的。第二，常规测试技术不允许用户有效地调整和控制测试变量；因此，有故障的数据位并不总是被有效地定位和识别以供最后修复。第三，非易失性存储器可能有许多不同类型，例如闪速（块擦除）或电可擦除（字节/字可擦除），每种类型涉及不同的擦除、编程、读取及加压算法。这些不同类型的存储器及存储器算法进一步使测试参数变复杂。

上面提及的缺点不意味着全部，而是容易损害关于自测试及修复的先前已知技术的有效性的许多缺点之一；但是，这里所提到的那些缺点足以说明本领域中出现的方法学还不是完全令人满意的并且存在对本公开内容中所描述并要求权利的技术的显著需要。特别地，存在对新的内置测试及修复技术的需要，这些技术不依靠过分复杂的逻辑单元并利用适合于在甚至非易失性存储器中使用的体系结构。

发明内容

在一个方面，本发明涉及非易失性存储器。非易失性存储器包括块、存储子块、具有与存储子块的容量相等容量的冗余子块、连接到块的比较器、连接到块的故障锁存电路，以及连接到块的熔丝。比较器被配置以通过将期望数据与读出数据比较来识别特定存储子块中的故障。

故障锁存电路被配置以确定该特定存储字块的地址。熔丝被配置以使得该特定存储子块用冗余子块来替换，从而修复非易失性存储器。

在另一个方面，本发明涉及一种非易失性存储器的自测试及修复的方法。期望的阈电压性质使用比较器来与读出的阈电压性质相比较，以识别特定存储子块中的故障。该特定存储子块的地址使用故障锁存电路来确定，并且该特定存储子块通过使用熔丝用冗余子块替换，从而修复非易失性存储器。

其他特性和相关优点将通过结合附图参考下面具体实施方案的详细描述而变得明白。

附图说明

本公开内容的技术可以通过结合这里所提供的示范实施方案的详细描述参考这些附图的一个或多个来更好地理解。

图 1 是说明用于自测试 NVM 的技术的曲线图。

图 2 是说明根据本公开内容的实施方案的自测试及修复技术的流程图。

图 3 是说明根据本公开内容的实施方案的用于实施自测试及修复的硬件的框图。

具体实施方案

本公开内容的实施方案利用称为预分配冗余 (PAR) 体系结构的测试/修复体系结构。如下面所说明的，该体系结构特别适合于提供灵活且有效的自测试/修复技术，即使当应用于 NVM 时。本公开内容的实施方案聚焦于 NVM 的自测试及修复 (例如闪速 EEPROM 的自修复) 的 PAR 体系结构的使用，虽然应当明白本公开内容的单独或组合技术可以容易地应用于其他类型的存储器。

本公开内容的实施方案可以在具有嵌入式非易失性存储器的处理器和独立存储器中使用。随着存储器例如闪速阵列变得更快并包含更高的密度，本公开内容的技术可能变得特别有利，这对于本领域技术人员将

是显然的。

在解释 PAR 体系结构及其对 NVM 的自修复的适用性之前，解释 NVM 如何可以根据本公开内容的实施方案灵活地测试（与修复相比）是首要有用的。图 1 帮助该解释。

NVM 的自测试

NVM 的存储位典型地通过改变它们的阈电压 (V_T) 来设置。对 NVM 的写入通过加压位或移动 V_T 而不是对位写入硬一或零来实施。

NVM 中的错误或故障可以通过自测试找到。一种合适的测试技术通过试图将 NVM 位初始化成预先确定的阈电压而开始。然后每个位的随后 V_T 值被读出，并且有故障的数据位通过识别测量 V_T 与初始化值不匹配的那些位来定位。

另一种合适的测试技术通过移动初始化位的 V_T ，其结果是可预知的，写入数据或加压 NVM 而开始。当一个位其 V_T 没有移动充分或移动太多时，“与众不同的”位或故障位可以被识别。

一般地，其他合适的测试技术可以利用不同的偏置条件（例如加压、编程、擦除）、施加到测试中存储器的不同脉冲宽度、施加到测试中存储器的不同个数脉冲，不同的 V_T 初始化值，和/或不同的可接受 V_T 移位的识别。

图 1 说明由上述合适的测试技术的一种或多种识别的与众不同位。曲线 100 显示初始化的 V_T 曲线。其前沿如 103 所示。曲线 105 是 NVM 已被加压后的期望 V_T 曲线。其前沿如 108 所示。曲线 110 代表显示出不可接受的移位的与众不同位。其前沿如 110 所示。该与众不同位代表需要替换的一种 NVM 位故障。

在本公开内容的实施方案中，用户可以通过输入从而控制供测试顺序或流程使用的变量来增加这些测试步骤的灵活性。例如，在一种实施方案中，用户可以规定偏置条件、测试脉冲宽度、所使用测试脉冲的个数、初始 V_T 电平，和/或可允许的 V_T 电平移位。通过规定这些变量，NVM 的自测试可以变得显著地更灵活。例如，变量可以调整，以试图

更有效地定位特定类型的与众不同位。如果已知某个与众不同位没能使用第一组变量有效地定位，那些变量可以被调整以提高测试效率。

在一种实施方案中，灵活的测试变量的使用通过使用包括用户输入变量和状态机的测试寄存器来部分地实现，如关于下面讨论的图 2 所说明的。

自测试及自修复的 PAR 体系结构的概观

PAR 体系结构将存储器阵列分成多个不同的块或者再细分。每个块又进一步分成多个存储子块或者进一步再细分（例如一个或多个列、一个或多个行，或者一个或多个行/列组合）。除了该多个存储子块之外，一个或多个冗余子块（共同构成冗余块）被提供。存储子块的容量与冗余子块的容量相匹配。冗余和存储子块可以基于行和/或列配置（导致行和/或列“冗余”）。

除了该一个或多个冗余子块和该多个存储子块之外，每个独立块还连接到比较器、故障锁存电路及熔丝。这些元件的每个的操作将在下面详述。但是，一般地，比较器通过将期望数据与测量数据比较以识别存储器故障而使自测试容易。通过产生（a）包含存储器故障的存储子块的地址（列和/或行）和（b）熔丝启动位数据，故障锁存电路允许测试信息用于修复过程。熔丝通过用冗余子块的地址替换含有存储器故障的存储子块的地址而使修复容易。本领域技术人员应当明白，利用本公开内容的好处，元件例如比较器和/或故障锁存电路可以全部或部分包括逻辑电路。

为了在 PAR 体系结构下实施修复，仅需要块级别的比较器的输出以及由故障锁存电路保存的包含一个或多个有故障存储位的存储子块的地址。该故障数据然后可以在自修复流程中在 BIST 的控制下用于编程适当的熔丝，使得熔丝有效地促使故障存储子块布线到冗余子块。或者，在另一种实施方案中，故障数据可以通过外部熔丝任务的串行或并行操作发送到外部存储器（芯片外存储器例如寄存器或其他 NVM）。

PAR 体系结构保证一个块中的故障不会影响另一个块的修复，因为

修复局部地在每个块中维护。但是，PAR 体系结构也意味着在多于一个存储子块中的故障可能不被修复。特别地，在每个块中仅使用一个冗余子块的实施方案中，仅一个故障存储子块可以被修复。如果另外的存储子块被发现有故障，将没有可行的替换，因为冗余子块已被使用。

此外，PAR 体系结构的子块可以基于列和/或行，并且 PAR 体系结构可以被建立，以允许其冗余子块仅替换存储子块行、存储子块列，或接连上的存储子块行及列。如果列和行冗余都使用，修复可以通过导通优选的冗余之一（例如行）来开始。在熔丝编程和激活发生以布线绕过故障存储子块之后，其他冗余（例如列）可以继续。这种实施方案可以提供更好的修复覆盖。

自测试及自修复的 PAR 体系结构的示范操作

在示范实施方案中，PAR 体系结构如图 2 中所示工作，以实现 NVM 例如但不限于闪速 EEPROM 的自测试及自修复。

在步骤 150 中，存储器阵列分成多个块。在步骤 152 中，每个块进一步分成多个存储子块，并在示范实施方案中包括一个冗余子块（步骤 153）。可选地，冗余子块可以与块分开，但在操作上与块相关。在其他实施方案中，可以提供多于一个冗余子块。在代表性实施方案中，存储子块的容量与冗余子块的容量相匹配。

在步骤 154 中，比较器包含于每个块中，或者可选地连接到每个块。在步骤 156 中，故障锁存电路包含于每个块中，或者可选地连接到每个块。在步骤 158 中，熔丝包含于每个块中，或者可选地连接到一个或多个块。

在步骤 160 中，存储器阵列被测试，以识别不同子块中的一个或多个故障。一般地，该测试步骤可以包括关于存储位的期望数据与实际出现的测量或读出数据的比较。对于每个块，比较器可以进行这种比较。如果期望数据与测量或读出数据不匹配，那么故障被识别。本领域技术人员应当明白，期望数据与测量或读出数据的“匹配”可以要求某个范围的可接受值，而未必总是要求严格相等。

在其中存储器阵列对应于 NVM 的实施方案中，测试步骤可以包括将存储位初始化为特定的阈电压随后是读出位以确保初始化值存在。在这种测试中，期望数据当然指的是初始化值。在其他实施方案中，可以使用不同的写/读测试。在其他实施方案中，期望数据可以对应于特定的阈电压移位，并且比较器可以将该移位与所读出或测量的实际移位相比较。本领域技术人员应当明白，如本领域众所周知的，可以考虑许多不同的其他期望/读出数据设置以识别存储位是否已出故障。

在步骤 162 中，故障存储子块（即包含故障存储位的子块）的地址被确定。故障锁存电路可以产生该地址。该地址又可以存储在一个或多个适当模块中，例如将在下面讨论的熔丝写控制逻辑模块。使用所识别的故障连同相应的地址，自修复可以开始。

在步骤 164 中，自修复被实施。故障存储子块用块中的冗余子块来替换。冗余子块的容量与故障子块的容量相匹配。该替换可以使用熔丝通过地址替换来执行。特别地，故障子块的地址可以用冗余子块的地址来替换。

本领域技术人员应当明白，步骤 160，162 及 164 可以在制造过程中或者在希望测试/修复装置的存储器操作的任何阶段过程中执行。

自测试及自修复的 PAR 体系结构的示范实施

在图 3 中，显示本发明的具体硬件实施方案，其适合于实施这里所描述的自测试及修复功能性。

本领域技术人员应当认识到，许多不同的硬件布局可以用来实施本公开内容中所描述的功能性。因此，图 3 的实施方案仅是示范的。虽然图 3 说明元件之间的直接连接，应当明白中间元件也可以存在。还应当明白，一个或多个元件可以合并或另外修改而仍然获得相同的功能性。

虽然通过观察图 3 特定元件的关系是自明的，本段用文字描述那些关系。测试寄存器 200 连接到状态机 215。状态机 215 连接到比较器 265、熔丝写控制逻辑模块 225 和读/写控制逻辑模块 220。比较器 265 连接到 2 至 1 多路复用器（MUX）245 和故障锁存电路 270。熔丝写控

制逻辑模块 225 连接到熔丝 260 和故障锁存电路 270。读/写控制逻辑模块 220 连接到 2 至 1 MUX 230，后者连接到熔丝逻辑块 255。熔丝逻辑块 255 连接到熔丝 260 和 2 至 1 MUX 245。2 至 1 MUX 230 连接到主阵列 240 和冗余阵列 235，后两者连接到 2 至 1 MUX 245。2 至 1 MUX 245 连接到比较器 265。

在操作中，状态机 215 接收来自测试寄存器 200 的输入，在一种实施方案中测试寄存器 200 可以包括 BISR 脉冲/信号的变量，例如脉冲宽度、偏置条件、脉冲个数、阈电压电平、可允许的阈电压电平移位，和/或控制 BISR 信号的任何通用算法。这些变量可以有利地由用户输入，在自测试中提供很大的灵活性。特别地，变量可以调整以更有效地识别特定类型的故障。类似地，变量可以有目的地调整以充当一种识别某些类型故障但不识别其他故障的自测试过滤器。

基于来自测试寄存器 200 的输入，状态机 215 确定或检查存储器的自测试的相应期望数据。“期望”数据仅仅指的是预期从正常（与故障相反）存储器中读出或测量的数据（或数据范围）。在一种实施方案中，来自测试寄存器 200 的输入可以定义特定的期望阈电压性质，例如正常存储器的所期望的特定阈电压移位。在另一种实施方案中，来自自测试寄存器 200 的输入可以定义不同的期望阈电压性质，例如特定的阈电压幅度。本领域技术人员应当认识到，许多性质可以构成期望数据的基础。

状态机 215 将期望数据传送到比较器 265，用于与实际的读出或测量数据的最后比较。状态机 215 也发送控制信号到熔丝写控制逻辑模块 225，并且发送到读/写控制逻辑模块 220 以调节 NVM 位的读出。

读/写控制逻辑模块 220 发送信号到指示待测试位的地址的 2 至 1 MUX 230。基于来自读/写控制逻辑模块 220 的信号和来自熔丝逻辑块 255 的关于熔丝 260 的信息，2 至 1 MUX 230 确定主阵列 240 和冗余阵列 235 中哪些阵列位置将被写入并将数据写入选定的阵列位置。主阵列 240 和冗余阵列 235 中的选定位置可以用预先定义的或用户选择的测试图形来填充。基于来自熔丝逻辑块 255 的关于熔丝 260 的信息而工作的

2 至 1 MUX 245 确定主阵列 240 和冗余阵列 235 中的哪些阵列位置将被读出并从选定位置中读出数据。

从主阵列 240 和冗余阵列 235 中读出的数据发送到比较器 265，比较器 265 将该数据与从状态机 215 传送来的期望数据相比较。如果这两组数据是相同的（或者在可接受的差异范围内），那么读出和比较过程重复直到 NVM 的最后地址已被读出并比较，这由状态机 215 决定。

如果这两组数据相差不可接受的程度，那么故障被识别。详细描述差异的数据（故障数据）发送到故障锁存电路 270，故障锁存电路 270 确定特定子块中哪些位出错。故障位的地址在故障锁存电路 270 中产生并传送到熔丝写控制块 225，熔丝写控制块 225 编程所需的熔丝 260 以反映自修复，这由状态机 215 指导。状态机 215 确定块中待使用的冗余子块的位置，并确定该冗余子块是否空闲。如果冗余子块可用，熔丝写控制块 225 发送写信号给熔丝 260，以用冗余子块的地址替换故障存储子块的地址，从而实现自修复。

换句话说，当故障存储子块用冗余子块替换时，熔丝 260 被编程以用冗余子块的地址替换故障存储子块的地址。下一次读出或写入函数被调用时，冗余子块的地址将被访问，而不再访问故障存储子块的地址，从而有效地用冗余子块替换故障存储子块。

用于安排上述测试及修复过程的时间的所有时序可以由状态机 215 通过同步和电压转换来内部控制。测试时间吞吐量可以通过消除测试器/DUT 和修复器/DUT 的为了同步、电流测量及电压的握手的系统开销来达到最大。

本公开内容的技术允许实时的编码故障数据的收集而不用 BIRA 的帮助，因为 PAR 体系结构消除了对复杂冗余分析的需要，而仍然允许高修复覆盖的多个故障位置的修复。此外，本公开内容的技术可以包含于 BIST 中，因为不需要存储阵列之外的外部通信。

PAR 体系结构消除了与冗余分析相关的成本，例如与高通信带宽要求、昂贵的外部存储器测试、冗余分析程序生成以及相关工程努力相关

的成本。

低成本测试系统可以使用这些技术来实施，并且内置自修复方法学可以包含于 DUT 中。测试时间吞吐量可以通过消除测试器/DUT 为了同步、电流测量及电压的握手的系统开销来达到最大。

术语“一”或“一个”指的是一个或多于一个，除非它们的上下文明确地否认这种解释。术语“多个”指的是两个或多于两个。术语“连接”指的是连接，虽然不一定是直接的，也不一定是机械的。

这里所公开的本发明的所有公开实施方案可以不在根据本公开内容的实验下实施和使用。应当明白可以不背离基础发明概念的本质和/或范围而进行本发明特性的各种替换、修改、添加和/或重新配置。可以认为由附加权利要求及它们等价物定义的基础发明概念的本质和/范围覆盖所有这些替换、修改、添加和/或重新配置。

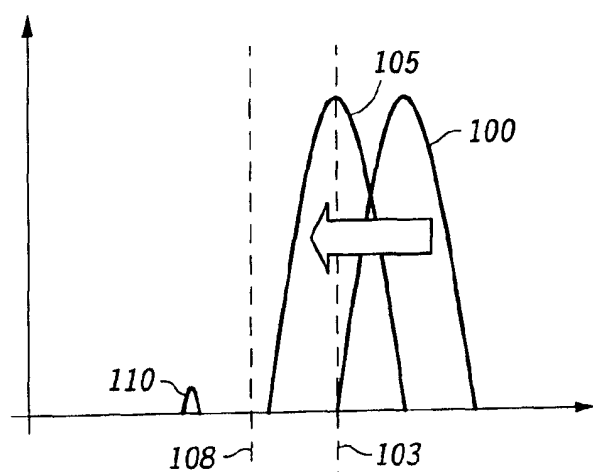


图 1

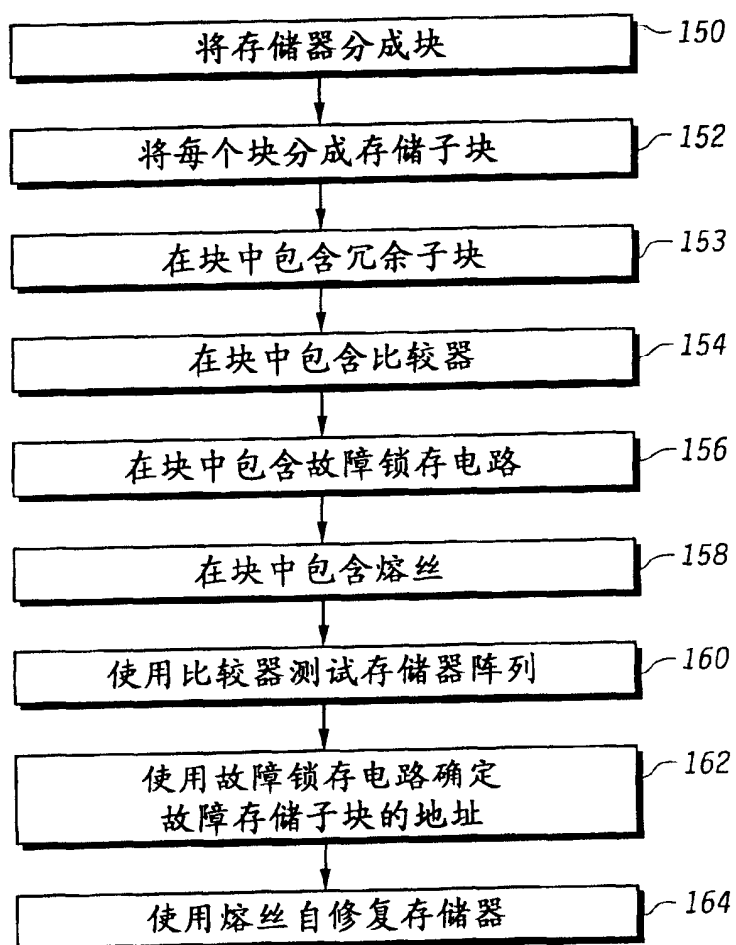


图 2

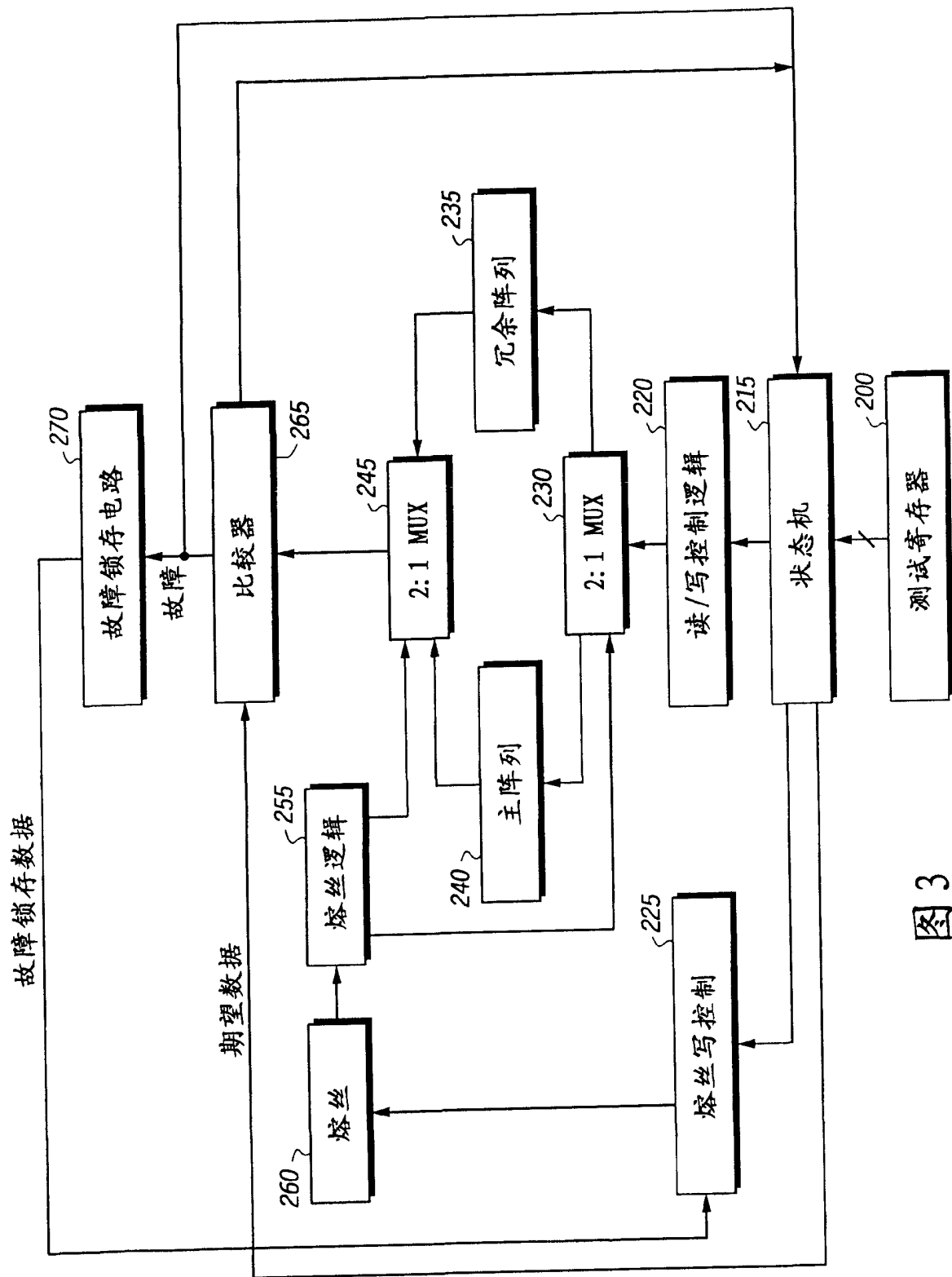


图3