

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5376704号
(P5376704)

(45) 発行日 平成25年12月25日 (2013.12.25)

(24) 登録日 平成25年10月4日 (2013.10.4)

(51) Int. Cl.

F I

G 1 1 C 16/06 (2006.01)

G 0 6 K 19/07 (2006.01)

G 1 1 C 11/4094 (2006.01)

G 1 1 C 17/00 6 3 4 B

G 0 6 K 19/00 H

G 0 6 K 19/00 J

G 0 6 K 19/00 N

G 1 1 C 11/34 3 5 3 F

請求項の数 3 (全 14 頁)

(21) 出願番号 特願2004-360153 (P2004-360153)
 (22) 出願日 平成16年12月13日 (2004.12.13)
 (65) 公開番号 特開2005-196949 (P2005-196949A)
 (43) 公開日 平成17年7月21日 (2005.7.21)
 審査請求日 平成19年10月17日 (2007.10.17)
 審判番号 不服2012-3574 (P2012-3574/J1)
 審判請求日 平成24年2月24日 (2012.2.24)
 (31) 優先権主張番号 特願2003-415184 (P2003-415184)
 (32) 優先日 平成15年12月12日 (2003.12.12)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 塩野入 豊
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 熱海 知昭
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルと、
 プリチャージ電位線、プリチャージ信号線及び複数のスイッチを有するプリチャージ回路と、

遅延回路と、

複数のビット線と電氣的に接続されたカラムデコーダと、

複数のワード線と電氣的に接続されたロウデコーダと、

前記ロウデコーダと電氣的に接続された書き込み制御信号を伝達する書き込み制御信号線と、

前記ロウデコーダと電氣的に接続された読み出し制御信号を伝達する読み出し制御信号線と、を有し、

前記複数のメモリセルは、それぞれ前記複数のビット線のーと前記複数のワード線のーが絶縁体を介して交差する領域に記憶素子を有し、

前記遅延回路の入力ノードは、前記書き込み制御信号線及び前記読み出し制御信号線と電氣的に接続され、クロック信号線には接続されず、

前記遅延回路の出力ノードは、前記プリチャージ信号線に電氣的に接続され、

前記ロウデコーダは、前記クロック信号線には接続されず、

前記遅延回路はインバータ及び論理回路を有し、

前記遅延回路のインバータ及び論理回路のそれぞれの数は、前記複数のワード線のーに

電氣的に接続された前記ロウデコードの一の回路を構成するインバータ及び論理回路のそれぞれの数と同じであり、

前記遅延回路による遅延時間は、前記ロウデコードの遅延時間と等しく、

前記プリチャージ信号線は、前記複数のスイッチの入力ノードと電氣的に接続され、

前記複数のスイッチは、それぞれ前記複数のビット線の一と前記プリチャージ電位線の導通を制御し、

前記書き込み制御信号及び前記読み出し制御信号がＨレベルの時に前記遅延回路を通してプリチャージ信号が出力され、前記複数のスイッチがオンし、前記複数のビット線にプリチャージ電位が供給され、

前記書き込み制御信号がＨレベルで、前記読み出し制御信号がＬレベルの時に書き込み動作を行い、 10

前記書き込み制御信号がＬレベルで、前記読み出し制御信号がＨレベルの時に読み出し動作を行うことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

複数の画素を有する表示手段を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 に記載の前記半導体装置は、ＤＲＡＭ、ＳＲＡＭ、ＦｅＲＡＭ、マスクＲＯＭ、ＰＲＯＭ、ＥＰＲＯＭ、ＥＥＰＲＯＭ又はフラッシュメモリであることを特徴とする半導体装置。 20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体素子を有する半導体装置に関する。また、本発明は無線通信によりデータの通信が可能な半導体装置（以下、「ＩＤタグ」ともいう。）に関する。

【背景技術】

【０００２】

近年、半導体素子を有する半導体装置は、コンピュータや携帯端末等の電子機器だけでなく、ＩＣカード等の様々な分野に応用され、大容量化が進められている。半導体装置は、ビット線とワード線が絶縁体を介して交差する領域に記憶素子を含むメモリセルを複数有するメモリセルアレイと、前記ワード線が非選択の状態において、前記ビット線の電位を任意の電位に設定するプリチャージ回路とを有する。 30

【発明の開示】

【発明が解決しようとする課題】

【０００３】

半導体装置の大容量化に伴って、長くなった配線の抵抗や大型化したデコードの複雑さにより、アドレスの選択が遅延してしまうことがあった。そうすると、ビット線のプリチャージ動作を行う際に、ワード線が選択の状態である場合が生じ、その結果、誤作動がおきて、メモリセルが有するデータが書き換えられたり、破壊されたりすることがあった。つまり、データの読み出しと書き込みを正確に行うことが出来なかった。 40

【０００４】

上記の実情を鑑み、本発明は、アドレスの選択が遅延しても、誤作動を防止し、データの読み出しと書き込みを正確に行うことが可能な半導体装置、ＩＤタグの提供を課題とする。

【課題を解決するための手段】

【０００５】

上述した従来技術の課題を解決するために、本発明は以下の構成を有する半導体装置、ＩＤタグを提供する。

【０００６】

本発明の半導体装置は、データ保持手段、プリチャージ手段及び遅延手段の３つの要素を 50

含むことを特徴とする。データ保持手段は複数のメモリセルを有する。プリチャージ手段はプリチャージ電位線、プリチャージ信号線及び複数のスイッチを有する。遅延手段は複数のトランジスタを有する。また、上記の３つの要素に加えて、カラムデコードとロウデコードを有するアドレス選択手段、複数の画素を有する表示手段の一方又は両方を有することを特徴とする。

【０００７】

データ保持手段が有する複数のメモリセルの各々は、ビット線とワード線が絶縁体を介して交差する領域に記憶素子を含むことを特徴とする。記憶素子は、トランジスタ、容量素子及び抵抗素子から選択された１つ又は複数である。

【０００８】

プリチャージ手段が有するプリチャージ電位線はプリチャージ電位を伝達する配線であり、プリチャージ信号線はプリチャージ信号を伝達する配線である。また、複数のスイッチの各々は、プリチャージ電位線とビット線の間に設けられることを特徴とする。複数のスイッチの各々は、スイッチング機能を有する素子であり、多くの場合において、トランジスタ又はアナログスイッチである。また、複数のスイッチの入力ノードは、前記プリチャージ信号線に接続する。なお、複数のスイッチの各々がトランジスタの場合、複数のスイッチの入力ノードとは、トランジスタのゲート電極に相当する。また、複数のスイッチの各々がアナログスイッチの場合、複数のスイッチの入力ノードとは、アナログスイッチを構成するＮ型トランジスタのゲート電極とＰ型トランジスタのゲート電極に相当する。

【０００９】

遅延手段の入力ノードは、ＣＫ線及びＷＥＢ線に接続することを特徴とする。又は、遅延手段の入力ノードは、ＣＫ線、ＷＥＢ線及びＣＥＢ線に接続することを特徴とする。又は、遅延手段の入力ノードは、ＲＥＢ線及びＷＥＢ線に接続することを特徴とする。又は、遅延手段の入力ノードは、ＲＥＢ線、ＷＥＢ線及びＣＥＢ線に接続することを特徴とする。また、遅延手段の出力ノードは、プリチャージ信号線に接続することを特徴とする。なお、遅延手段は複数のトランジスタを有し、前記複数のトランジスタは、複数の論理回路を構成する。従って、遅延手段の入力ノードとは、複数の論理回路のうち、一端に配置された論理回路の入力ノードに相当する。

【００１０】

本発明のＩＤタグは、データ保持手段、プリチャージ手段及び遅延手段の３つの要素を含む記憶手段と、制御手段、電源発生手段及び送受信手段を有することを特徴とする。また、本発明のＩＤタグは、データ保持手段、プリチャージ手段、遅延手段及びアドレス選択手段の４つの要素を含む記憶手段と、制御手段、電源発生手段及び送受信手段を有することを特徴とする。

【発明の効果】

【００１１】

データ保持手段、プリチャージ手段及び遅延手段を有する本発明は、誤作動を防止し、データの読み出しと書き込みを正確に行うことが可能な半導体装置を提供することができる。また、データ保持手段、プリチャージ手段及び遅延手段に加えて、表示手段を有する本発明は、高機能化と高付加価値化を実現した半導体装置を提供することができる。

【発明を実施するための最良の形態】

【００１２】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

（実施の形態１）

【００１３】

本発明の半導体装置は、データ保持手段１１（以下メモリセルアレイ１１と表記）、プリ

10

20

30

40

50

チャージ手段 1 2 及び遅延手段 1 3 の 3 つの基幹の要素を含むことを特徴とする（図 1 参照）。本発明の半導体装置は、データを記憶する機能を有する記憶手段に相当するものであり、当該記憶手段は、データ保持手段 1 1、プリチャージ手段 1 2 及び遅延手段 1 3 の 3 つの基幹の要素を含む。

【 0 0 1 4 】

メモリセルアレイ 1 1 は、マトリクス状に配置されたメモリセル 1 4 を複数有する（図 1 参照）。また、メモリセルアレイ 1 1 は、列方向に 1 列目から n 列目までのビット線 $B_1 \sim B_n$ (n は自然数) と、行方向に 1 行目から m 行目までのワード線 $W_1 \sim W_m$ (m は自然数) を有する。メモリセル 1 4 はビット線 B_x ($1 \leq x \leq n$) とワード線 W_y ($1 \leq y \leq m$) が絶縁体を介して交差する領域に記憶素子を含む。

10

【 0 0 1 5 】

記憶素子は、トランジスタ、容量素子及び抵抗素子から選択された 1 つ又は複数である。本発明の半導体装置が DRAM (Dynamic Random Access Memory) の場合、記憶素子として、1 つのトランジスタと 1 つの容量素子を用いる。また、SRAM (Static Random Access Memory) の場合、記憶素子として、6 つのトランジスタ、5 つのトランジスタ、4 つのトランジスタと 2 つの抵抗素子、又は 4 つのトランジスタと 1 つの抵抗素子を用いる。なお、記憶素子として 6 つのトランジスタ、又は 4 つのトランジスタと 2 つの抵抗素子を用いる場合には、各列に 2 本のビット線（1 本はビット線、もう 1 本はビットバー線）を配置する。なお本発明は、DRAM、SRAM に制約されず、記憶素子の構成に従って、FeRAM (Ferroelectric Random Access Memory)、マスク ROM (Read Only Memory)、PROM (Programmable Read Only Memory)、EPROM (Electrically Programmable Read Only Memory)、EEPROM (Electrically Erasable Read Only Memory)、フラッシュメモリ等に成りうる。

20

【 0 0 1 6 】

プリチャージ手段 1 2 (プリチャージ回路ともいう) は、プリチャージ電位線 1 5、プリチャージ信号線 1 6 及び複数のスイッチ $SW_1 \sim SW_m$ (m は自然数) を有する（図 1 参照）。複数のスイッチ SW_x ($1 \leq x \leq m$) は、プリチャージ電位線 1 5 とビット線 B_x の間に設けられる。また、複数のスイッチ SW_x は、スイッチング機能を有する素子であり、例えば、トランジスタ又はアナログスイッチである。さらに、複数のスイッチ SW_x の入力ノードはプリチャージ信号線 1 6 に接続する。つまり、スイッチ SW_x は、プリチャージ信号線 1 6 から伝達されるプリチャージ信号により導通又は非導通が制御される。

30

【 0 0 1 7 】

本実施の形態では、スイッチ SW_x として、アナログスイッチを用いる形態を示す（図 2 (A) 参照）。アナログスイッチの入力ノードとは、アナログスイッチを構成する N 型トランジスタのゲート電極と P 型トランジスタのゲート電極に相当する。つまり、両トランジスタのゲート電極はプリチャージ信号線 1 6 に電氣的に接続する。より詳しくは、アナログスイッチを構成する P 型トランジスタのゲート電極はプリチャージ信号線 1 6 に直接接続し、N 型トランジスタのゲート電極は、インバータ 1 9 の出力ノードに接続する。インバータ 1 9 の入力ノードはプリチャージ信号線 1 6 に接続する。

40

【 0 0 1 8 】

遅延手段 1 3 (遅延回路ともいう) は、複数のトランジスタを有する（図 1、2 参照）。具体的には、遅延手段 1 3 は、複数のトランジスタから構成される複数の論理回路を有し、前記複数のトランジスタは少なくとも 1 つのインバータを構成する。さらに具体的には、遅延手段 1 3 は、AND、NAND、OR、NOR、EOR、ENOR、TriBUF (トライステートバッファ) 及び TriINV (トライステートインバータ) 等から選択された複数の論理回路と複数のインバータ、又は直列に接続された複数のインバータを有する。

そこで、図 2 (A) には遅延手段 1 3 が論理回路とインバータを有する場合を示し、図 2

50

(B)には遅延手段13がインバータのみを有する場合を示す。

前者の図2(A)に示す形態では、遅延手段13の入力ノードとは論理回路21の入力ノードに相当し、前記遅延手段13の出力ノードとはインバータ27の出力ノードに相当する。なお、図2(A)に示すデコーダは、インバータ20、論理回路21~23、インバータ24、25、論理回路26、インバータ27及び配線28を有する。但し、デコーダの構成は上記の記載に制約されず、様々な構成が適用される。

また、後者の図2(B)に示す形態では、遅延手段13は、インバータ群30及び論理回路31を有する。遅延手段13の入力ノードとは論理回路31の入力ノードに相当し、前記遅延手段13の出力ノードとはインバータ群30の出力ノードに相当する。

【0019】

遅延手段13の入力ノードは、CK線及びWEB線に接続するか、又は、CK線、WEB線及びCEB線に接続するか、又は、REB線及びWEB線に接続するか、又は、REB線、WEB線及びCEB線に接続し、出力ノードはプリチャージ信号線16に接続する。入力ノードの接続は、プリチャージ動作を行うタイミングとCKとの関係と、CEB信号の必要の有無に依存する。より詳しくは、CKと同期でプリチャージ動作を行う場合、遅延手段13の入力ノードはCK線及びWEB線に接続するか、又は、CK線、WEB線及びCEB線に接続する。一方、CKと非同期でプリチャージ動作を行う場合、遅延手段13の入力ノードはREB線及びWEB線に接続するか、又は、REB線、WEB線及びCEB線に接続する。

CEB信号は、1つのチップしか設けられていない場合や、複数のチップが設けられているにもかかわらず、読み出しや書き込みの動作を常時行う場合には不必要である。

なお、CK線はCK(clock)信号を伝達する配線であり、WEB(write enable)線はWEB信号を伝達する配線であり、REB(read enable)線はREB信号を伝達する配線であり、CEB(chip enable)線はCEB信号を伝達する配線である。また、WEB信号は書き込み制御信号であり、REB信号は読み出し制御信号であり、CEB信号はチップ選択信号である。

【0020】

遅延手段13を有する本発明は、プリチャージ手段12が有するスイッチSWxの導通又は非導通を制御するプリチャージ信号の出力を遅延させることができる。そのため、ワード線Wyの選択から非選択への切り替わりが遅延しても、プリチャージ信号の出力も遅延するため、前記ワード線Wyが選択された状態で、プリチャージ動作を行うことがない。従って、上記構成を有する本発明の半導体装置は、誤作動を防止し、データの読み出しと書き込みを正確に行うことができる。

【0021】

本発明は、データ保持手段11、プリチャージ手段12及び遅延手段13の3つの基幹の要素に加えて、アドレス選択手段を含むことを特徴とする(図1、2参照)。

アドレス選択手段は、カラムデコーダ17とロウデコーダ18を有し、複数のメモリセル14から1つのメモリセルを選択する役目を担う。カラムデコーダ17はビット線B1~Bmに接続し、ロウデコーダ18はワード線W1~Wnに接続する。また、カラムデコーダ17は列アドレス選択線に接続し、ロウデコーダ18は行アドレス選択線に接続する。なお列アドレス選択線は、列アドレス選択信号(Ax、1 x m)を伝達する配線であり、行アドレス選択線は、行アドレス選択信号(Ay、1 y n)を伝達する配線である。さらに、ロウデコーダ18は、CK線、REB線、WEB線及びCEB線から選択された複数の配線に接続する。ロウデコーダ18に接続する配線は、遅延手段13の入力ノードの接続と同様に、プリチャージ動作を行うタイミングとCKとの関係と、CEB信号の必要の有無に依存する。

本実施の形態では、行アドレス選択線Ayはインバータ20の入力ノードに接続する。CK線、REB線、WEB線及びCEB線から選択された複数の配線は、論理回路21の入力ノードに接続する。インバータ27の出力ノードはワード線Wyに接続する。

【0022】

10

20

30

40

50

本発明は、上記に挙げたデータ保持手段 1 1、プリチャージ手段 1 2 及び遅延手段 1 3 の 3 つの基幹の要素以外に、複数の画素を有する表示手段（図 1、2 には示さない）を有していてもよい。表示手段を有することにより、高機能化と高付加価値化が実現した半導体装置を提供することができる。

【0023】

また、図示しないが、本発明は、2 値のデータを判定する際に用いるセンスアンプや、読み出しと書き込みのどちらの動作を行うかを制御する読み出し／書き込み回路、データを外部に出力する出力回路等の必要な回路を適宜有していてもよい。

【0024】

上記構成を有する半導体装置の動作について、図 3（A）（B）のタイミングチャートを用いて説明する。

10

まず、CK と同期でプリチャージ動作を行う場合について、図 3（A）を用いて説明する。ここでは、CK が H レベル、WEB が H レベル、又は CK が H レベル、WEB が L レベルのときにプリチャージ動作を行い、CK が L レベル、WEB が H レベルのときに読み出し動作を行い、CK が L レベル、WEB が L レベルのときに書き込み動作を行う形態について説明する。

なお、図 3（A）（B）のタイミングチャート中の配線の電位を示す波形における点線は、浮遊状態（不定状態、又はフローティング状態ともいう）を示す。また、CEB は動作の制御には依存せず、何らかの動作を行う際には、常時 H レベル又は L レベルであり、ここでは、CEB は常時 L レベルとする。

20

【0025】

期間 T 1 において、CK は H レベル、WEB は H レベル、CEB は L レベルであり、b 行目（1 ≤ b ≤ n、b は自然数）のアドレスを選択するアドレス選択信号 Ab は H レベルである。期間 T 1 が開始してから遅延期間が経過すると、遅延手段 1 3 から L レベルのプリチャージ信号がプリチャージ信号線 1 6 に伝達され、前記プリチャージ信号線 1 6 は L レベルの信号と同電位となる。そうすると、プリチャージ信号線 1 6 を介して、H レベル又は L レベルの信号が入力された全てのアナログスイッチ SW 1 ～ SW m は導通状態となり、全てのビット線 B 1 ～ B m がプリチャージ電位 Vpc にプリチャージされる。

【0026】

期間 T 2 において、CK は L レベル、WEB は H レベル、CEB は L レベル、Ab は H レベルである。期間 T 2 が開始してから遅延期間が経過すると、カラムデコーダ 1 7 が a 列目（1 ≤ a ≤ m、a は自然数）のビット線 Ba を選択する。同時に、b 行目のワード線 Wb に H レベルの信号が伝達されて、前記ワード線 Wb は選択状態になる。そうすると、（a、b）の座標に配置されたメモリセル 1 4 から、ビット線 Ba の H レベルのデータの読み出しが行われる。

30

【0027】

期間 T 3 において、CK は H レベル、WEB は L レベル、CEB は L レベル、j 行目（1 ≤ j ≤ n、j は自然数）のアドレスを選択するアドレス選択信号 Aj は H レベルである。期間 T 3 が開始してから遅延期間が経過すると、L レベルのプリチャージ信号がプリチャージ信号線 1 6 に伝達され、全てのアナログスイッチ SW 1 ～ SW m は全て導通状態となり、全てのビット線 B 1 ～ B m がプリチャージ電位 Vpc にプリチャージされる。

40

【0028】

期間 T 4 において、CK は L レベル、WEB は L レベル、CEB は L レベル、Aj は H レベルである。期間 T 4 が開始してから遅延期間が経過すると、カラムデコーダ 1 7 が i 列目（1 ≤ i ≤ m、i は自然数）のビット線 Bi を選択状態にし、H レベルの信号が伝達される。同時に、j 行目のワード線 Wj に H レベルの信号が伝達されて、前記ワード線 Wj は選択状態となる。そうすると、（i、j）の座標に配置されたメモリセル 1 4 に、H レベルのデータが書き込まれる。

【0029】

続いて、CK と非同期でプリチャージ動作を行う形態について、図 3（B）を用いて説明

50

する。この場合、R E BがHレベル、W E BがHレベルのときにプリチャージ動作を行い、R E BがHレベル、W E BがLレベルのときに書き込み動作を行い、R E BがLレベル、W E BがHレベルのときに読み出し動作を行う。また、C E Bは常時Lレベルとする。

【0030】

期間T1において、R E BはHレベル、W E BはHレベル、A bはHレベルである。期間T1が開始してから遅延期間が経過すると、Lレベルのプリチャージ信号がプリチャージ信号線16に伝達され、全てのアナログスイッチS W1～S Wmは導通状態となり、全てのビット線B1～Bmがプリチャージ電位V p cにプリチャージされる。

【0031】

期間T2において、R E BはHレベル、W E BはLレベル、A bはHレベルである。期間T2が開始してから、遅延期間が経過すると、ビット線B aとワード線W bが選択状態になる。そうすると、(a、b)の座標に配置されたメモリセル14に対して、ビット線B aのHレベルのデータの書き込みが行われる。

10

【0032】

期間T3において、R E BはHレベル、W E BはHレベル、A jはHレベルである。期間T3が開始してから遅延期間が経過すると、Lレベルのプリチャージ信号がプリチャージ信号線16に伝達され、全てのアナログスイッチS W1～S Wmは導通状態となり、全てのビット線B1～Bmがプリチャージ電位V p cにプリチャージされる。

【0033】

期間T4において、R E BはLレベル、W E BはHレベル、A jはHレベルである。期間T4が開始してから遅延期間が経過すると、ビット線B iとワード線W jが選択状態になる。そうすると、(i、j)の座標に配置されたメモリセル14から、ビット線B iのHレベルのデータの読み出しが行われる。

20

【0034】

このように、プリチャージ期間T1、T3、書き込み期間及び読み出し期間T2、T4の各々において、上記のように動作することで、プリチャージ動作、書き込み動作及び読み出し動作のそれぞれの動作を行う。

【0035】

上記構成を有する本発明は、スイッチS W xの導通又は非導通を制御するプリチャージ信号の出力を遅延させることができる。そのため、ワード線W yの選択から非選択への切り替わりが遅延しても、プリチャージ信号の出力も遅延するため、前記ワード線W yが選択された状態で、プリチャージ動作を行うことがない。従って、上記構成を有する本発明は、誤作動を防止し、データの読み出しと書き込みを正確に行うことができる。

30

(実施の形態2)

【0036】

本発明の半導体装置の一形態であるパネルについて図面を用いて説明する。パネルは、基板406上に、複数の画素を有する画素部401と、複数のトランジスタを含む駆動回路402、403を有する(図4(A)参照)。駆動回路402、403は、基板406に一体形成せずに、外付けにしたり、COG(Chip On Glass)方式等により基板406上に実装したりしてもよい。従って、表示手段とは、画素部401のみ、又は画素部401と駆動回路402、403に相当する。また、パネルは、基板406上に、V R A M(画面表示専用メモリ)、R A M又はR O Mに相当する記憶手段404と、C P U(Central Processing Unit、中央処理ユニット)405を有する。さらに、パネルは、基板406上に、駆動回路402、403、記憶手段404及びC P U405を制御する信号を供給する入力端子409を有する。入力端子409には、接続フィルム408を介して、ビデオ信号等の信号や電位が供給される。また、パネルは、画素部401と駆動回路402、403を囲むシール材(図4(A)には示さない)を有し、基板406と基板407は、前記シール材により貼り付けられている。なお、図示するパネルでは、対向基板407は、画素部401と駆動回路402、403上のみ設けているが、全面に設けてもよい。但し、C P U405は、発熱する恐れがあるため、前記C P

40

50

【 0 0 3 7 】

【 0 0 3 8 】

10

【 0 0 3 9 】

20

【 0 0 4 0 】

30

40

(実施の形態 3)

【 0 0 4 1 】

【 0 0 4 2 】

50

ウデコーダ 18 を有するアドレス選択手段も有することを特徴とする（図 6（B）参照）。上記特徴により、本発明の ID タグは、誤作動を防止し、データの読み出しと書き込みを正確に行うことができるという効果を奏する。なお、記憶手段 301 は、データ保持手段が含む記憶素子の構成に従って、RAM、ROM 等になりうるが、ID タグに用いる記憶手段 301 としては、ROM を用いるとよい。

【0043】

制御手段 302 はロジック回路から構成される。制御手段 302（制御回路ともいう）は、CPU（中央処理回路）等に相当する。電源発生手段 303 は、非接触型の場合、コイル状に巻かれたアンテナ 305 の電磁誘導作用、相互誘導作用又は静電気による誘導作用が採用される。従って、この場合には、電源発生手段 303（電源発生回路ともいう）は、アンテナ 305 と動作する。アンテナ 305 は、その巻き数を制御することにより、受信する周波数の高さを選ぶことができる。

10

【0044】

アンテナ 305 を IC チップ 304 と同一の基板上に形成する方法（図 6（C）（E）参照）、又はアンテナ 305 を含む基板 313 上に、IC チップ 304 を実装する方法（図 6（D）（F）参照）のどちらかの方法を採用する。前者の方法を採用する場合、基板 308 上に TFT 群 309 とアンテナ 305 を設ける（図 6（E）参照）。一方、後者の方法を採用する場合、アンテナ 305 を含む基板 313 上に、導電層 311 と絶縁層 312 を介して、TFT 群 309 を含む基板 310 を実装する（図 6（F）参照）。なお、図 6（E）（F）に示す TFT 群 309 は、記憶手段 301、制御手段 302 及び電源発生手段 303 のいずれかの手段の構成要素である。

20

【0045】

次に、ID タグ 306 を用いた通信手順について、以下に簡単に説明する（図 6（A）参照）。まず、ID タグ 306 が含むアンテナ 305 がリーダライタ 307 からの電波を受信する。そうすると、電源発生手段 303 において、共振作用により起電力が発生する。そして、ID タグ 306 が含む記憶手段 301 と制御手段 302 が起動して、制御手段 302 により、記憶手段 301 内のデータが信号化される。次に、ID タグ 306 が含むアンテナ 305 から信号を発信する。そうすると、ID タグ 306 は、リーダライタ 307 が含むアンテナにより送信された信号を受信する。受信した信号は、リーダライタ 307 が含むコントローラ（図 6（A）には示さない）を介して、データ処理装置（図 6（A）には示さない）に送信され、ソフトウェアを用いてデータ処理が行われる。上記通信手順は、コイル型のアンテナを用い、ID タグのコイルとリーダライタのコイル間に誘導されて発生する磁束を利用した電磁誘導方式を用いた場合である。しかしながら、本発明は上記方式に制約されず、マイクロ波帯の電波を使った電波方式を用いてもよい。

30

【0046】

ID タグ 306 は、非接触で通信を行う点、複数読取りが可能である点、データの書き込みが可能である点、様々な形状に加工可能である点、選択する周波数によっては、指向性が広く、認識範囲が広い点等の利点を有する。ID タグ 306 は、非接触による無線通信で、人や物の個々の情報を識別可能な IC タグ、ラベル加工を施して目標物への貼り付けを可能としたラベル、イベントやアミューズメント向けのリストバンド等に適用することができる。また、ID タグ 306 を樹脂材料により成型加工してもよいし、無線通信を阻害する金属に直接固定してもよい。さらに、ID タグ 306 は、入退室管理システムや精算システムといった、システムの運用に活用することができる。

40

【0047】

次に、ID タグ 306 を実際に使用する際の一形態について説明する。表示部 321 を含む携帯端末の側面には、リーダライタ 320 が設けられ、品物 326 の側面には ID タグ 322 が設けられる（図 7（A）参照）。ID タグ 322 にリーダライタ 320 をかざすと、表示部 321 に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品 325 をベルトコンベアにより搬送する際に、リーダライタ 323 と、前記商品 325 に設けられた ID タグ 3

50

24を用いて、前記商品325の検品を行うことができる(図7(B)参照)。このように、システムにＩＤタグを活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

【実施例１】

【0048】

本発明の実施例について、図8を用いて説明する。本発明の半導体装置は、大別して、データ記憶ブロック、表示ブロック、画像処理ブロック、制御ブロックの4つのブロックを有し、全てのブロックは、基板100上に設けられる。

データ記憶ブロックは、プログラムROM(PROM)101、作業領域用RAM(WRAM)102、音声データ用プログラムROM(AudioROM)103、ラインバッファRAM104a、104b、インレンジRAM(INRAM)105、カラーパレットRAM(CRAM)106、メモリコントローラ107、デコーダ/レジスタ108、音声データ用プログラムROMコントローラ109、音声データ用DA変換回路/演算増幅器110、メモリ用参照電源発生回路(Vref電源)111及び階調電源112を有する。

表示ブロックは、画素部113と駆動回路114、115を有する。画像処理ブロックは、画像処理回路116を有する。制御ブロックは、CPU117を有する。

【0049】

上記のように、表示ブロックだけではなく、データ記憶ブロック、画像処理ブロック及び制御ブロックを有する半導体装置は、接続するICの個数を減らし、小型・薄型・軽量を実現する。また、表示ブロック、画像処理ブロック及び制御ブロックが互いに隣接している半導体装置は、データの流れに沿った配置となっており、正確な動作を実現する。本発明は、記憶ブロックを構成する各メモリの構成に適用される。本実施例は、上記の実施の形態と自由に組み合わせることができる。

【実施例２】

【0050】

本発明が適用される電子機器の一例として、テレビ装置、デジタルカメラ、デジタルビデオカメラ、携帯電話装置(携帯電話機)、PDA等の携帯情報端末、携帯型ゲーム機、モニター、パーソナルコンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。以下にはその具体例について説明する。

【0051】

図9(A)は携帯端末であり、本体9101、表示部9102等を含む。図9(C)は携帯型テレビ受像機であり、本体9301、表示部9302等を含む。図9(D)は、携帯情報端末であり、本体9201、表示部9202等を含む。図9(E)は、デジタルビデオカメラであり、表示部9701、9702等を含む。

【0052】

表示部を含むパネルは、図9(B)に示すように駆動回路9104、CPUや記憶手段等の機能回路9103を具備する。本発明は、機能回路9103が有する記憶手段の構成に適用される。駆動回路9104だけでなく、機能回路9103が一体形成されたパネルを有する電子機器は、接続する外部ICの個数を減らすことができるため、小型・軽量・薄型が実現する。また、表示部を構成する表示素子として、自発光型の発光素子を用いると、バックライトなどが必要ないため、液晶素子を用いる場合に比べて、薄型・小型・軽量が実現される。

【0053】

また、図9(F)は接触型ICカードであり、本体9601、ICチップ9602、モジュール端子9603を含む。ICチップ9602は、RAM9604、ROM9605、CPU9606及びRAM9607等を含む。本発明は、ICチップ9602が有するRAM9604、9607とROM9605の記憶手段の構成に適用される。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

10

20

30

40

50

【図面の簡単な説明】

【 0 0 5 4 】

【図 1】本発明の実施の形態 1 を説明する図。

【図 2】本発明の実施の形態 1 を説明する図。

【図 3】本発明の実施の形態 1 を説明する図。

【図 4】本発明の実施の形態 2 を説明する図。

【図 5】本発明の実施の形態 2 を説明する図。

【図 6】本発明の実施の形態 3 を説明する図。

【図 7】本発明の実施の形態 3 を説明する図。

【図 8】本発明の実施例 1 を説明する図。

【図 9】本発明の実施例 2 を説明する図。

【符号の説明】

【 0 0 5 5 】

1 1 データ保持手段（メモリセルアレイ）、1 2 プリチャージ手段

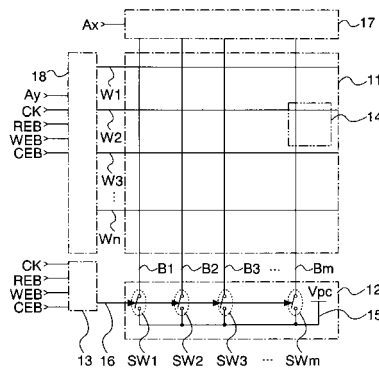
1 3 遅延手段、1 4 メモリセル

1 5 プリチャージ電位線、1 6 プリチャージ信号線

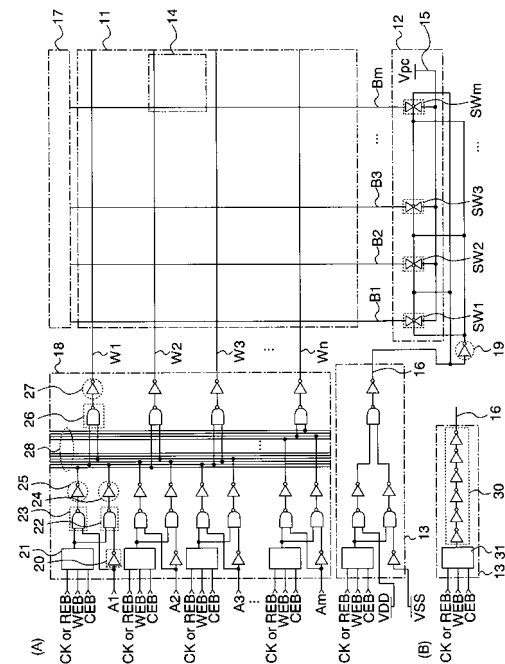
1 7 カラムデコーダ、1 8 ロウデコーダ

10

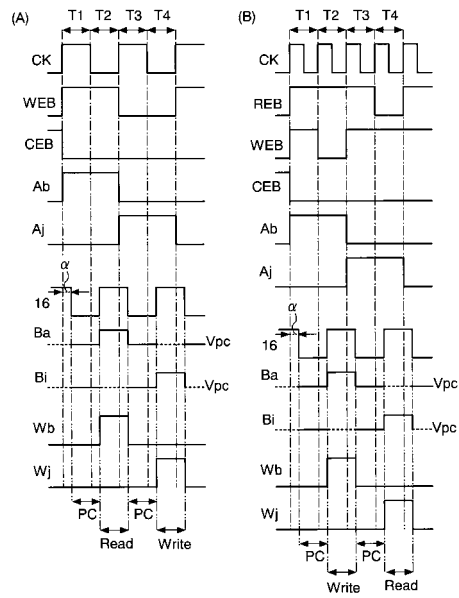
【図 1】



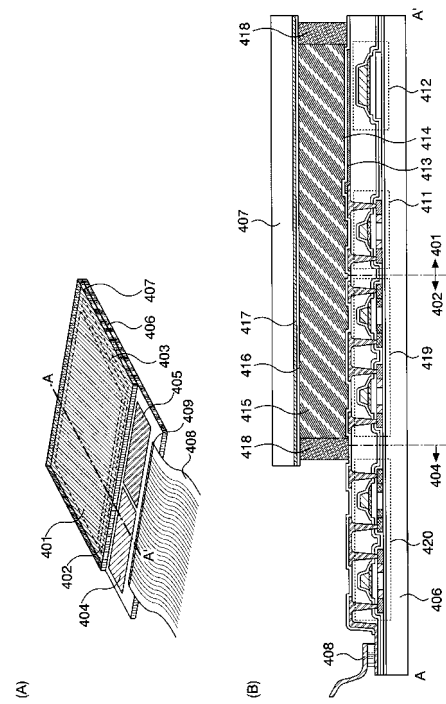
【図 2】



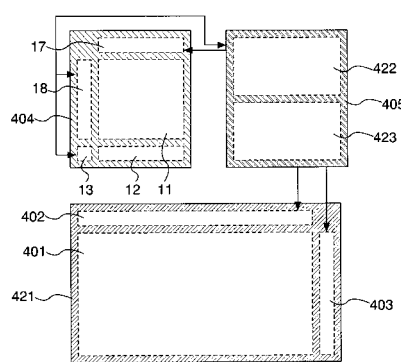
【図 3】



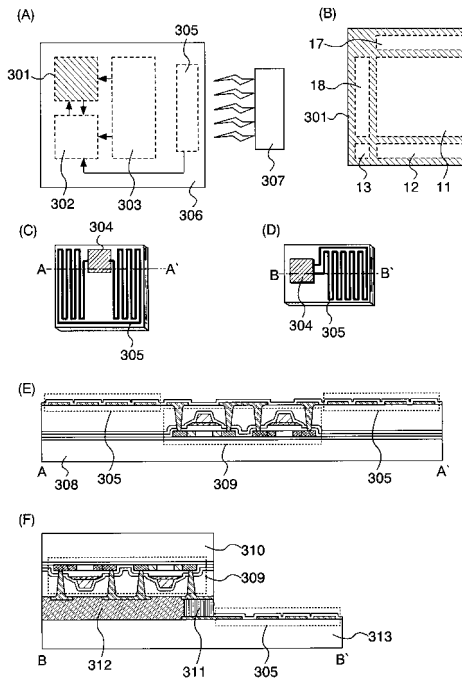
【図 4】



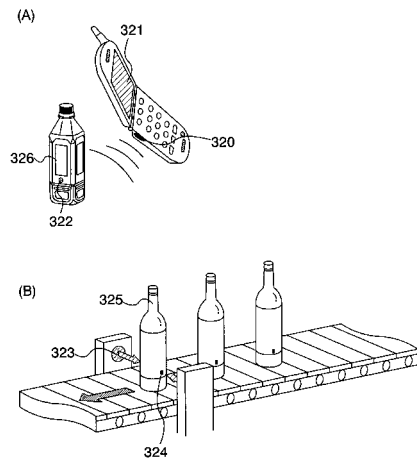
【図 5】



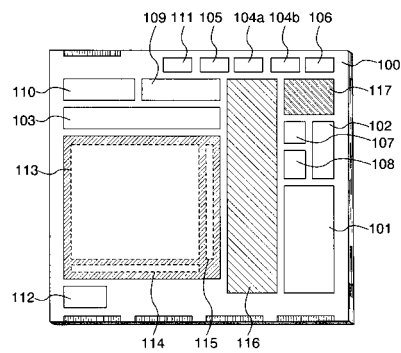
【図 6】



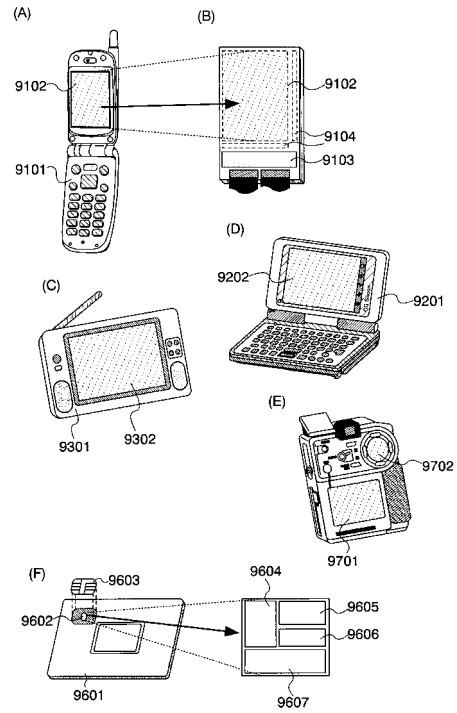
【図 7】



【図 8】



【図 9】



フロントページの続き

合議体

審判長 藤原 敬士

審判官 西脇 博志

審判官 近藤 幸浩

- (56)参考文献 特開平5 - 274886 (JP, A)
特開2003 - 208790 (JP, A)
特開平8 - 180682 (JP, A)
特開2001 - 148194 (JP, A)
特開2003 - 173683 (JP, A)

- (58)調査した分野(Int.Cl. , DB名)

G11C 16/06

G06K 19/07

G11C 11/409