

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年1月24日 (24.01.2008)

PCT

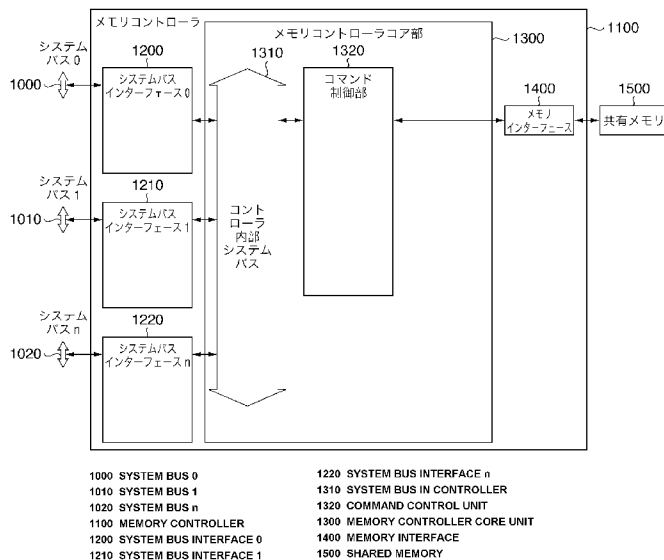
(10) 国際公開番号
WO 2008/010397 A1

- (51) 国際特許分類:
G06F 12/00 (2006.01) G06F 13/16 (2006.01)
G06F 12/06 (2006.01) G06F 13/18 (2006.01)
- (21) 国際出願番号: PCT/JP2007/063041
- (22) 国際出願日: 2007年6月28日 (28.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-199943 2006年7月21日 (21.07.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): キヤノン株式会社 (CANON KABUSHIKI KAISHA) [JP/JP];
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鈴木武史 (SUZUKI, Takeshi) [JP/JP]; 〒1468501 東京都大田区下丸子3-30-2 キヤノン株式会社内 Tokyo (JP).
- (74) 代理人: 大塚康徳 (OHTSUKA, Yasunori); 〒1020094 東京都千代田区紀尾井町3番6号 秀和紀尾井町パークビル7F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME,

[続葉有]

(54) Title: MEMORY CONTROLLER

(54) 発明の名称: メモリコントローラ



(57) Abstract: Provided is a memory controller capable of flexibly coping with a change of use format and an operation state of a system. The memory controller (1100) includes bus interfaces (1200, 1210, 1220), a memory controller core unit (1300), and a memory interface (1400). The memory control core unit (1300) has a command control unit (1320). A command is sent and received between the bus interface units (1200, 1210, 1220) and the command control unit (1320) via a bus (1310).

(57) 要約: システムの使用形態や稼動状態の変化に柔軟に対応可能なメモリコントローラを提供するために、メモリコントローラ1100は、バスインターフェース1200、1210、1220と、メモリコントローラコア部1300と、メモリインターフェース1400を有する。メモリコントローラコア部1300は、コマンド制御部1320を有する。バスインターフェース部1200、1210、1220とコマンド制御部1320との間で

[続葉有]



MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,
SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

メモリコントローラ

技術分野

[0001] 本発明は、複数のバスで共有可能なメモリを制御するメモリコントローラに関する。

背景技術

[0002] 従来、複数のバスマスターと共有メモリとが複数のシステムバスで接続されるシステムLSIが実現されている(例えば、特許文献1)。上記のバスマスターとしては、プロセッサ、DSP(Digital Signal Processor)、DMAC(Direct Memory Access Controller)等が知られている。この種のシステムLSIでは、複数のシステムバスから共有メモリへのアクセスを制御するメモリコントローラが必須のデバイスとなっている。

[0003] このメモリコントローラは、システムバス構成、メモリ構成等が異なる様々なシステムに対する汎用性を保ちながら、高いシステム性能を達成することが求められている。このためには、メモリコントローラは、共有メモリのバンド幅とリアルタイム性を確保しながらアクセス制御を行うことが重要である。

[0004] 従来のメモリコントローラは、各システムに共通に設けられた特定のシステムバスに対してのみ接続可能であったり、各システムバスにおける接続の優先度が固定化されたりしていた。

特許文献1:特開平11-120154号公報

発明の開示

発明が解決しようとする課題

[0005] 従って、従来技術では、システムバス構成の異なるシステムを構築する場合や、システムの使用形態が変更された場合に、メモリコントローラを再設計する必要があり、不便であった。

[0006] 本発明は、このような背景の下になされたもので、システムの使用形態や稼動状態の変化に柔軟に対応可能なメモリコントローラを提供することを目的とする。

課題を解決するための手段

[0007] 上記の目的を達成するため、本発明は、複数のバスで共有可能なメモリを制御する

メモリコントローラにおいて、複数のバスインターフェース部と、メモリコントローラコア部と、メモリインターフェース部を有し、前記複数のバスインターフェース部は、前記複数のバスからのコマンドを受け付け、前記メモリコントローラコア部が受付可能なコマンドに変換し、前記メモリコントローラコア部は、受け付けたコマンドを前記メモリインターフェース部に発行するコマンド制御部を有し、前記メモリインターフェース部は、前記メモリコントローラコア部から受け付けたコマンドをメモリに対するコマンドへ変換し、更に、前記バスインターフェース部と前記コマンド制御部との間でコマンドを授受するバスを有する。

発明の効果

- [0008] 本発明によれば、システムの使用形態や稼動状態の変化に柔軟に対応可能なメモリコントローラを提供することが可能となる。
- [0009] 本発明のその他の特徴及び利点は、添付図面を参照とした以下の説明により明らかになるであろう。なお、添付図面においては、同じ若しくは同様の構成には、同じ参照番号を付す。

図面の簡単な説明

- [0010] 添付図面は明細書に含まれ、その一部を構成し、本発明の実施の形態を示し、その記述と共に本発明の原理を説明するために用いられる。
- [0011] [図1]第1の実施の形態に係るメモリコントローラの構成図である。
- [図2]第2の実施の形態に係るメモリコントローラの構成図である。
- [図3]第3の実施の形態に係るメモリコントローラの構成図である。
- [図4]第4の実施の形態に係るメモリコントローラの構成を示す図である。
- [図5]第5の実施の形態に係るメモリコントローラの構成図である。
- [図6]コマンドキュー部の情報を示す図である。
- [図7]第6の実施の形態に係るメモリコントローラの構成図である。
- [図8]第7の実施の形態に係るメモリコントローラの構成図である。
- [図9]第8の実施の形態に係るメモリコントローラの構成図である。

符号の説明

- [0012] 1100…メモリコントローラ

1200, 1210, 1220…システムバスインターフェース

1300…メモリコントローラコア部

1310…コントローラ内部システムバス

1320…コマンド制御部

1400, 1410, 1420…メモリインターフェース

発明を実施するための最良の形態

[0013] 以下、本発明を実施するための最良の形態を、図面に基づいて説明する。

[0014] [第1の実施の形態]

図1は、第1の実施の形態に係るメモリコントローラが搭載されたコンピュータの構成図である。

[0015] 図1において、メモリコントローラ1100は、システムバスインターフェース(バスインターフェース部)1200, 1210, 1220を介して、それぞれシステムバス1000, 1010, 1020に接続されている。システムバス1000, 1010, 1020としては、例えばAMBA (Advanced Microcontroller Bus Architecture)、AHB(Advanced High-performance Bus)規格のバスを使用することができる。

[0016] これら、システムバス1000, 1010, 1020は、それぞれ対応するプロセッサ等のバスマスター(図示省略)からのアクセス要求コマンド、そのコマンドで得られたアクセスデータの転送路として利用される。

[0017] メモリコントローラ1100は、メモリコントローラコア部1300を有している。このメモリコントローラコア部1300は、コマンド制御部1320を有している。コマンド制御部1320は、コントローラ内部システムバス1310を介して、システムバスインターフェース1200, 1210, 1220に接続されている。コントローラ内部システムバス1310は、システムバスインターフェース1200, 1210, 1220とコマンド制御部1320との間でコマンドを授受する処理を行う。

[0018] また、コマンド制御部1320は、メモリインターフェース(メモリインターフェース部)1400を介して共有メモリ1500に接続されている。共有メモリ1500としては、例えば、シンクロナスDRAMやDDR-SDRAM、ROM等を使用することができる。

[0019] このような構成の下で、メモリコントローラ1100は、システムバス1000, 1010, 102

0からのアクセス要求に応じて、コマンド制御部1320を中核として共有メモリ1500に対するアクセス制御を行っている。

- [0020] すなわち、システムバス1000に係るバスマスターからのアクセス要求時には、当該システムバス1000のプロトコルに応じたバストランザクション要求が対応するシステムバスインターフェース1200に送信される。同様に、システムバス1010, 1020に係るバスマスターからのアクセス要求時には、それらシステムバスのプロトコルに応じたバストランザクション要求が対応するシステムバスインターフェース1210, 1220に送信される。
- [0021] システムバスインターフェース1200, 1210, 1220は、受信したトランザクション要求をコントローラ内部システムバス1310が受信可能なプロトコルに変換する。そして、システムバスインターフェース1200, 1210, 1220は、このプロトコル変換したトランザクション要求コマンドをメモリコントローラコア部1300に対して発行する。
- [0022] メモリコントローラコア部1300内のコマンド制御部1320は、このトランザクション要求コマンドを、コントローラ内部システムバス1310を介して受信する。そして、コマンド制御部1320は、受信したトランザクション要求コマンドに対してアドレス変換等のコマンド変換を行う。次に、コマンド制御部1320は、アドレス変換等のコマンド変換したトランザクション要求コマンドをメモリインターフェース1400に対して発行する。
- [0023] メモリインターフェース1400は、コマンド制御部1320から受信したトランザクション要求コマンドに対してプロトコル変換を行い、共有メモリ1500に対してアクセスコマンドを発行する。
- [0024] 以上説明したように第1の実施の形態では、メモリコントローラ1100は、3つの部分に分割されている。すなわち、メモリコントローラ1100は、システムバスインターフェース1200, 1210, 1220と、メモリコントローラコア部1300と、メモリインターフェース1400に分割されている。また、メモリコントローラコア部1300には、コマンド制御部1320の他に、システムバスインターフェース用のコントローラ内部システムバス1310を設けている。
- [0025] 従って、システムバス1000, 1010, 1020の仕様に依拠してシステムバスインターフェース1200, 1210, 1220を入れ替えることが可能となる。また、接続する共有メモリ

1500の仕様に応じてメモリインターフェース1400を入れ替えることで、様々なシステムに適用可能となる。

[0026] 換言すれば、メモリコントローラコア部1300を変更(再設計)することなく、システムバス構成の異なるシステムを構築したり、仕様の異なる共有メモリを使用したりすることが可能となる。

[0027] [第2の実施の形態]

図2は、第2の実施の形態に係るメモリコントローラの構成図である。図1と同一部分には同一符号を付し、異なる点を中心に説明する。なお、後述する、第3～第8の実施の形態でも、同様に、図1と同一部分には同一符号を付し、異なる点を中心に説明する。

[0028] 図2に示したように、第2の実施の形態では、複数の共有メモリ1500, 1510, 1520に対応すべく、共有メモリ側にもコントローラ内部インターフェースバス1330を設けている。そして、それら共有メモリ1500, 1510, 1520に対応して、それぞれメモリインターフェース1400, 1410, 1420が設けられている。

[0029] このような構成の下で、コマンド制御部1320は、コントローラ内部インターフェースバス1330を介して各共有メモリ1500, 1510, 1520に対するアクセス制御を行う。

[0030] このように、第2の実施の形態では、メモリコントローラコア部1300に共有メモリ用のメモリコントローラ内部インターフェースバス1330を設けている。従って、共有メモリを増設する場合にメモリコントローラコア部1300の基本的な設計を変更する必要はなく、単に各共有メモリに対応するメモリインターフェース1400, 1410, 1420を接続するだけで済む。

[0031] [第3の実施の形態]

図3は、第3の実施の形態に係るメモリコントローラの構成図である。図3に示したように、第3の実施の形態では、メモリコントローラ内部システムバス1310に対して調停回路A1340を付加している。

[0032] この調停回路A1340は、バスマスター、ここではシステムバスインターフェース1200, 1210, 1220から同時にアクセス要求コマンドを受信した場合に、そのアクセス要求コマンドの実行順を調停するものである。すなわち、バスマスター側から同時に複

数のアクセス要求が発生したとする。この場合、調停回路A1340は、対応するバスマスター、ここではシステムバス1000, 1010, 1020に予め設定された優先度に応じてアクセス要求コマンドを実行するように調停する。

[0033] 例えば、システムバス1000にCPUが接続され、他のシステムバス1010, 1020に比べリアルタイム性が要求される場合は、調停回路A1340では、そのシステムバス1000に1番高い優先度が設定される。そして、システムバス1000からのアクセス要求と、他のシステムバス1010, 1020からのアクセス要求が競合した場合は、調停回路A1340は、システムバス1000からのアクセス要求を優先的に処理する。

[0034] このように、第3の実施の形態では、メモリコントローラコア部1300の基本的な設計を変更することなく、バスマスターに応じてリアルタイム性を確保しながらアクセス制御を行うことが可能となる。

[0035] [第4の実施の形態]

図4は、第4の実施の形態に係るメモリコントローラの構成図である。図4に示したように、第4の実施の形態では、コントローラ内部インターフェースバス1330に対して調停回路B1350を付加している。

[0036] この調停回路B1350は、メモリインターフェース1400, 1410, 1420を介して共有メモリ1500, 1510, 1520から同時に読み出しデータを受けた場合に、そのデータ転送順を調停するものである。すなわち、コントローラ内部インターフェースバス1330がメモリインターフェース1400, 1410, 1420から同時に読み出しデータを受信したとする。この場合、調停回路B1350は、対応する共有メモリ1500, 1510, 1520に予め設定された優先度に応じて、読み出しデータをシステムバス1000, 1010, 1020に転送するように調停する。

[0037] 例えば、例えば、共有メモリ1500はSDRAM、共有メモリ1510はROMで構成されている場合、その共有メモリ1500の方に高い優先度が設定される。そして、調停回路B1350は、共有メモリ1500と共有メモリ1510から同時に読み出しデータを受けた場合は、共有メモリ1500からの読み出しデータを優先的にインターフェースバス側に転送するように調停する。

[0038] [第5の実施の形態]

図5は、第5の実施の形態に係るメモリコントローラの構成図である。図5に示したように、第5の実施の形態では、コマンド制御部1320がコマンドキュー部1321、及び優先度設定レジスタ1322を有している。

- [0039] システムバス優先度設定レジスタ1322は、それぞれシステムバス1000, 1010, 1020の優先度を個別に設定するレジスタにより構成されている。これらのレジスタには、システムバス1000, 1010, 1020のバスIDと対応付けて優先度を示すデータが設定されている。
- [0040] コマンドキュー部1321では、図6に示したように、複数のアクセスコマンド210, 220, 230が入力順に配列されている。これらアクセスコマンド210, 220, 230は、それぞれ、アクセスアドレス211, 221, 231、リード／ライトを示すフラグ212, 222, 232の情報を含んでいる。さらに、アクセスコマンド210, 220, 230は、それぞれ、システムバスのバスID213, 223, 233、システムバスの優先度214, 224, 234の情報を含んでいる。
- [0041] このような構成の下で、コマンド制御部1320は、システムバス1000, 1010, 1020からアクセス要求が発行された場合、そのアクセス要求を発行したシステムバスのバスIDを優先度設定レジスタ1322上で検索する。そして、コマンド制御部1320は、検索したバスIDに対応付けられた優先度情報を取得し、取得した優先度情報により今回のアクセス要求の優先度を決定する。
- [0042] 次に、コマンド制御部1320は、今回決定した優先度とコマンドキュー部1321に登録されている各アクセスコマンド210, 220, 230の優先度とを比較する。そして、既に登録されている各アクセスコマンドの優先度の全てが今回判定した優先度以上であれば、コマンド制御部1320は、今回決定した優先度に係るアクセスコマンドが最後に実行されるに、当該アクセスコマンドをコマンドキュー部1321に新たに登録する。
- [0043] 一方、今回判定した優先度より低い優先度のアクセスコマンドが1つでも登録されている場合は、コマンド制御部1320は、新旧のアクセスコマンドが優先度の高い順に実行されるように、今回の要求に係るアクセスコマンドをコマンドキュー部1321に新たに登録する。

- [0044] 従って、第5の実施の形態では、メモリコントローラコア部1300の基本的な設計を変更することなく、バスマスターに応じてリアルタイム性を確保しながらアクセス制御を行うことが可能となる。
- [0045] また、第5の実施の形態においても、共有メモリを増設する場合に、メモリコントローラコア部1300の基本的な設計を変更する必要はなく、単に各共有メモリに対応するメモリインターフェース1400, 1410, 1420を接続するだけで済む。
- [0046] [第6の実施の形態]
- 図7は、第6の実施の形態に係るメモリコントローラの構成図である。図7に示したように、第6の実施の形態では、コマンド制御部1320の内部にライトデータバッファ1323を設けている。
- [0047] このように、第6の実施の形態では、コマンド制御部1320の内部にライトデータバッファ1323を設けたので、各システムバスインターフェースのライトデータバッファのサイズを低減することが可能となる。これにより、メモリコントローラ1100に接続するシステムバスの数が増加した場合のオーバーヘッドを低減することも可能となる。
- [0048] [第7の実施の形態]
- 図8は、第7の実施の形態に係るメモリコントローラの構成図である。図8に示したように、第7の実施の形態では、メモリコントローラコア部1300にダイレクトリードデータバス1360を設けている。このダイレクトリードデータバス1360は、コマンド制御部1320を経由することなく、メモリインターフェース1400からメモリコントローラ内部システムバス1310へダイレクトにリードデータを転送するためのバスである。
- [0049] また、システムバスインターフェース1200, 1210, 1220には、それぞれ、リードデータバッファ1202, 1212, 1222が設けられている。
- [0050] 従って、共有メモリ1500からデータを読み出す際のレイテンシーを低減し、高速読み出しが可能となる。
- [0051] なお、図8には、コマンド制御部1320に、コマンドキュー部1321、優先度設定レジスタ1322、ライトデータバッファ1323を設けているが、これらは削除してもよい。ただし、コマンドキュー部1321、優先度設定レジスタ1322、ライトデータバッファ1323を設けた場合は、これら構成要素の前述の効果も得られることは言うまでもない。

[0052] [第8の実施の形態]

図9は、第8の実施の形態に係るメモリコントローラの構成図である。第8の実施の形態では、図9に示したように、図8に示した第7の実施の形態を構成する要素の他に、メモリコントローラ内部インターフェースバス1330と、それに接続された調停回路B1350を有している。

[0053] また、第8の実施の形態では、メモリコントローラ内部システムバス1310にも調停回路A1340を接続している。

[0054] 従って、第8の実施の形態では、第1～第7の実施の形態に係る前述の全ての効果を得ることができる。

[0055] 本発明は上記実施の形態に制限されるものではなく、本発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、本発明の範囲を公にするために、以下の請求項を添付する。

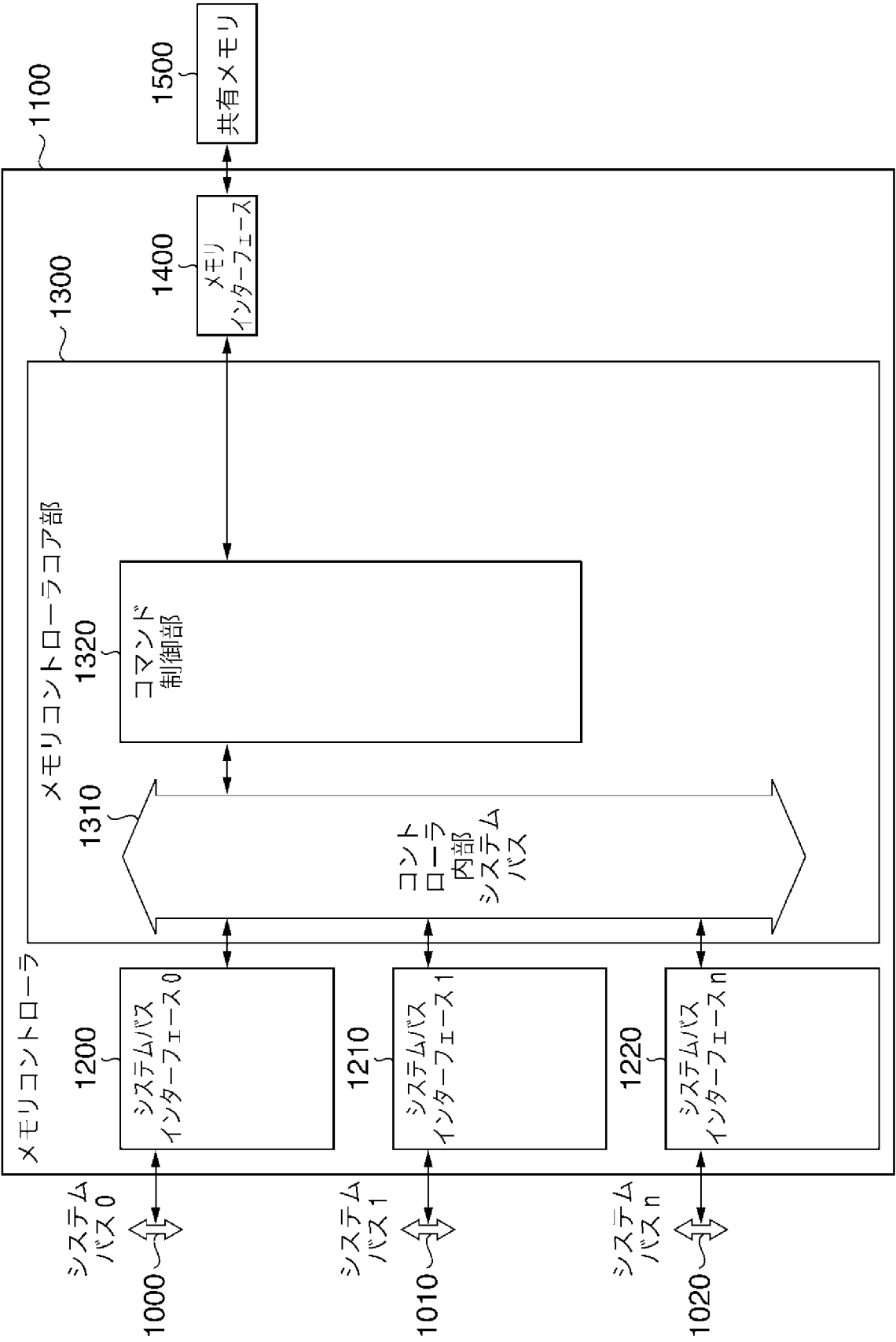
[0056] 本願は、2006年7月21日提出の日本国特許出願特願2006-199943を基礎として優先権を主張するものであり、その記載内容の全てを、ここに援用する。

請求の範囲

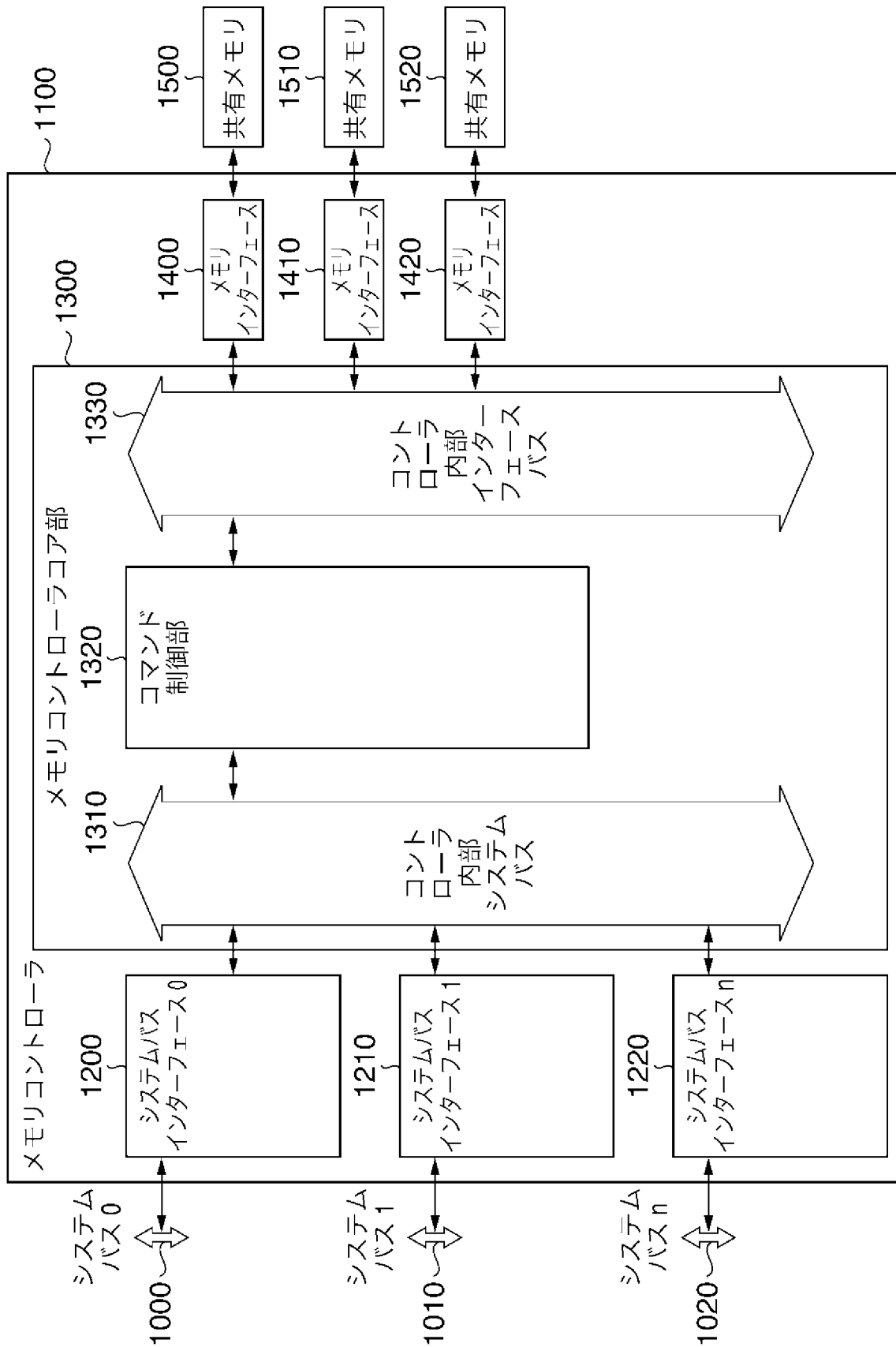
- [1] 複数のバスで共有可能なメモリを制御するメモリコントローラにおいて、
複数のバスインターフェース部と、メモリコントローラコア部と、メモリインターフェース部を有し、
前記複数のバスインターフェース部は、前記複数のバスからのコマンドを受け付け、前記メモリコントローラコア部が受信可能なコマンドに変換し、
前記メモリコントローラコア部は、受け付けたコマンドを前記メモリインターフェース部に発行するコマンド制御部を有し、
前記メモリインターフェース部は、前記メモリコントローラコア部から受け付けたコマンドをメモリに対するコマンドへ変換し、
更に、前記バスインターフェース部と前記コマンド制御部との間でコマンドを授受するバスを有するメモリコントローラ。
- [2] 更に、前記メモリインターフェース部を含む複数のメモリインターフェース部と前記コマンド制御部との間でコマンドを授受する第2のバスを有する請求項1に記載のメモリコントローラ。
- [3] 更に、前記複数のバスインターフェース部から発行されたアクセスコマンドの実行順を調停する調停回路を有する請求項1に記載のメモリコントローラ。
- [4] 更に、前記複数のメモリインターフェース部から受けた読み出しデータの転送順を調停する調停回路を有する請求項2に記載のメモリコントローラ。
- [5] 更に、前記複数のバスインターフェース部から発行されたアクセスコマンドに関連して設定された優先度に応じて、前記アクセスコマンド用のキューを制御することを特徴とする請求項1に記載のメモリコントローラ。
- [6] 前記コマンド制御部は、前記バスインターフェース部からの書き込みデータを前記メモリインターフェース部に対して転送するためのバッファを有する請求項1に記載のメモリコントローラ。
- [7] 更に、前記メモリインターフェース部からの読み出しデータを、前記コマンド制御部を介することなく前記第1のバスに転送するためのダイレクトリードデータバスを有する請求項1に記載のメモリコントローラ。

- [8] 請求項1に記載のメモリコントローラを搭載したコンピュータ。

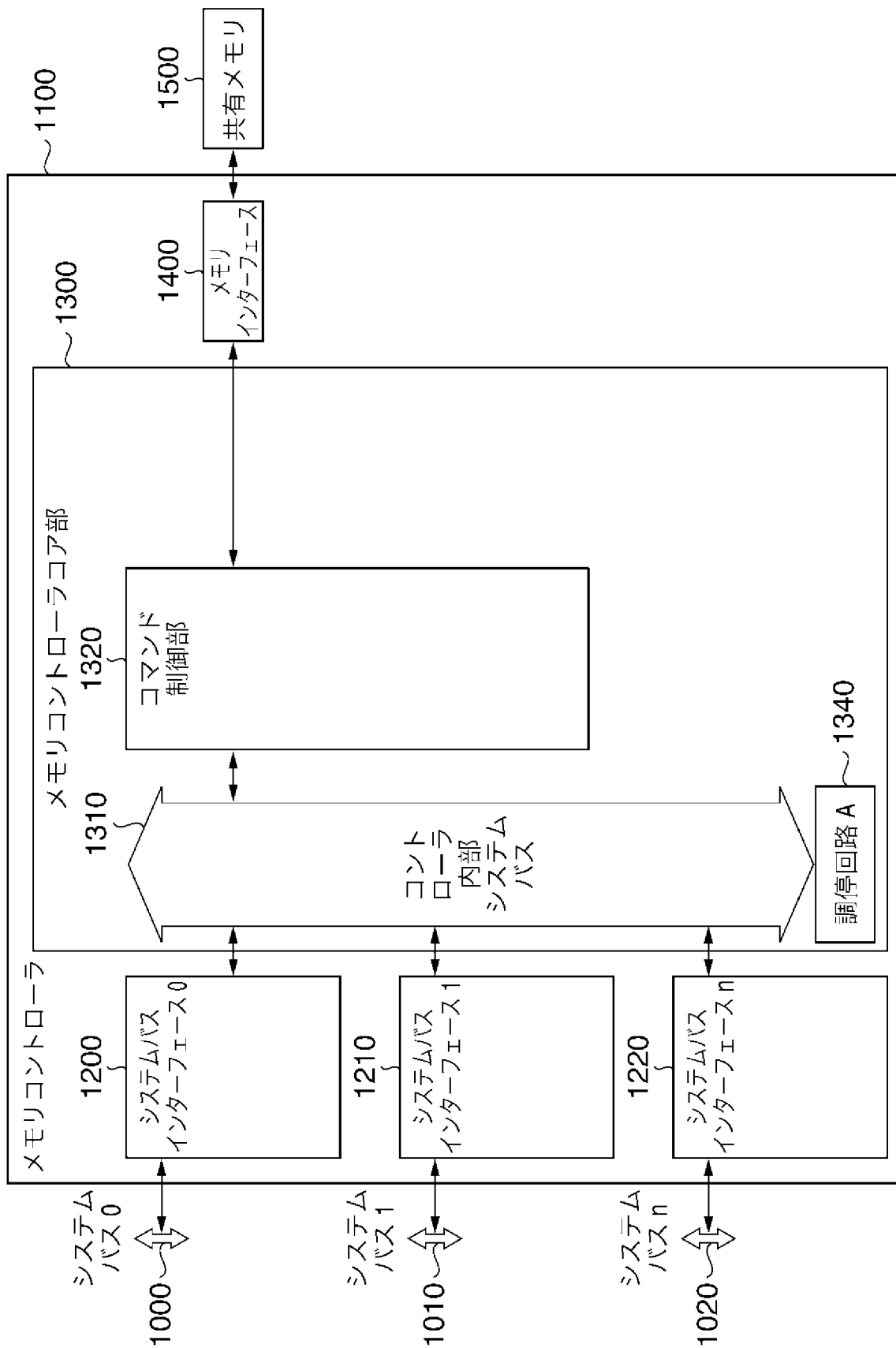
[図1]



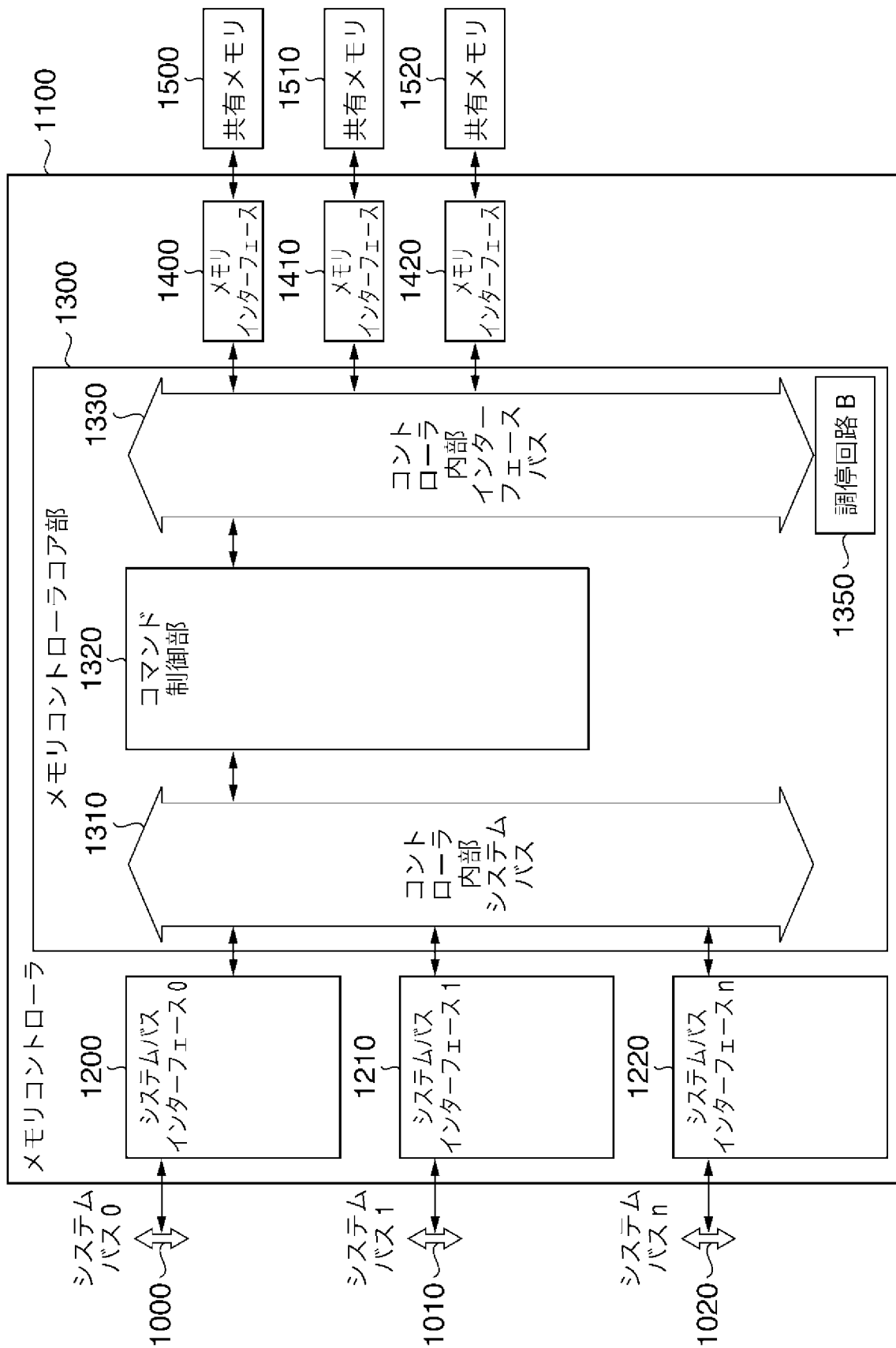
[図2]



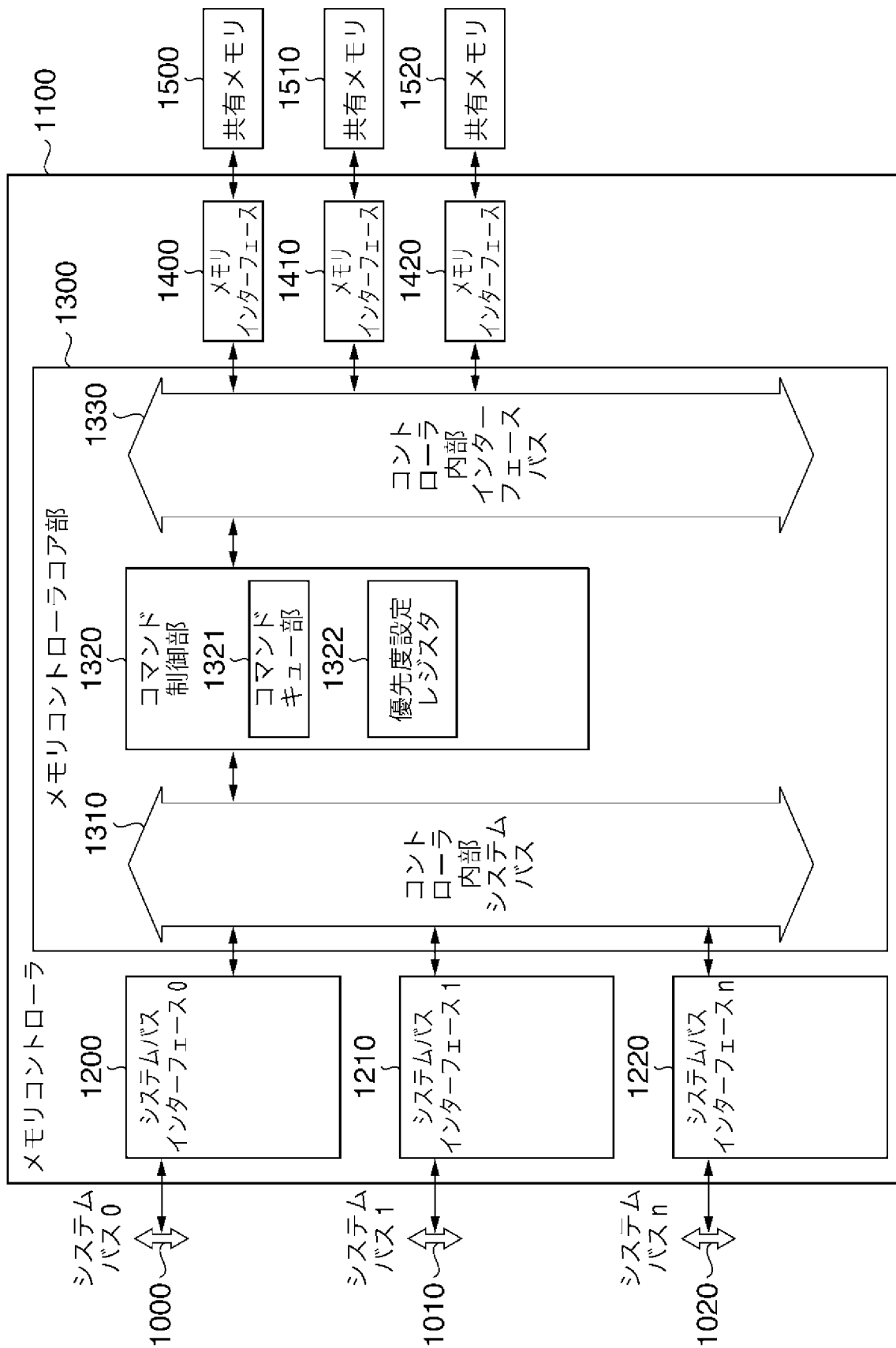
[図3]



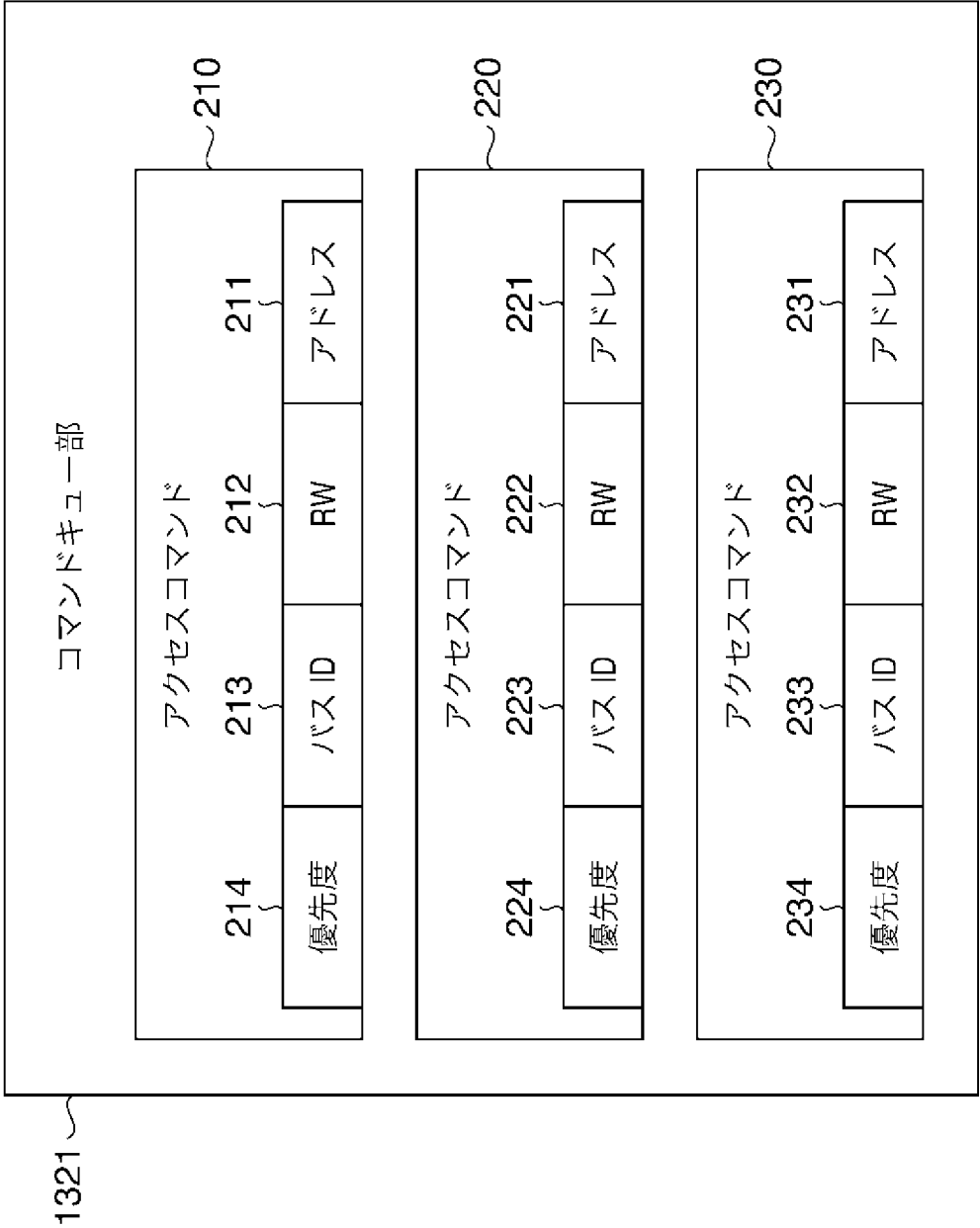
[図4]



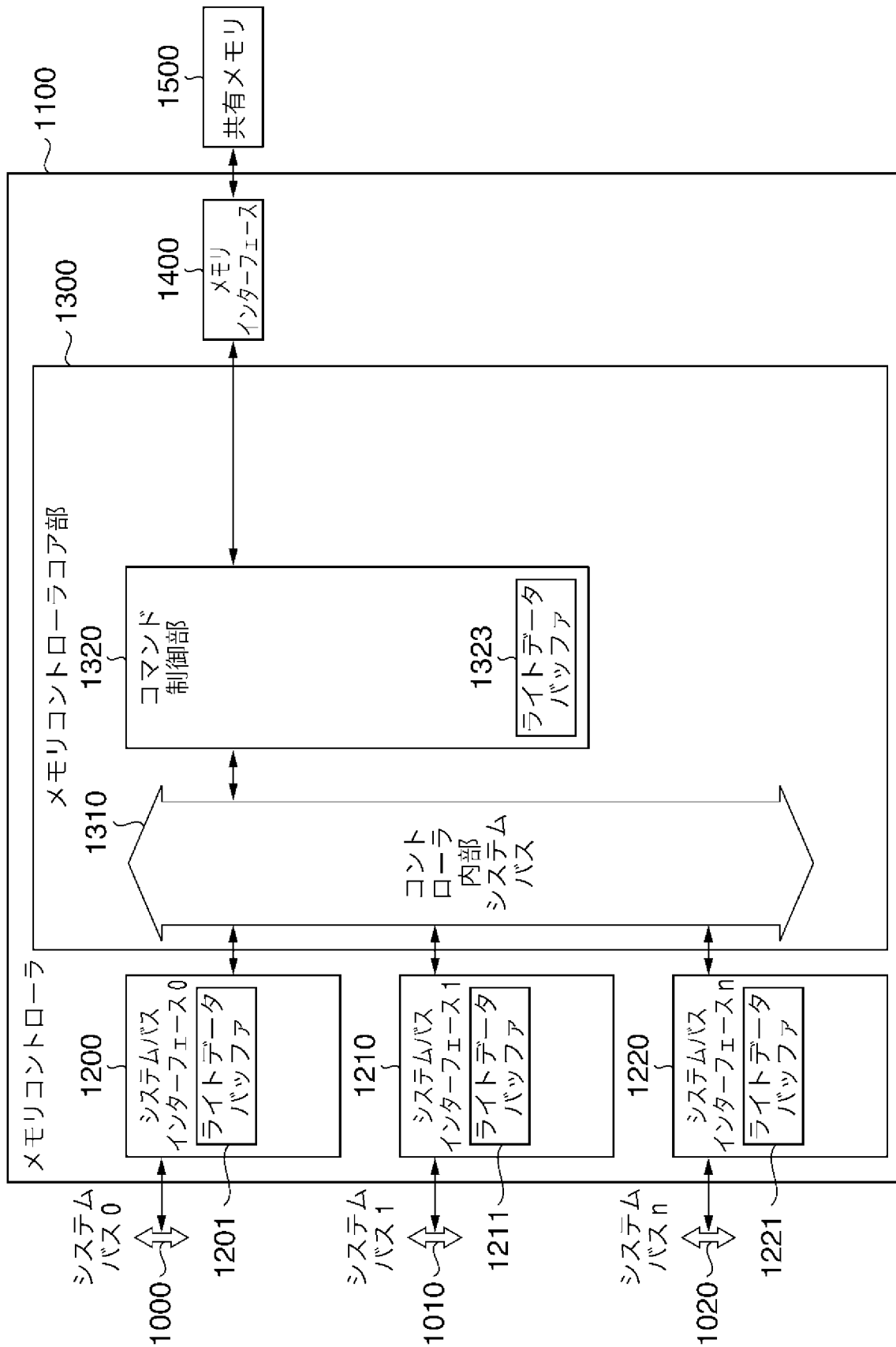
[図5]



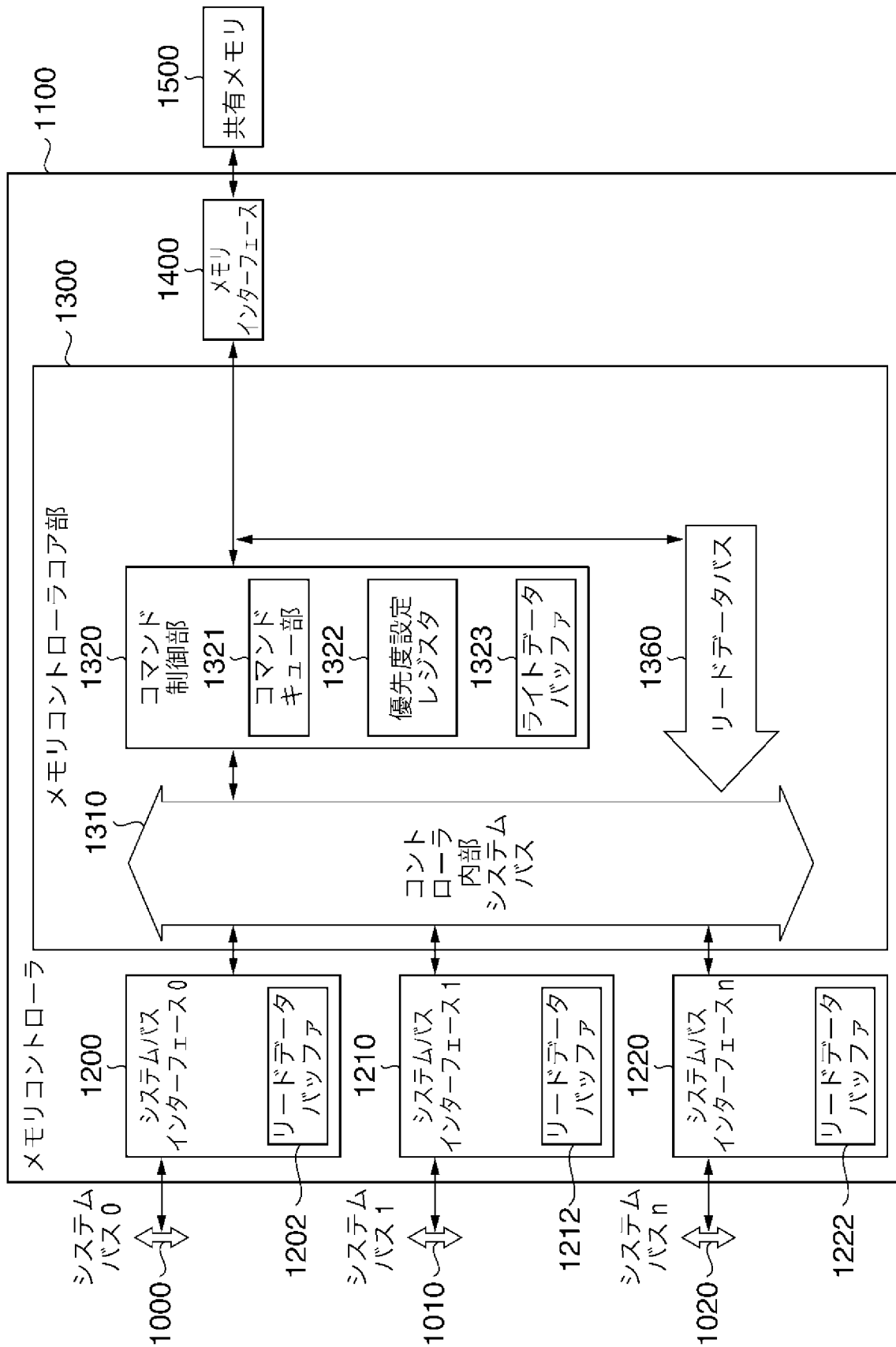
[図6]



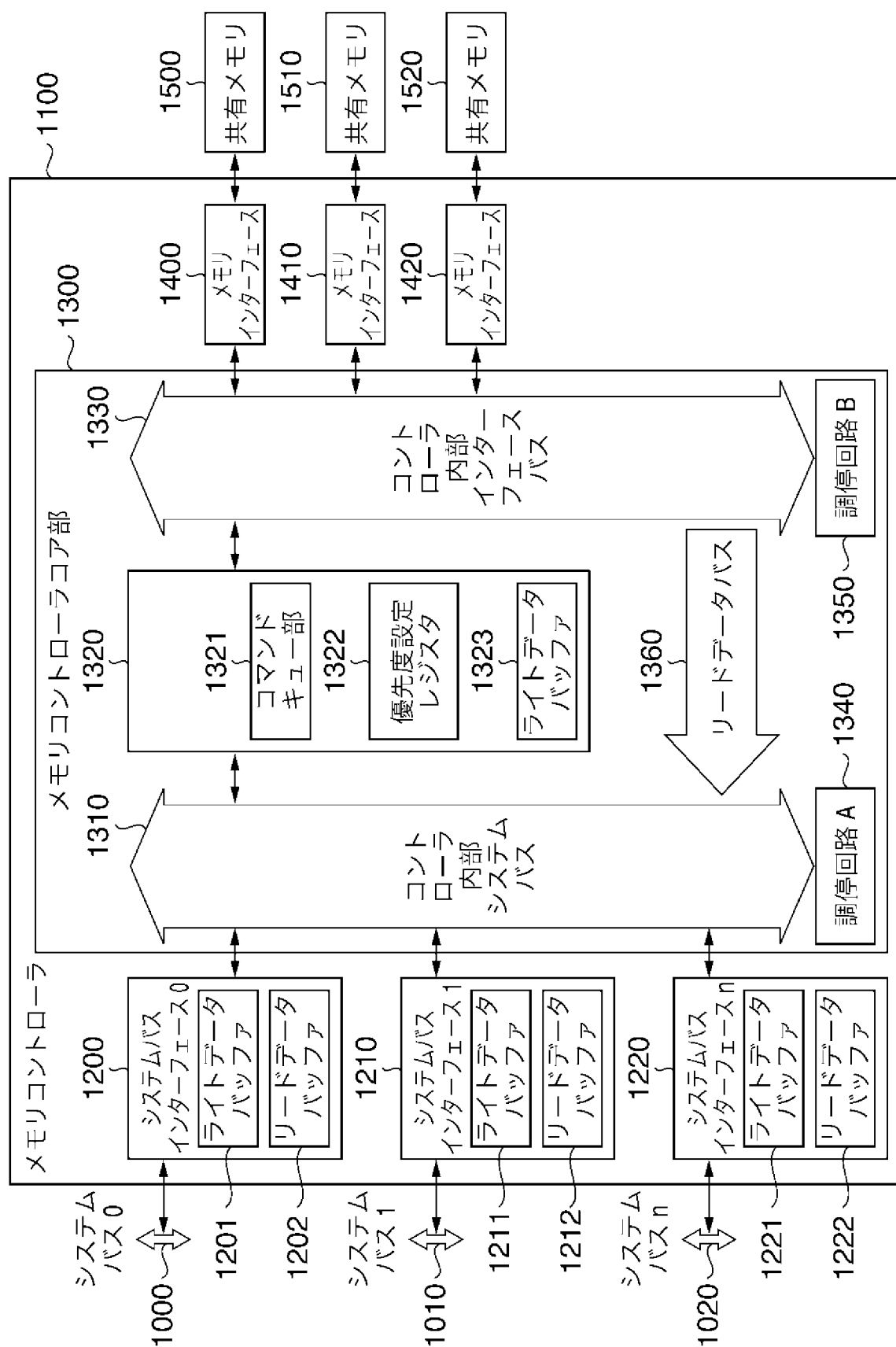
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/063041

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/00(2006.01)i, G06F12/06(2006.01)i, G06F13/16(2006.01)i, G06F13/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/00, G06F12/06, G06F13/16, G06F13/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2000-47974 A (Fujitsu Ltd.), 18 February, 2000 (18.02.00), All pages; all drawings & US 6286070 B1	1, 3, 6 2, 4, 5 7
Y	JP 2006-184792 A (Seiko Epson Corp.), 13 July, 2006 (13.07.06), Par. Nos. [0078] to [0086]; Fig. 14 & US 2006/0140036 A1	2, 4
Y	JP 2006-99895 A (Canon Inc.), 13 April, 2006 (13.04.06), Par. Nos. [0010] to [0027]; Figs. 1 to 2 (Family: none)	5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 September, 2007 (25.09.07)

Date of mailing of the international search report
02 October, 2007 (02.10.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/063041

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-342159 A (Hitachi, Ltd.), 29 November, 2002 (29.11.02), All pages; all drawings & US 2002/0174292 A1	1-7
A	JP 2000-148576 A (NEC Corp.), 30 May, 2000 (30.05.00), All pages; all drawings & EP 0999503 A2	1-7
A	JP 2005-316546 A (Victor Company Of Japan, Ltd.), 10 November, 2005 (10.11.05), All pages; all drawings (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F12/00(2006.01)i, G06F12/06(2006.01)i, G06F13/16(2006.01)i, G06F13/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F12/00, G06F12/06, G06F13/16, G06F13/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-47974 A (富士通株式会社) 2000.02.18, 全頁, 全図 & US 6286070 B1	1, 3, 6
Y		2, 4, 5
A	JP 2006-184792 A (セイコーエプソン株式会社) 2006.07.13, 段落【0078】 - 【0086】, 第14図 & US 2006/0140036 A1	7
Y		2, 4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 9 . 2 0 0 7

国際調査報告の発送日

0 2 . 1 0 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

田中 秀人

5 N

9 0 6 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2006-99895 A (キャノン株式会社) 2006. 04. 13, 段落【0010】－【0027】, 第1図－第2図 (ファミリーなし)	5
A	JP 2002-342159 A (株式会社日立製作所) 2002. 11. 29, 全頁, 全図 & US 2002/0174292 A1	1-7
A	JP 2000-148576 A (日本電気株式会社) 2000. 05. 30, 全頁, 全図 & EP 0999503 A2	1-7
A	JP 2005-316546 A (日本ビクター株式会社) 2005. 11. 10, 全頁, 全図 (ファミリーなし)	1-7