

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-514599**(P2005-514599A)**

(43) 公表日 平成17年5月19日(2005.5.19)

(51) Int.Cl.⁷**G01R 13/00****H03H 17/00**

F I

G01R 13/00

Z

H03H 17/00

621Z

テーマコード (参考)

審査請求 未請求 予備審査請求 未請求 (全 15 頁)

(21) 出願番号 特願2003-555373 (P2003-555373)
 (86) (22) 出願日 平成14年12月4日 (2002.12.4)
 (85) 翻訳文提出日 平成16年8月11日 (2004.8.11)
 (86) 国際出願番号 PCT/US2002/038525
 (87) 国際公開番号 W02003/054726
 (87) 国際公開日 平成15年7月3日 (2003.7.3)
 (31) 優先権主張番号 10/013,568
 (32) 優先日 平成13年12月11日 (2001.12.11)
 (33) 優先権主張国 米国 (US)

(71) 出願人 592196628
 レクロイ コーポレーション
 アメリカ合衆国 ニューヨーク州 109
 77-6499 チェスナット リッジ
 チェスナット リッジ ロード 700
 (74) 代理人 100073184
 弁理士 柳田 征史
 (74) 代理人 100090468
 弁理士 佐久間 剛
 (72) 発明者
 ゴービックス, マーク スティーヴン
 アメリカ合衆国 ニュージャージー州 O
 7417 フランクリン レイクス アイ
 ロン ラッチ ロード 700

最終頁に続く

(54) 【発明の名称】 並列デシメーション回路

(57) 【要約】

オシロスコープ上で波形データをデシメートするためのデシメーション装置及びデシメーション回路。デシメーション回路は、サンプル計数回路により発生される制御信号に基づいてサンプルを選択的に捕捉するデータバスに並列に接続された、16個の並列16対1マルチプレクサを用いて実施される。回路で実施されるデシメーションの強さをプログラムするために、デシメーション係数値及び位相値を入力することができる。デシメーション装置は、デシメーションの制御においてさらになお高いフレキシビリティを提供し、いくつかのデシメーション回路を対応するアナログ-デジタル変換器及びメモリセグメントと組み合わせることにより形成される。

【特許請求の範囲】

【請求項 1】

オシロスコープ上で波形データをデシメートするためのデシメーション回路において、
N をデータバス上のデータライン数として、N 個のレジスタがそれぞれのレジスタ対の間に配置された N - 1 個の加算器の内の 1 つと直列に接続されたサンプル計数回路であって、デシメーション係数値及びデシメーション位相値に基づいて N 個の出力を決定し、前記出力のそれぞれがデシメーション後に残る波形データ内のデータサンプルの位置を示し、前記レジスタの内の最初のレジスタが、その出力が示す位置として、前記デシメーション位相値に設定され、前記それぞれの加算器が前のレジスタの出力に前記デシメーション係数を加算して次のレジスタに対する、それぞれの出力が示す位置としての、前記出力をつくる、サンプル計数回路、及び

N 個の並列マルチプレクサを有するマルチプレックス回路であって、それぞれのマルチプレクサが N 個の対応する並列出力レジスタの内の 1 つと直列に接続され、前記マルチプレクサのそれぞれが前記データバスの前記データラインと接続された N 個の並列入力を有し、前記サンプル計数回路からの前記出力の内のあらかじめ定められた 1 つにしたがって制御されて、前記出力の内の前記あらかじめ定められた 1 つにより示される前記データバスの前記データラインの内の 1 つからデータサンプルを選択し、前記 N 個の出力レジスタのそれぞれが、前記対応するマルチプレクサにより選択されるデータサンプルを受け取るために、イネーブルビットにより有効にされる、マルチプレックス回路
を備えることを特徴とするデシメーション回路。

【請求項 2】

N 個の法演算回路及び N 個の分割回路をさらに備え、前記 N 個の法演算回路のそれぞれ及び N 個の分割回路のそれぞれが前記サンプル計数回路からの前記 N 個の出力の内の 1 つに接続され、前記 N 個の法演算回路のそれぞれ及び N 個の分割回路のそれぞれが前記 N 個の並列マルチプレクサ及び出力レジスタの内のあらかじめ定められた 1 つに対応し、前記 N 個の法演算回路のそれぞれが前記対応するマルチプレクサによるデータサンプルの前記選択を制御するためのクロック信号を発生し、前記 N 個の分割回路のそれぞれが前記対応する出力レジスタに対する前記イネーブルビットの発生に用いるためのローカル信号を発生することを特徴とする請求項 1 に記載のデシメーション回路。

【請求項 3】

N 個の並列コンパレータに接続された少なくとも 1 つのカウンタを有するイネーブル回路をさらに備え、前記 N 個のコンパレータのそれぞれが、前記カウンタからの計数値を前記分割回路の内の対応する 1 つから受け取られる前記ローカル信号と比較して、前記対応する出力レジスタに対して前記イネーブルビットを発生することを特徴とする請求項 2 に記載のデシメーション回路。

【請求項 4】

前記計数値が前記デシメーション係数値まで時系列的にインクリメントされ、次いで再び同じ経過をたどることを特徴とする請求項 3 に記載のデシメーション回路。

【請求項 5】

オシロスコープ上で波形データをデシメートするためのデシメーション装置において、
入力波形から並列にデータを収集し、データサンプルを生成するための複数のアナログ - デジタル変換器、及び

それぞれが前記アナログ - デジタル変換器の内のあらかじめ定められた対応する 1 つに接続されている、並列に接続された複数のデシメーション回路
を備え、前記並列に接続された複数のデシメーション回路のそれぞれが、

N をデータバス上のデータライン数として、N 個のレジスタがそれぞれのレジスタ対の間に配置された N - 1 個の加算器の内の 1 つと直列に接続されたサンプル計数回路であって、デシメーション係数値及びデシメーション位相値に基づいて N 個の出力を決定し、前記出力のそれぞれがデシメーション後に残る波形データ内のデータサンプルの位置を示し、前記レジスタの内の最初のレジスタが、その出力が示す位置として、前記デシメーション

ン位相値に設定され、前記それぞれの加算器が前のレジスタの出力に前記デシメーション係数を加算して次のレジスタに対する、それぞれの出力が示す位置としての、前記出力をつくる、サンプル計数回路、及び

N個の並列マルチプレクサを有するマルチプレックス回路であって、それぞれのマルチプレクサがN個の対応する並列出力レジスタの内の1つと直列に接続され、前記マルチプレクサのそれぞれが前記データバスの前記データラインと接続されたN個の並列入力を有し、前記サンプル計数回路からの前記出力の内のあらかじめ定められた1つにしたがって制御されて、前記出力の内の前記あらかじめ定められた1つにより示される前記データバスの前記データラインの内の1つからデータサンプルを選択し、前記N個の出力レジスタのそれぞれが、前記対応するマルチプレクサにより選択されるデータサンプルを受け取るために、イネーブルビットにより有効にされる、マルチプレックス回路、

10

それぞれが前記複数のデシメーション回路の内のあらかじめ定められた1つからのデータサンプルを格納するための、複数のメモリセグメント、及び

前記複数のメモリセグメントに格納されたデータサンプルを選択し、よって前記デシメートされた波形データを生成するためのプロセッサを有することを特徴とするデシメーション装置。

【請求項6】

前記複数の並列アナログ-デジタル変換器があらかじめ定められた時系列点において前記波形データをサンプリングして波形データサンプルを生成することを特徴とする請求項5に記載のデシメーション装置。

20

【請求項7】

前記複数のデシメーション回路が、前記サンプル計数回路からの前記N個の出力に接続され、前記N個の並列マルチプレクサ及び出力レジスタに対応する、N個の法演算回路及びN個の分割回路をさらに備え、前記N個の法演算回路のそれぞれが前記対応するマルチプレクサによるデータサンプルの前記選択を制御するためのクロック信号を発生し、前記N個の分割回路のそれぞれが前記対応する出力レジスタに対する前記イネーブルビットの発生に用いるためのローカル信号を発生することを特徴とする請求項5に記載のデシメーション装置。

【請求項8】

前記複数のデシメーション回路がN個の並列コンパレータに接続された少なくとも1つのカウンタを有するイネーブル回路をさらに備え、前記N個のコンパレータのそれぞれが、前記カウンタからの計数値を前記分割回路の内の対応する1つからの前記ローカル信号と比較して、前記対応する出力レジスタに対して前記イネーブルビットを発生することを特徴とする請求項7に記載のデシメーション装置。

30

【請求項9】

前記計数値が前記デシメーション係数値まで時系列的にインクリメントされ、次いで再び同じ経過をたどることを特徴とする請求項8に記載のデシメーション装置。

【請求項10】

デシメーション回路を用いてオシロスコープ上で波形データをデシメートする方法において、

40

Nをデータバス上のデータライン数として、デシメーション係数値及びデシメーション位相値に基づいて、それぞれがデシメーション後に残る前記波形データ内のデータサンプルの位置を示す、N個の出力を決定するステップであって、前記N個の出力がN個のレジスタを用いて並列に決定され、前記N個のレジスタはそれぞれのレジスタ対の間に配置されたN-1個の加算器の内の1つと直列に接続され、前記レジスタの最初のレジスタを、その出力が示す位置として、前記デシメーション位相値に設定し、前記加算器のそれぞれを用いて前のレジスタの出力に前記デシメーション係数値が加算して次のレジスタに対する、それぞれの出力が示す位置としての、前記出力を生成する、N個の出力を決定するステップ、及び

前記データバスの前記データラインの内の1つからの前記N個の出力により示されるよ

50

うに前記波形データからデータサンプルを選択するステップであって、前記データサンプルが、それぞれがN個の対応する並列出力レジスタの内の1つに直列に接続されているN個の並列マルチプレクサを用いて選択され、前記マルチプレクサのそれぞれが、前記データバスの前記データラインに接続されたN個の並列入力を有し、前記決定するステップからの前記N個の出力の内のあらかじめ定められた1つにしたがって制御され、前記対応するマルチプレクサにより選択された前記データサンプルを受け取らせるためにイネーブルビットを用いて前記N個の出力レジスタのそれぞれを有効にする、前記波形データからデータサンプルを選択するステップを含むことを特徴とする方法。

【請求項11】

10

前記N個の並列マルチプレクサによる前記データサンプル選択を制御するために前記決定するステップからの前記N個の出力に基づいてN個のクロック信号を発生するステップ、及び前記N個の出力レジスタに対する前記イネーブルビットの発生に用いるために前記N個の出力に基づいてN個のローカル信号を発生するステップをさらに含むことを特徴とする請求項10に記載の方法。

【請求項12】

前記N個の出力レジスタに対して前記イネーブルビットを発生するために、カウンタからの計数値を前記N個のローカル信号のそれぞれと比較するステップをさらに含むことを特徴とする請求項10に記載の方法。

【請求項13】

20

前記比較するステップが、前記計数値を前記デシメーション係数値まで時系列的にインクリメントし、次いで再び前記計数値を前記デシメーション係数値まで時系列的にインクリメントすることを特徴とする請求項12に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は全般的にオシロスコープ上で波形データをデシメートするための並列デシメーション回路に関する。

【背景技術】

【0002】

30

従来より、デジタルストレージオシロスコープ(DSO)は、電気信号(波形)を捕捉し、捕捉した信号のトレースを使用者が時間(x軸)対振幅(y軸)表示で視ることを可能にする。これは波形のデジタルサンプリングによってなされ、したがって多数のサンプルが生成される。現行のDSOは毎秒 10^9 のサンプルのレートでデータを収集できる。このレートにおいては、1秒分のデータを網羅するために1ギガバイトの記憶装置が必要となる。これだけの量のデータの格納は、最大のDSOメモリであってもその能力をすぐにこえてしまう。さらに、表示スクリーンにはこれだけの量のデータを表示するだけの解像度がない。現実的に、波形の適切なトレースをつくるために表示に必要なデータ点数は、約1000でしかない。したがって、1秒トレースを表示するためには、表示点のそれぞれの間でほぼ 10^6 のサンプルが棄却される。

40

【0003】

上記の理由のため、DSOは通常、デシメーションと呼ばれる削減操作によりサンプル数を削減する。デシメーション操作は、波形の収集、サンプルの格納、データの処理及び/または表示の描画を行っている間に実施することができる。これらの段階のほとんどについて、デシメーション操作はソフトウェアで実施することができる。しかし、収集中のソフトウェアによるデシメーション操作の実施は遅すぎて、入りデータに追従できない。

【発明の開示】

【発明が解決しようとする課題】

【0004】

したがって、オシロスコープによる波形の収集中にデシメーション操作を実施できる能

50

力が必要とされている。好ましくは、この問題に対する解決策は、費用効果が高く、容易に実施され得るべきである。

【 0 0 0 5 】

したがって、オシロスコープにおいてデシメーション操作を実施するための回路を提供することが本発明の目的である。

【 0 0 0 6 】

オシロスコープにおいてデシメーション操作を実施するための複数の回路からなる装置を提供することが本発明のさらなる目的である。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の好ましい実施形態は、オシロスコープ上で波形データをデシメートするためのデシメーション回路を提供する。本デシメーション回路は、N個のレジスタがそれぞれのレジスタ対の間に配置されたN - 1個の加算器の内の1つと直列に接続された、サンプル計数回路を有する（Nはデータバス上のデータライン数である）。本サンプル計数回路はデシメーション係数値及びデシメーション位相値に基づいてN個の出力を決定する。それぞれの出力は、デシメーション後に残る波形データ内のデータサンプルの位置を示す。N個のレジスタの内の最初のレジスタは、その出力が示す位置として、デシメーション位相値に設定される。それぞれの加算器は、前のレジスタの出力にデシメーション係数値を加算して次のレジスタに対する、それぞれの出力が示す位置としての、出力をつくる。本デシメーション回路は、N個の並列マルチプレクサがN個の対応する並列出力レジスタと直列に接続されたマルチプレックス回路も有する。それぞれのマルチプレクサは、データバスのデータラインと接続されたN個の並列入力を有する。それぞれのマルチプレクサは、データバスのデータラインの内の1つからデータサンプルを選択するために、サンプル計数回路からの出力の内の1つに基づいて制御される。それぞれの出力レジスタは、対応するマルチプレクサにより選択されたデータサンプルを受け取るために、イネーブルビットにより有効にされる。

【 0 0 0 8 】

本発明の別の態様において、デシメーション回路はN個の法演算回路及びN個の分割回路をさらに備えることができる。それぞれの回路は、サンプル計数回路からのN個の出力の内の1つに接続され、N個の並列マルチプレクサ及び出力レジスタの内のあらかじめ定められた1つに対応する。それぞれの法演算回路は、対応するマルチプレクサによるデータサンプルの選択を制御するためのクロック信号を発生する。それぞれの分割回路は、対応する出力レジスタに対するイネーブルビットの発生に用いるためのローカル信号を発生する。

【 0 0 0 9 】

本発明の別の態様において、デシメーション回路は少なくとも1つのカウンタがN個の並列コンパレータに接続されたイネーブル回路をさらに備えることができる。それぞれのコンパレータは、対応する出力レジスタに対してイネーブルビットを発生するために、カウンタからの計数値を分割回路の内の対応する1つから受け取ったローカル信号と比較する。一般に、計数値はデシメーション係数まで時系列的にインクリメントされ、次いで再び同じ経過をたどる。

【 0 0 1 0 】

本発明の第2の実施形態は、オシロスコープ上で波形データをデシメートするためのデシメーション装置を提供する。本デシメーション装置は、入力波形から並列にデータを収集してデータサンプルを生成するための複数のアナログ - デジタル変換器、複数のデシメーション回路、複数のメモリセグメント、及びメモリセグメントに格納されたデータサンプルを選択するためのプロセッサを有する。それぞれのデシメーション回路は、対応するアナログ - デジタル変換器に接続され、N個のレジスタを有するサンプル計数回路を有し、N個のレジスタはレジスタ対のそれぞれの間に配置されたN - 1個の加算器の内の1つと直列に接続される（Nはデータバス上のデータライン数である）。サンプル計数回路は

10

20

30

40

50

、デシメーション係数値及びデシメーション位相値に基づいてN個の出力を決定する。それぞれの出力はデシメーション後に残る波形データ内のデータサンプルの位置を示す。N個のレジスタの内の最初のレジスタは、その出力が示す位置として、デシメーション位相値に設定される。それぞれの加算器は、前のレジスタの出力にデシメーション係数値を加算して次のレジスタに対する、それぞれの出力が示す位置としての、出力をつくる。デシメーション回路は、N個の並列マルチプレクサがN個の対応する並列出力レジスタと直列に接続されたマルチプレックス回路も有する。それぞれのマルチプレクサは、データバスのデータラインと接続されたN個の並列入力を有する。それぞれのマルチプレクサは、データバスのデータラインの内の1つからデータサンプルを選択するために、サンプル計数回路からの出力の内の1つに基づいて制御される。それぞれの出力レジスタは、対応するマルチプレクサにより選択されたデータサンプルを受け取るために、イネーブルビットにより有効にされる。さらに、それぞれのメモリセグメントは対応するデシメーション回路からのデータサンプルを格納する。

【0011】

第2の実施形態において、並列アナログ-デジタル変換器は、波形データサンプルを生成するために、あらかじめ定められた時系列点において波形データをサンプリングすることができる。

【0012】

第2の実施形態の別の態様において、デシメーション回路はN個の法演算回路及びN個の分割回路をさらに備えることができる。それぞれの回路は、サンプル計数回路からのN個の出力の内の1つに接続され、N個の並列マルチプレクサ及び出力レジスタの内のあらかじめ定められた1つに対応する。それぞれの法演算回路は、対応するマルチプレクサによるデータサンプルの選択を制御するためのクロック信号を発生する。それぞれの分割回路は、対応する出力レジスタに対するイネーブルビットの発生に用いるためのローカル信号を発生する。

【0013】

第2の実施形態の別の態様において、デシメーション回路は少なくとも1つのカウンタがN個の並列コンパレータに接続されたイネーブル回路をさらに備えることができる。それぞれのコンパレータは、対応する出力レジスタに対してイネーブルビットを発生するために、カウンタからの計数値を分割回路の内の1つから受け取ったローカル信号と比較する。一般に、計数値はデシメーション係数まで時系列的にインクリメントされ、次いで再び同じ経過をたどる。

【0014】

本発明の第3の実施形態は、デシメーション回路を用いる、オシロスコープ上で波形データをデシメートする方法を提供する。本方法は初めに、デシメーション係数値及びデシメーション位相値に基づいてN個の出力を決定する。それぞれの出力は、デシメーション後に残る波形データ内のデータサンプルの位置を示す。N個の出力はN個のレジスタを用いて並列に決定され、N個のレジスタはそれぞれのレジスタ対の間に配置されたN-1個の加算器の内の1つと直列に接続されている(ここでNはデータバス上のデータライン数である)。本方法は次いで、N個のレジスタの内の最初のレジスタを、その出力が示す位置として、デシメーション位相値に設定し、それぞれの加算器を用いて前のレジスタの出力にデシメーション係数値を加算して次のレジスタに対する、それぞれの出力が示す位置としての、出力をつくる。本方法は、データバスのデータラインの内の1つからのN個の出力により示されるように、波形データのデータサンプルを選択する。データサンプルはN個の並列マルチプレクサを用いて選択される。それぞれのマルチプレクサはN個の対応する並列出力レジスタの内の1つと直列に接続され、データバスのデータラインと接続されたN個の並列入力を有し、N個の出力の内のあらかじめ定められた1つにしたがって制御される。次いで、N個の出力レジスタのそれぞれが、対応するマルチプレクサにより選択されたデータサンプルを受け取るためにイネーブルビットを用いて有効にされる。

【0015】

10

20

30

40

50

第3の実施形態の別の態様において、本方法は、N個の並列マルチプレクサによるデータサンプルの選択を制御するためにN個の出力に基づいてN個のクロック信号を発生するステップ、及びN個の出力レジスタのためのイネーブルビットの発生に用いるためにN個の出力に基づいてN個のローカル信号を発生するステップをさらに含むことができる。

【0016】

第3の実施形態の別の態様において、本方法は、カウンタからの係数値をN個の出力レジスタに対してイネーブルビットを発生するためのN個のローカル信号のそれぞれと比較するステップをさらに含むことができる。一般に、計数値はデシメーション係数まで時系列的にインクリメントされ、次いで再び同じ経過をたどる。

【0017】

本発明のその他の目的及び利点はある程度はいうまでもないであろうし、一部は本明細書及び図面から明らかであろう。

【発明を実施するための最良の形態】

【0018】

本発明のさらに完全な理解のため、以下の説明及び添付図面が参照される。

【0019】

本発明にしたがう回路及び装置の好ましい実施形態を添付図面を参照して説明する。

【0020】

本発明の好ましい実施形態はDSOに用いるための並列デシメーション回路である。本並列デシメーション回路の実装形態は、より大きなIC構造の一部とされた同期デジタル回路である。既述したように、DSOにおけるデシメーション操作は一般に、所望よりかなり低速であるにもかかわらず、ソフトウェアで実施される。デシメーションをソフトウェアで実施するために用いられる方法は基本的に、本発明にしたがうデシメーション回路で実施される操作とは異なるが、結果は同様である。

【0021】

並列デシメーション回路は、DSOのいずれの段階においても、データを処理するために用いることができる。例えば、デシメーション回路は収集段階中に入力データをデシメートするために用いることができる。デシメーション係数及びデシメーションの初期位相は、以下で論じられるように、任意であり、プログラム可能である。

【0022】

本回路は、クロックサイクル毎に複数のワードを提供するデータバス上でデシメーションを実施する。以下に与えられる例において、並列デシメーション回路は、16サンプル幅のデータバス上に実装され、出力バス幅は入力バス幅と同じであり、1単位デシメーションが許容される。さらに、本回路からのデータは単一のメモリセグメントを通して送られるが、本発明はそのような実施形態に限定されない。

【0023】

本回路を説明する前に、デシメーション操作を説明するため、表記法及び代数論理をここで詳説する。デシメートされるべきデータが $\{s_0, s_1, s_2, s_3, \dots\}$ で表されるサンプル数列からなっていれば、デシメーションによりデータの周期的サンプリングが生じる。例えば、データの2単位デシメーションにより、数列 $\{s_0, s_2, s_4, s_6, \dots\}$ が

【0024】

2単位デシメーションに対して2つの可能な数列があることに注意されたい。数列 $\{s_1, s_3, s_5, s_7, \dots\}$ も許容される2単位デシメーションである。これらの数列は、数列 $\{2, 0\}$ 及び数列 $\{2, 1\}$ に属すると称される。順序対の第1の数がデシメーション係数であり、第2の数が位相である。位相は、最初のサンプルがセーブされるまでにスキップされるサンプル数である。

【0025】

Sが任意のデータ数列を表せば、 $\{2, 0\}$ Sは数列Sに2単位で位相がゼロのデシメーションを施した結果である。デシメーションシーケンスは、例えば、

10

20

30

40

50

$$\{5, 0\}\{2, 0\}\{5, 0\}S = \{5, 0, 0\}S$$

と表される。

【0026】

オフセットがゼロの場合に、

$$\{B, 0\}\{A, 0\} = \{B \cdot A, 0\}$$

であることは容易に証明される。同様に、オフセットが非ゼロの場合、

$$\{B, b\}\{A, a\} = \{B \cdot A, A \cdot b + a\}$$

であることが容易に確かめられる。さらに、位相が非ゼロの場合のデシメーションが交換可能ではないこと、すなわち、

$$\{A, a\}\{B, b\} \neq \{B, b\}\{A, a\}$$

であることに注意されたい。

10

【0027】

プラス記号(+)は2つの数列をマージすることを示すために用いられる。マージャーでは、試料の順序が必ず維持される。これにより、数列を組み合わせてデシメーションの強さがより低い数列を形成することが可能になる。以下の定理は全て、数列 $\{x, y\}$ に適切なデシメーションを施すことにより得られる：

$$\{x, y\} = \{2x, y\} + \{2x, y + x\},$$

$$\{x, y\} = \{3x, y\} + \{3x, y + x\} + \{3x, y + 2x\},$$

$$\begin{aligned} \{x, y\} = & \{5x, y\} + \{5x, y + x\} + \{5x, y + 2x\} + \{5x, y + 3x\} \\ & + \{5x, y + 4x\}, \end{aligned}$$

20

$$\begin{aligned} \{x, y\} = & \{6x, y\} + \{6x, y + x\} + \{6x, y + 2x\} + \{6x, y + 3x\} \\ & + \{6x, y + 4x\} + \{6x, y + 5x\}. \end{aligned}$$

【0028】

図1～3は、本発明にしたがって実施されたデシメーション操作の3つの例を示す。それぞれの図は、付番され、それぞれが16サンプルからなる6つの行に配列された、96データサンプルのブロックを示す。これは、並列デシメーション回路に到達したままのデータの構成である。それぞれの行は1クロックサイクルに対応する。本実験において、データバスは16サンプル幅であるが、本発明はそのようなデータバス幅に限定されない。右側に0とラベルが付けられた、第1行は最初の16サンプルからなり、1とラベルが付けられた次の行は次の16サンプルからなり、以下同様である。

30

【0029】

図1は、本発明にしたがうデシメーション回路による入力データサンプルに関する $\{5, 2\}$ デシメーションを示す。これは、初期位相が2の5単位デシメーション($\{5, 2\}$)である。丸で囲まれたサンプルはデシメーション後に残るべきデータサンプルである。第1クロックサイクルではサンプル2, 7及び12が出力に移される。出力とラベルがつけられた行は、デシメーション後に残るサンプルを示す。次のクロックサイクルではサンプル17, 22及び27が出力に移され、以下同様である。(2とラベルがつけられた)第3クロックサイクルでは4つのサンプルが出力に移される必要があることに注意されたい。6クロックサイクル後に、このブロックパターンが反復する。サンプルは慎重に付番されているから、サンプル番号は、正しく、位相2にデシメーション係数5が次々に加算された数字になる。

40

【0030】

次に、試料番号は2進数で表され、下位桁4ビットが上位桁4ビットから分離される。これらの数値が図1に出力行の下2行のように示される。下位ビットの数値は“ローカル”になり、上位ビットの数値は“クロック”になる。ローカルは入力ワードにおけるデータサンプルの位置(0～15)であり、クロックはデータが与えられたクロックサイクルであることに注意されたい。これにより、どのようにしてデシメーション回路において出力レジスタに対してマルチプレクサ(MUX)を有効にするか、及び、どのクロックサイクルをデータを捕捉するために待機させるかに関する指示が得られる。

【0031】

50

図 2 は、本発明にしたがうデシメーション回路による、(図 1 に示される入力データサンプルと同様に付番された)入力データサンプルに関する{10, 2}デシメーションを示す。係数が 10 である結果、奇数番列からはデータが選択されていない。

【0032】

図 3 は、本発明にしたがうデシメーション回路による、入力データサンプルに関する{40, 2}デシメーションを示す。ここではデシメーション係数が 40 まで上げられている。入力データライン毎にはデータが選択されていないことに注意されたい。さらに、このパターンでは、出力ラインを埋めるには 37 クロックサイクルが必要である。

【0033】

次に、本発明にしたがうデシメーション回路の詳細を、回路の簡略な実施形態を示す、図 4 ~ 7 を参照して説明する。デシメーションプロセスは、サンプル計数回路(図 4)により発生される制御信号に基づいてサンプルを選択的に捕捉するデータバスに並列に接続された 16 個の並列 16 対 1 マルチプレクサを用いて実施される(例示的なマルチプレクサが図 7 に示される)。

【0034】

図 4 は、図 1 ~ 3 に示される出力(サンプル番号)ラインを決定するための並列デシメーション回路のサンプル計数部である。位相値及び係数値は、所望のデシメーション値にしたがう初期化において入力される。位相値及び係数値は、それぞれの(D型)レジスタ 41 に前のレジスタの出力+係数値 42 である結果 C_i が格納されるように、入力クロックパルスにより回路を通して伝搬される。結果の C_0, \dots, C_{W-1} は出力されるべきデータサンプルの番号に対応する。これらの結果は図 1 ~ 3 に示される出力ラインと同じであることに注意されたい。W は入力データバスの幅である。

【0035】

図 5 は、入力バス幅 W を考慮するための、並列デシメーション回路の法演算及び分割部である。図 4 の回路からのそれぞれの出力結果 C_i が同形の法演算及び分割部のそれぞれを通して送られる。回路の法演算及び分割部は W が 2 の累乗であれば非常に単純である。上例において、W は 16 であり、W 法演算部 51 及び W 分割部 52 の動作は単に C_i のデータビットの再配列である。出力値 M_i 及び N_i は図 1 ~ 3 に示されるクロック値及びローカル値に対応する。その他の W の値も可能であるが、回路の法演算及び分割部の結果はより複雑になる。

【0036】

図 6 は、イネーブルビット E_i を計算するための、並列デシメーション回路のイネーブルビット部である。法演算因数カウンタ 61 は、デシメーション係数まで時系列的にインクリメントされるカウンタである。初期化中に、このカウンタ 61 はゼロに設定される。クロック番号に対するテーブル(図示せず)も初期化時につくられる。入力バス上の有効データワードが計数される。カウンタ 61 がクロック番号に等しいときに、対応する出力バイトが有効にされる。クロックカウンタが一巡すると、完全な出力が 1 クロックサイクルに対して有効である。それぞれの計数値に対して、イネーブルビット E_i が演算される。

【0037】

図 7 は、データサンプルを選択するための、並列デシメーション回路の例示的なマルチプレクサ部である。上述したように、並列デシメーション回路は 16 個のそのようなマルチプレクサ 71 を並列に備える。これらのマルチプレクサは初期化時に設定され、次の設定まで変更されない。それぞれのマルチプレクサはデータバス D_0 から D_{W-1} 上のそれぞれのワードを受け取るために接続される。マルチプレクサは、図 5 に示される回路部で演算された値 M_i で設定される。マルチプレクサは正しい入力ワードを出力レジスタ 72 に送る。出力レジスタは、図 6 に示される回路部により演算されたイネーブルビット E_i で有効にされる。イネーブルビットは出力データを捕捉するための正しい時点を決断する。カウンタ 61 が一巡すると、完全な出力データセットができています。

【0038】

10

20

30

40

50

本発明の別の実施形態は複数の並列デシメーション回路を有するデシメーション装置である。次に、本デシメーション装置の例を図 8 ~ 10 を参照して説明する。本デシメーション装置は、上述した並列デシメーション回路の特徴を用いる、より高レベルの装置手法である。本デシメーション装置は、物理的に別々の IC 内にある、複数の同形の並列デシメーション回路を用いる。さらに、デシメーション装置からの出力は別々のメモリセグメントに送られる。この手法は D S O の総合スループットを高めることができる。

【 0 0 3 9 】

図 8 は、{ 1 0 , 0 } デシメーションを実施するための、本発明にしたがう複数の並列デシメーション回路を用いるデシメーション装置である。本装置は、3 個のインターリーブされるアナログ - デジタル変換器 (A D C) 8 1 及び 3 個の並列デシメーション回路 8 2 を備え、3 個のメモリセグメント 8 3 及び D S O マイクロプロセッサ 8 4 を利用する。波形が左側で入力され、波形をサンプリングされたデジタルデータに変換する 3 つの A D C の間で分割される。よって、A D C は 3 単位デシメートされた数列を発生する。データはプログラムされた通りにデシメーションをさらに実施する 3 個の並列デシメーション回路に入力され、それぞれの並列デシメーション回路の出力データはそれぞれのメモリセグメントに格納される。次いで、マイクロプロセッサが、メモリセグメントから所望の出力データを選択することができる。あるいは、デシメーション操作 8 2 の内の 1 つまたはそれより多くを、並列デシメーション回路ではなくソフトウェアで実施することができる。

10

【 0 0 4 0 】

図 8 のデシメーション装置により実施される数学操作を以下に説明する。目的は、1 0 単位デシメートされた完全なサンプル数列である、数列 { 1 0 , 0 } をつくることである。入力波形は、初め、データ数列 { 1 , 0 } として表される。これは入力波形の全てのサンプルを表す。しかし、サンプリングは A D C で行われるから、実際にはサンプルはまだつくりだされていない。上で論じたように、インターリーブされる A D C のそれぞれは完全な波形の 3 つ目のサンプル毎に測定するだけである。すなわち、A D C によって発生される数列には { 3 , 0 } , { 3 , 1 } 及び { 3 , 2 } とラベルがつけられる。数列の位相は任意であるが、互いに異ならなければならないことに注意されたい。本明細書で上に論じた定理、出力数列 { 1 0 , 0 } 及び A D C 数列を用いれば、それぞれのデシメーションブロックのそれぞれに必要な値を見いだすために、

20

$$\{ 1 0 , 0 \} = \{ 3 0 , 0 \} + \{ 3 0 , 1 0 \} + \{ 3 0 , 2 0 \} ,$$

30

$$\{ 1 0 , 0 \} = \{ 1 0 , 0 \} \{ 3 , 0 \} + \{ 1 0 , s \} \{ 3 , 1 \} + \{ 1 0 , t \} \{ 3 , 2 \}$$

にしたがって逆算することができる。上記の方程式は $s = 3$ 及び $t = 6$ のときに満たされる。したがって、デシメーションブロックは { 1 0 , 0 } , { 1 0 , 3 } 及び { 1 0 , 6 } にプログラムされなければならない。

【 0 0 4 1 】

デシメーション操作は交換が可能ではないことを思い出せば、順序付けが重要である。 s 及び t が整数でなければ、デシメーションは不可能である。デシメーション係数 (本例では 1 0) 及び A D C の個数 (3) が 1 より大きい最大公約数を有していれば、メモリセグメントを浪費しないでデシメーションを実施することは不可能である。最大公約数が 1 であればデシメーションが可能である。

40

【 0 0 4 2 】

図 9 及び 1 0 は、{ 1 0 , 0 } デシメーションを実施するための、本発明にしたがう複数のデシメーション回路 9 2 , 1 0 2 を用いる別の装置である。これらの装置は A D C の個数 (6) 及びデシメーション係数 (1 0) が最大公約数 2 を有する状況を示す。

【 0 0 4 3 】

図 9 に示されるように、第 2 , 第 4 及び第 6 の A D C 9 1 は最終数列へのデータに寄与しない。さらに、これらの A D C に付帯するメモリブロック 9 3 が浪費される、すなわち、これらのメモリブロック 9 3 は有用なデータを格納しない。この問題を解決するために、未使用のメモリブロックへの追加のデータ経路をつくることができるであろうが、これには費用がかかる。

50

【 0 0 4 4 】

図 10 では、複数の A D C 1 0 1 が同時にサンプリングできるように装置が改変されている。図示されるように、前の図 9 では使用できないデータを生成していた A D C が、ここでは冗長データを生成している。図 10 では、デシメーション回路 1 0 2 がデータをメモリセグメント 1 0 3 の全てに分配するために用いられ、よってこれらのセグメントの浪費が回避される。

【 0 0 4 5 】

本発明の好ましい実施形態を特定の関係を用いて説明したが、そのような記述は説明の目的のためでしかなく、添付される特許請求事項の精神及び範囲を逸脱することなく変更及び変形がなされ得ることは当然である。

【 図面の簡単な説明 】

【 0 0 4 6 】

【 図 1 】 本発明にしたがうデシメーション回路による入力データサンプルに関する { 5 , 2 } デシメーションを示す

【 図 2 】 本発明にしたがうデシメーション回路による入力データサンプルに関する { 1 0 , 2 } デシメーションを示す

【 図 3 】 本発明にしたがうデシメーション回路による入力データサンプルに関する { 4 0 , 2 } デシメーションを示す

【 図 4 】 図 1 ~ 3 に示される出力ラインを決定するための並列デシメーション回路のサンプル計数部である

【 図 5 】 入力バス幅 W を考慮するための並列デシメーション回路の法演算及び分割部である

【 図 6 】 イネーブルビット E_i を計算するための並列デシメーション回路のイネーブルビット部である

【 図 7 】 捕捉されるべきデータサンプルを選択するための並列デシメーション回路の例示的なマルチプレックス部である

【 図 8 】 { 1 0 , 0 } デシメーションを実施するための本発明にしたがう複数の並列デシメーション回路を用いる装置である

【 図 9 】 { 1 0 , 0 } デシメーションを実施するための本発明にしたがう複数の並列デシメーション回路を用いる別の装置である

【 図 10 】 { 1 0 , 0 } デシメーションを実施するための本発明にしたがう複数の並列デシメーション回路を用いるまた別の装置である

【 符号の説明 】

【 0 0 4 7 】

- 4 1 レジスタ
- 4 2 係数値
- 5 1 W 法演算部
- 5 2 W 分割部
- 6 1 法演算因数カウンタ
- 7 1 マルチプレクサ
- 7 2 出力レジスタ
- 8 1 , 9 1 , 1 0 1 A D C
- 8 2 , 9 2 , 1 0 2 デシメーション回路
- 8 3 , 9 3 , 1 0 3 メモリ
- 8 4 , 9 4 , 1 0 4 D S O マイクロプロセッサ

10

20

30

40

【図 1】

| | | | | | | | | | | | | | | | | |
|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|
| 95 | 94 | 93 | 92 | 91 | 90 | 89 | 88 | 87 | 86 | 85 | 84 | 83 | 82 | 81 | 80 | 5 |
| 79 | 78 | 77 | 76 | 75 | 74 | 73 | 72 | 71 | 70 | 69 | 68 | 67 | 66 | 65 | 64 | 4 |
| 63 | 62 | 61 | 60 | 59 | 58 | 57 | 56 | 55 | 54 | 53 | 52 | 51 | 50 | 49 | 48 | 3 |
| 47 | 46 | 45 | 44 | 43 | 42 | 41 | 40 | 39 | 38 | 37 | 36 | 35 | 34 | 33 | 32 | 2 |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 1 |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 0 |
| 77 72 67 62 57 52 47 42 37 32 27 22 17 12 7 2 | | | | | | | | | | | | | | | | 出力 |
| 4 4 4 3 3 3 2 2 2 2 1 1 1 0 0 0 | | | | | | | | | | | | | | | | クロック |
| 13 8 3 14 9 4 15 10 5 0 11 6 1 12 7 2 | | | | | | | | | | | | | | | | ローカル |

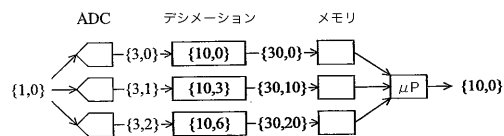
【図 2】

| | | | | | | | | | | | | | | | | |
|--|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|
| 95 | 94 | 93 | 92 | 91 | 90 | 89 | 88 | 87 | 86 | 85 | 84 | 83 | 82 | 81 | 80 | 5 |
| 79 | 78 | 77 | 76 | 75 | 74 | 73 | 72 | 71 | 70 | 69 | 68 | 67 | 66 | 65 | 64 | 4 |
| 63 | 62 | 61 | 60 | 59 | 58 | 57 | 56 | 55 | 54 | 53 | 52 | 51 | 50 | 49 | 48 | 3 |
| 47 | 46 | 45 | 44 | 43 | 42 | 41 | 40 | 39 | 38 | 37 | 36 | 35 | 34 | 33 | 32 | 2 |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 1 |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 0 |
| 152 142 132 122 112 102 92 82 72 62 52 42 32 22 12 2 | | | | | | | | | | | | | | | | 出力 |
| 9 8 8 7 7 6 5 5 4 3 3 2 2 1 0 0 | | | | | | | | | | | | | | | | クロック |
| 8 14 4 10 0 6 12 2 8 14 4 10 0 6 12 2 | | | | | | | | | | | | | | | | ローカル |

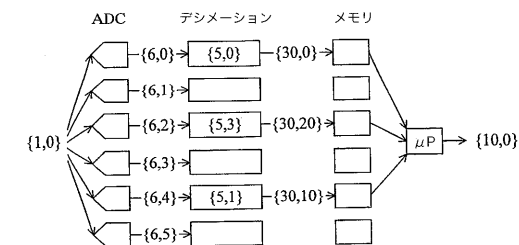
【図 3】

| | | | | | | | | | | | | | | | | |
|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|
| 95 | 94 | 93 | 92 | 91 | 90 | 89 | 88 | 87 | 86 | 85 | 84 | 83 | 82 | 81 | 80 | 5 |
| 79 | 78 | 77 | 76 | 75 | 74 | 73 | 72 | 71 | 70 | 69 | 68 | 67 | 66 | 65 | 64 | 4 |
| 63 | 62 | 61 | 60 | 59 | 58 | 57 | 56 | 55 | 54 | 53 | 52 | 51 | 50 | 49 | 48 | 3 |
| 47 | 46 | 45 | 44 | 43 | 42 | 41 | 40 | 39 | 38 | 37 | 36 | 35 | 34 | 33 | 32 | 2 |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 1 |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 0 |
| 600 562 522 482 442 402 362 322 282 242 202 162 122 82 42 2 | | | | | | | | | | | | | | | | 出力 |
| 37 35 32 30 27 25 22 20 17 15 12 10 7 5 2 0 | | | | | | | | | | | | | | | | クロック |
| 10 2 10 2 10 2 10 2 10 2 10 2 10 2 10 2 | | | | | | | | | | | | | | | | ローカル |

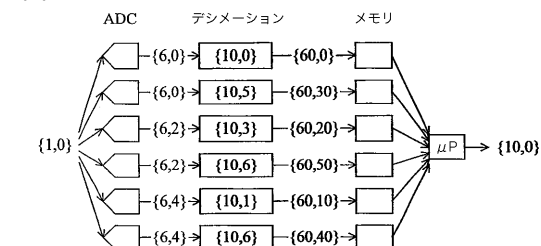
【図 8】



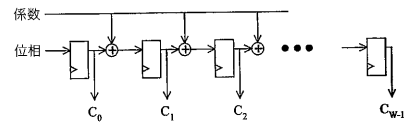
【図 9】



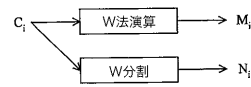
【図 10】



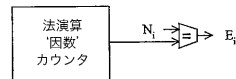
【図 4】



【図 5】



【図 6】



【図 7】

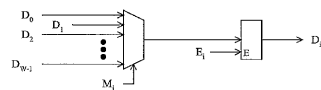


Figure 7

【 国際調査報告 】

| | | |
|--|--|---|
| INTERNATIONAL SEARCH REPORT | | International application No. PCT/US02/38525 |
| A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : G06F 17/17 US CL : 708/313 According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 708/313, 290; 341/61 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Continuation Sheet | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A | US 5,917,734 A (GAGLANI) 29 June 1999, Abstract. | 1-13 |
| A | US 5,262,970 A (SEVENHANS et al) 16 November 1993, Abstract. | 1-13 |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: | | |
| "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family | |
| Date of the actual completion of the international search 23 January 2003 (23.01.2003) | | Date of mailing of the international search report 11 FEB 2003 |
| Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703)305-3230 | | Authorized officer Chuong D Ngo <i>James R. Matthews</i> Telephone No. (703) 305-3900 |

INTERNATIONAL SEARCH REPORT

PCT/US02/38525

Continuation of B. FIELDS SEARCHED Item 3:

EAST

search terms: parallel, decimation, multiplexer

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ, GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE, ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,M Z,NO,NZ,OM,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW