(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 29/78
H01L 29/788
H01L 21/8247

(45) 공고일자 1998년12월15일
(11) 등록번호 특0164932
(24) 등록일자 1998년09월15일

(21) 출원번호 특1995-012590
(22) 출원일자 1995년05월19일
(65) 공개번호 특1996-002855
(43) 공개일자 1996년01월26일

(30) 우선권주장 94-119770 1994년06월01일 일본(JP)

(73) 특허권자 후지쓰 가부시끼가이샤 세끼자와 다다시
일본국 가나가와껭 가와사끼시 나가하라구 가미고다나까 1015반찌
(72) 발명자 고도오 꼬타로
일본국 가나가와껭 가와사끼시 나가하라구 가미고다나까 1015반찌 후지쓰 가부시끼가이샤내
타무라 히로타까
일본국 가나가와껭 가와사끼시 나가하라구 가미고다나까 1015반찌 후지쓰 가부시끼가이샤내
요시다 이끼라
일본국 가나가와껭 가와사끼시 나가하라구 가미고다나까 1015반찌 후지쓰 가부시끼가이샤내
(74) 대리인 문기상, 조기호

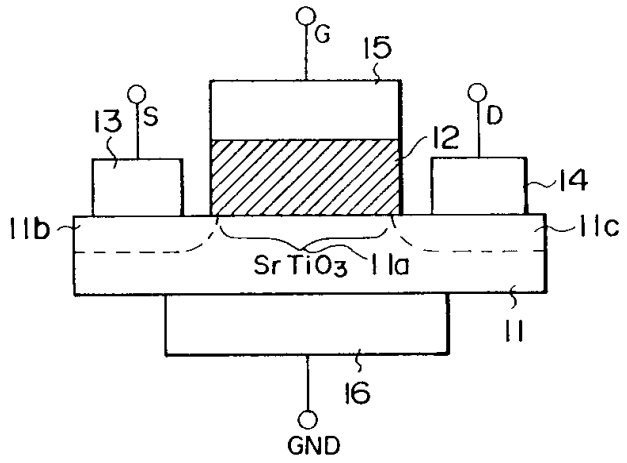
심사관 : 오세준

(54) 강유전체 메모리장치

요약

강유전체 메모리장치는 산소를 함유한 유전체 재료의 채널층과, 이 채널층내에 확정된 채널영역에 걸친 채널층 상에 형성된 소스 드레인전극과, 적어도 채널 영역을 덮도록 채널층상에 형성된 강유전체 메모리층과, 이 강유전체 메모리층상에 형성되어 거기에 전계를 인가하는 기입 제어전극을 포함한다.

대표도



명세서

[발명의 명칭]

강유전체 메모리장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 의한 강유전체 메모리 장치의 구성도.

제2도는 제1도의 메모리장치에 사용되는 강유전체의 히스테리시스 곡선을 나타낸 도면.

제3도는 본 발명의 제2실시예에 의한 강유전체 메모리장치의 구성도.

제4도는 본 발명의 제3실시예에 의한 강유전체 메모리 장치의 구성도.

제5도는 본 발명의 제4실시예에 의한 강유전체 메모리장치의 구성도.

제6도는 본 발명의 제5실시예에 의한 강유전체 메모리장치의 구성도.

제7도는 본 발명의 제6실시예에 의한 강유전체 메모리장치의 구성도.

제8도는 본 발명의 제7실시예에 의한 강유전체 메모리장치의 구성도.

[발명의 상세한 설명]

본 발명은 일반적으로 메모리장치에 관한 것이며, 특히 유전체막의 분극 형태로 정보를 저장하는 강유전체 메모리장치에 관한 것이다.

반도체 메모리는 대형 컴퓨터로부터 가전제품에 이르기까지 중앙연산처리장치(CPU)와 더불어 인간사회에 널리 사용되고 있다. 특히 DRAM은 메모리 용량이 급속히 증가하는 추세에 있다. 현재는 256Mbit 또는 1Gbit의 용량을 갖는 DRAM이 강력은 연구목표가 되고 있다.

한편 종래의 DRAM은 그 구조가 복잡하여, 그 때문에 그러한 메모리 용량의 증가는 앞으로 1~2세대내에 한계에 도달할 것으로 생각되었다. DRAM에서는 정보가 전하의 형태로 미소한 메모리 셀 커패시터에 저장되는데, 메모리장치의 미세화는 필연적으로 용량의 감소, 따라서 메모리 셀 커패시터에 저장되는 전하의 감소를 초래한다. 복잡한 구조의 커패시터를 고안하여 가능한 한 메모리 셀 커패시터 용량의 감소를 막으려는 시도는 있지만 그러한 접근방법에도 한계가 있다. 256Mbit 또는 그 이상의 메모리 용량을 갖는 DRAM을 실현하기 위해서는 새로운 원리에 입각한 반도체 메모리장치를 구성할 필요가 있다.

한편 전원이 끊어져도 정보를 보존할 수 있는 EPROM이나 플래시 메모리라 불리우는 불휘발성 반도체 메모리가 있다. 그러한 불휘발성 반도체 메모리는 조밀, 견고하고 저전력 소비형이므로 하드디스크 드라이브나 플로피디스크 등의 종래의 자기 메모리를 대신할 것으로 생각된다. 한편 그러한 종래의 불휘발성 반도체 메모리는 플로팅 게이트전극(floating gate electrode)에 정보를 전하의 형태로 저장하므로 그러한 종래의 불휘발성 반도체 메모리는 정보를 과도하게 소거하는 문제점을 피하기 위해 전하의 주입이나 제거에 정밀한 제어를 필요로 하는 결점이 있다. 또한 전하의 주입에 의한 데이터의 재기입 회수도 10^5~10^6회로 제한된다.

한편 강유전체 재료는 종래 DRAM에 사용되어 왔던 SiO_2 또는 SiN 등의 유전체 재료의 용량보다 수10배~수100배의 용량을 갖는다는 것은 주지의 사실이다. 또한 그러한 강유전체 재료는 자발분극(spontaneous polarization)을 구현하므로 강유전체 재료는 정보를 분극의 형태로 저장하는 데 사용된다. 강유전체의 자발분극은 전계가 제거되어도 없어지지 않으므로 강유전체 재료를 사용하여 불휘발성 반도체 메모리장치를 구성할 수가 있다.

강유전체막을 사용한 반도체 메로리장치로서 MFS(metal ferroelectric semiconductor) 트랜지스터라 불리우는 장치구조가 제안되어 있으며, 이 MFS 트랜지스터는 게이트 산화막을 강유전체막으로 대체한 것 외에는 MOSFET와 같은 구조를 갖는다. 이 트랜지스터에서는 상기한 유전체막에 정보가 분극의 형태로 저장된다. 예를 들어 강유전체 게이트에 단결정 TGS(trigricine sulfate)를 사용하는 구조가 제안되어 있다. 또한 Si MOS 트랜지스터의 게이트 산화막을 강유전체막으로 대체한 장치가 성공적으로 동작하였다는 보고도 있다.

게이트 산화막이 단순히 강유전체막으로 대체된 강유전체 반도체 메모리장치의 알려진 구조에서는 강유전체막을 Si 또는 GaAs 등의 반도체층상에 직접 층착시킬 필요가 있다. PZT 또는 $BaTiO_3$ 등과 같은 전형적인 산화물인 강유전체막을 비산화물의 반도체상에 직접 증착할 경우에는 유전체막으로부터의 산소원자가 반도체층으로 확산하는 문제가 생긴다. 따라서 확산된 산호원자에 의해 발생하는 결함으로 말미암아 전하가 반도체와 강유전체의 접촉면에서 멈추어버리는 적지않은 위험이 있다. 그러한 전하의 멈춤이 발생하면 메모리장치의 동작이 필연적으로 열화되어 불안정하게 된다. 또한 고품질의 강유전체막의 증착은 500℃ 이상의 증착온도를 요하며, 그러한 고온처리는 유전체막과 반도체층간에 다른 원소의 내부확산을 초래하는 경향도 있다.

신뢰성 있는 강유전체 반도체 메모리장치를 실현하기 위해서는 반도체층 및 강유전체막을 열화시키지 않는 강유전체 재료를 신중히 선택할 필요가 있었다.

또한 그러한 종래의 강유전체 반도체 메모리는 강유전체막에 분극이 생기도록 하기 위하여 게이트전극에 인가하는 전압이, 강유전체막에 실질적인 전계를 유도함이 없이 유전체막 밑의 반도체기판에, 구체적으로는 산호 혼입물이 함유된 기판의 표면부분에, 다소간에 직접 인가되는 결점이 있다. 강유전체막은 큰 비유전비율을 갖는 데 비해 반도체층은 그보다 훨씬 적은 비유전율을 갖는다는 점에 주목할 필요가 있다. 다시 말해서 게이트전극에 기입제어전압이 인가될 경우라도 강유전체막의 양단에는 많은 전압강하가 생기지 않는다. 따라서 종래의 강유전체 반도체 메모리장치에서는 큰 기입 제어전압을 필요로 하는 문제가 있었다.

따라서 본 발명의 일반적인 목적은 상기한 문제들을 해소한 강유전체 메모리장치를 제공하는 데 있다.

본 발명의 다른 그리고 보다 구체적인 목적은 장치를 제조할 때 메모리장치를 형성하는 재료가 열화하는 문제를 해결한 강유전체 메모리장치를 제공하는 데 있다.

본 발명의 다른 목적은 신뢰성이 있으며 재현성이 있게 제조할 수 있는 강유전체 메모리장치를 제공하는 데 있다.

본 발명의 다른 목적은 강유전체 분극의 형태로 정보를 저장하기 위한 강유전체 메모리장치에 있어서, 캐리어를 통하게 하는 산소를 함유한 유전체 재료의 채널층과; 상기 채널층상에 형성되어 상기 채널층에 캐리어를 주입하는 소스전극과; 상기 채널층상에 상기 소스전극과 분리되어 형성되어 상기 채널층으로부터

캐리어를 제거하는 드레인전극과; 상기 채널층내에서 캐리어의 통로로서 상기 소스전극과 상기 드레인전극간에 획정된 채널영역과; 상기 채널영역의 근방에 형성되어 적어도 상기 채널영역을 덮는 강유전체 메모리층과; 상기 강유전체 메모리층에 형성되어 상기 강유전체 메모리층에 전계를 인가하는 기입 제어수단을 포함하는 강유전체 메모리장치를 제공하는 데 있다.

본 발명에 의하면 강유전체 게이트 절연막으로부터 산소원자가 채널층으로 확산하는 문제를 채널층에 산화물을 사용함으로써 확실히 방지할 수가 있다. 예를 들어 산화물 채널층에 $SrTiO_3$ 또는 $MgAl_2O_4$ 등과 같은 페로브스카이트(perovskite) 또는 스피넬(spinel) 구조를 갖는 산화물을 사용할 수가 있다. 채널층에 비유전율이 큰 페로브스카이트 또는 스피넬 구조의 유전체 재료를 사용함으로써 강유전체막에 분극을 일으키는 데 충분한 큰 전계를 인가할 수가 있다. 또한 절연막으로부터 도전막에 이르기까지 여러 가지 레벨로 채널층을 도프할 수가 있다. 그리고 페로브스카이트 또는 스피넬 구조의 채널층은 강유전체 재료에 대해 정합성이 뛰어나므로 강유전체 게이트 절연막으로부터의 산화물 확산으로 인한 채널층에 결함이 생기는 문제를 성공적으로 해소할 수가 있다.

동작시의 정보 기입은 강유전체 게이트 절연막에 분극을 유도함으로써 이루어진다. 그러한 분극은 강유전체에 전계를 인가함으로써 달성할 수 있으며, 또 그러한 전계는 단지 예를 들어 강유전체 및 채널층상에 형성된 게이트전극의 양단에 전압을 인가함으로써 유도된다. 일단 유도되기만 하면 잘 알려진 강유전체의 히스테리시스 특성에 의해 전계가 사라진 후에도 이 분극은 유지된다.

정보의 판독시에는 선택된 메모리 셀에 대한 소스-드레인 전압 또는 전류가 검출된다. 강유전체막의 분극은 채널층 표면 근방에 형성된 채널영역의 전하에 영향을 미치므로 소스-드레인 콘덕턴스는 강유전체의 분극 상태에 따라 변화한다는 점에 주목할 필요가 있다. 다시 말해서 드레인 전압이나 전류를 검출함으로써 메모리 셀 트랜지스터에 기억된 2치 정보의 내용을 검출할 수가 있는 것이다.

본 발명의 다른 목적과 기타 특징은 도면을 참조한 아래와 같은 바람직한 실시예의 상세한 설명으로부터 명백해질 것이다.

[실시예]

제1도는 본 발명의 제1실시예에 의한 강유전체 메모리장치의 구성을 나타낸다.

제1도에서 반도체 메모리장치는 $10^{15}cm^{-3}$의 캐리어 농도 레벨로 0.006wt% Nb에 의해 n-형으로 도프되고, 채널영역(11a)에 대응하여 $PbTiO^3$ 또는 PZT($PbZrO_3$ 또는 $PbTiO_3$의 고용체)의 강유전체 게이트 절연막(12)이 형성된 $SrTiO_3$의 유전체 기판(11)을 포함한다. 또한 n^+-형의 소스 및 드레인영역(11b,11c)은 Ar 이온 빔 조사에 의해 산소의 감소를 유도함으로써 채널영역(11a) 양측의 기판(11)에 형성된다. 통산 기판(11)은 약 400㎛의 두께를 가지며, 반면 강유전체 게이트 절연막(12)은 약 100㎚의 두께를 갖는다.

강유전체 게이트 절연막(12)상에는 게이트 전압이 인가되는 게이트전극(15)이 형성된다. 또한 소스전극(13)과 드레인전극(14)은 소스영역(11b) 및 드레인영역(11c)에 대응하여 기판(11)상에 형성되어 기판(11)으로/으로부터 캐리어를 각각 주입/제거한다. 그리고 또한 기판(11)의 후면에는 전압이 가해지는 접지전극(16)이 형성되어 있다. 통상전극(13, 14)은 Nb, Y 및 W군으로부터 선택한 금속을 증착함으로써 형성되며, 이들 금속은 산화물에 증착되면 옴(ohmic)접촉 또는 저지항접촉을 형성한다. 반면에 게이트전극(15) 또는 접지전극(16)은 산화물에 증착되면 쇼트키(Schottky)접촉을 이루는 Au 또는 Pt로 형성한다. 따라서 전극(16)의 쇼트키접촉으로 인하여 기판(11)과 접지전극(16)간에 공핍영역(depletion region)이 형성된다.

제2도는 강유전체 게이트 절연막(12)의 히스테리시스를 나타낸다.

강유전체 게이트 절연막(12)의 분극 P와 거기에 인가되는 외부전계 E와의 관계를 나타낸 제2도에서 초기에는 분극이 없는 것으로 가정하고, 분극이 원점 O로부터 시작해서 처음에는 정의 방향으로 작용하는 외부전계 E의 강도의 증가에 의해 곡선 A를 따라 증가한다. 점 B_1에 도달한 후에 분극 P는 이제는 다음으로 부의 방향으로 작용하는 외부전계 E의 강도의 증가에 의해 곡선 C_1을 따라 점 B_2로 변화한다. 그후에 분극 P는 정의 방향으로 작용하는 전계 E에 의해 곡선 C_2를 따라 B_2로부터 상기의 B_1으로 변화한다. 이렇게 하여 강유전체 게이트 절연막(12)은 정의 큰 외부전계 E에 의해 분극된 후에는 외부전계 E가 제거된 후에도 분극 Pr를 유지한다. 마찬가지로 강유전체 게이트 절연막(12)은 부의 큰 외부전계 E에 의해 분극된 후에는 외부전계 -E가 제거된 후에도 분극 -Pr를 유지한다.

제2도의 관계는 제1도의 장치의 강유전체 게이트 절연막(12)이 자발분극의 형태로 2치 정보를 저장할 수 있다는 것을 나타낸다. 제1도의 장치에서, 게이트전극(15)과 접지전극(16)간에 강유전체 게이트 절연막(12)에서의 점 B_1또는 점 B_2에 대응하는 분극을 유도하는 데 충분한 크기의 정 또는 부의 기입 제어전압을 인가함으로써 그와 같은 정보를 용이하게 기입할 수가 있다.

일단 강유전체 게이트 절연막(12)이 +Pr 또는 -Pr로 분극되면 종래의 MOSFET의 게이트전극에 게이트전압이 인가되는 경우와 마찬가지로 채널영역(11a)에 대응하여 기판(11)에 전계를 유도하고, 소스영역(11b)과 드레인영역(11c)간의 캐리어의 흐름을 제어한다. 게이트전극(15)에 인가된 정의 전압에 의해 강유전체 게이트 절연막(12)이 분극될 경우에는 강유전체 게이트 절연막(12)은 그 하부 주면을 따라 부의 전하를 유도하고, 이 부의 전하는 종래의 n-채널 MOS 트랜지스터에 인가되는 정의 게이트전압의 경우와 마찬가지로 MOS 트랜지스터를 턴온(turn-on)하게 된다. 반면 게이트전극(15)에 인가된 부의 전압에 의해 강유전체 게이트 절연막(12)이 분극될 경우에는 강유전체 게이트 절연막(12)은 그 하부 주면을 따라 정의 전하를 유도하고, 이 정의 전하는 종래의 n-채널 MOS 트랜지스터에 인가되는 부의 게이트전압의 경우와 마찬가지로 MOS 트랜지스터를 턴오프(turn-off)하게 된다.

이렇게 하여 소스전극(13)과 드레인전극(14)간의 소스-드레인 전압을 검출함으로써 유전체 게이트 절연막의 분극 및 이에 따른 정보의 내용을 검출할 수가 있다. 전력이 끊어진 뒤에도 강유전체 게이트 절연막

(12)의 분극은 남아 있으므로 제1도의 장치는 비휘발성 반도체 메모리장치로서 작용한다.

본 실시예에서 $PbTiO_3$ 또는 PZT의 강유전체 게이트 절연막(12)은 Pb의 소스로 $Pb(DPM)_2$ 또는 $Pb(C_2H_5)_4$, Ti의 소스로 $Ti(i\text{-}C_3H_7O)_4$를 사용한 MOCVD 처리에 의해 $SrTiO_3$의 기판(11)상에 증착한다. 증착시에는 Zr의 소스로서 PZT, $Zr(DPM)_2$를 더 첨가한다. 증착은 통상 500℃ 이상의 온도에서 행한다. 이러한 경우에서도 기판(11)이 산화물인 $SrTiO_3$로 형성되어 있으므로 강유전체 게이트 절연막(12)과 기판(11)간의 내부간 산소 확산의 문제는 발생하지 않는다. 또 강유전체 게이트 절연막(12)를 스퍼터링 등의 PVD 처리에 의해 증착할 수도 있다.

제1도의 구조에서 기판(11)은 강유전체 게이트 절연막(12)의 비유전율에 필적할 만한 200~300급의 비유전율을 갖는다는 점에 주목할 필요가 있다. 따라서 전극(15,16)간에 인가된 전압은 기판으로서 Si를 사용한 종래의 구조에 비해 기판(11)과 강유전체 게이트 절연막(12)간에 보다 균일하게 분할될 수가 있다. 다시 말해서 게이트전극(15)에 인가된 전압은 강유전체 게이트 절연막(12)에 분극을 유도하는 전계 E를 만드는 데 효과적으로 이용될 수가 있다.

제1도의 구성에서 강유전체 게이트 절연막(12)은 단결 정상 또는 다결정상 중의 어느 것이어도 좋다. 또한 기판(11)은 $SrTiO_3$에 한정되지 않으며, 다른 적당한 유전체 재료도 사용할 수가 있다.

제3도는 본 발명의 제2실시예를 나타낸다.

제3도에서 반도체 메모리장치는 $PbTiO_3$의 기판(21)상에 채널층으로서 $SrTiO_3$층이 증착된 구성이다. 본 실시 예에서는 기판(21)이 $PbTiO_3$의 단결정으로 형성되고, $SrTiO_3$층(22)은 상기한 바와 마찬가지로 Sr 및 Ti의 소스로서 $Sr(DPM)_2$ 및 $Ti(i\text{-}C_3H_7O)_4$를 사용한 CVD 처리에 의해 에피택셜로 기판(21)상에 증착되며, 여기에서 $SrTiO_3$층(22)의 증착은 500℃ 이상의 온도에서 이루어진다.

채널층(22)의 상부 주면상에는 채널영역(22a)에 대응하여 Au 또는 Pt의 게이트전극(25)이 증착되고, 이 Au 또는 Pt의 게이트전극(25)은 채널층(22)에 대하여 쇼트키접촉을 이룬다. 그 결과, 게이트전극(25)과 채널층(22)간의 경계를 따라 공핍영역이 형성되어, 게이트전극(25)은 채널층(22)과 전기적으로 절연된다.

제3도의 구조에서 채널층(22)은 또한 Nb, Y, W의 소스전극(23)과 드레인전극(24)을 탑재하고, 이 채널층(22)은 전극(23,24)이 형성된 소스 및 드레인영역(22b,22c)에 대응하여 n^+-형으로 도프된다. 따라서 채널영역(22a)은 채널층(22)내에서 소스 및 드레인영역(22b,22c)간에 확정된다. 또한 기판(21)의 하부 주면에는 또다른 옴전극(26)이 형성되어 있다.

이 구조에서도 또한 강유전체 게이트전극(25)과 기판(21)의 후측의 옴전극(26)간에 기입 제어전압을 인가함으로써 강유전체막의 분극을 유도하여 정보를 기입할 수가 있다. 또한 소스영역(22b)와 드레인영역(22c)의 콘덕턴스를 검출함으로써 정보를 판독할 수가 있다.

제4도는 본 발명의 제3실시예에 의한 강유전체 메모리장치의 구조를 나타낸다.

제4도에서 메모리장치는 단결정 MgO의 기판(31)상에 구성되며, 기판(31)상에 에피택셜로 성장한 $SrTiO_3$의 채널층(32)를 포함한다.

채널층(32)은 n^+-형으로 도프한 소스영역(32b)과 드레인영역(32c), 그리고 이 소스영역(32b)과 드레인영역(32c)간에 확정된 채널영역(32a)을 포함한다. 채널영역(32a)상에는 그 위에 게이트전극(36)이 형성된 PZT 또는 $PbTiO_3$의 강유전체 게이트 절연막(33)이 형성된다. 또한 소스전극(34)과 드레인전극(35)은 소스영역(32b)과 드레인영역(32c)에 대응하여 채널층(32)의 상부 주면에 형성된다. 상기와 마찬가지로 소스 및 드레인전극(34,35)는 옴접촉을 형성하고, 게이트전극(36)은 쇼트키접촉을 형성한다. 소스가 접지된 회로에서는 소스전극(34)과 게이트전극(36)간에 게이트 전압이 인가된다.

제4도의 구조에서는 기판(31)으로 MgO를 사용함으로써 고온에서 산화물 채널층(32) 및 강유전체 게이트 절연막(33)을 증착할 수가 있다. 산화물 채널층(32) 또는 강유전체 게이트 절연막(33)의 증착은 스퍼터링 또는 CVD 처리에 의해 행한다. 또한 기판(31)으로 MgO 대신에 YSZ(yttrium stabilized airconia)를 사용할 수도 있다.

장치의 동작은 상술한 각 실시예와 거의 동일하므로 더 이상의 설명은 생략한다.

제5도는 본 발명의 제4실시예에 의한 강유전체 메모리장치의 구조를 나타낸다.

제5도에서 장치는 MgO의 기판(41)상에 Pt의 층(42)이 증착된 구성이다. Pt층(42)상에는 $SrTiO_3$의 채널층(43)이 형성되며, 이 채널층(43)내에 획정된 채널영역(43a)에 대응하며 PZT 또는 $PbTiO_3$의 강유전체 게이트 절연막(44)이 탑재되어 있다. 또한 채널층(43)상에는 채널영역(43a)의 양측에 형성된 n^+-형의 소스 및 드레인영역(43b,43c)에 각각 대응하여 강유전체 게이트 절연막(44)의 양측에 소스전극(45) 및 드레인전극(46)이 형성된다. 또한 강유전체 게이트 절연막(44)과 Pt층(42)의 노출부상에는 각각 게이트전극(47)과 접지전극(48)이 형성된다.

제5도에서는 $SrTiO_3$ 채널층(43)과 강유전체 게이트절연막(44)의 적층으로 형성된 구조의 상하측에 전극(42,47)이 형성되므로 강유전체 게이트 절연막(44)의 분극을 효과적으로 유도할 수 있는 전계를 인가할 수가 있다. 또한 제5도의 장치에서도 MgO기판(41) 대신에 YSZ를 이용할 수가 있다.

본 실시예의 다른 특징은 상술한 각 실시예로부터 명백하므로 그 이상의 설명은 생략한다.

제6도는 본 발명의 제5실시예에 의한 강유전체 메모리장치의 구조를 나타낸다.

제6도에서 장치는 제5도와 같이 MgO기판(41)과 유사한 MgO기판(51)상에 Pt층(52)를 형성한 구성이다.

Pt층(52)상에는 그 위에 $SrTiO_3$의 채널층(54)이 형성된 PZT 또는 $PbTiO_3$의 강유전체 게이트 절연막(53)이 형성된다. 상술한 각 실시예와 마찬가지로 채널층(54)은 n^+-형으로 도프된 소스 및 드레인영역(54b,54c)에 의해 옆으로 획정된 채널영역(54a)을 포함하고, 이 채널영역(54a)에 대응하여 채널층(54)상에 게이트 전극(57)이 형성된다. 또한 소스 및 드레인영역(54b, 54c)에 각각 대응하는 채널층(54)상에는 소스 및 드레인전극(55, 56)이 형성된다. 그리고 또한 Pt층(52)의 노출부상에는 접지전극(58)이 형성된다.

본 실시예의 다른 특징은 상술한 각 실시예로부터 명백하므로 더 이상의 설명은 생략한다.

제6도의 구조에서는 $SrTiO_3$ 채널층(54)과 강유전체게이트 절연막(53)의 적층으로 형성된 구조의 상하측에 전극(52, 57)이 형성되므로 강유전체 게이트 절연막(53)의 분극을 효과적으로 유도할 수 있는 전계를 인가할 수가있다. 또한 제6도의 장치에서도 MgO기판(51) 대신에 YSZ를 이용할 수가 있다.

제7도는 본 발명의 제6실시예에 의한 강유전체 메모리장치의 구조를 나타낸다.

제7도에서 장치는 MgO의 기판(61)상에 $SrTiO_3$의 채널층(62)이 형성된 구성이다. 채널층(62)은 실제로 n^+-형으로 도프된 하부층(62b)와 n^--형의 상부층(62a)을 포함하며, 이 하부층(62b)은 금속의 도전률과 동일한 도전률을 나타내는 도전층이고, 제5도의 실시예의 Pt층(42)와 같이 작용한다.

이러한 제7도의 구조에서는 채널층(62)의 상부층(62a)이 실제 채널층으로서 작용하며, 이 상부층(62a)상에는 상부층(62a)내에 획정된 채널영역(63a)에 대응하여 PZT 또는 $PbTiO_3$의 강유전체 게이트 절연막(64)이 형성된다. 또한 강유전체 게이트 절연막(64)상에는 게이트전극(67)이 형성된다. 한편 상부층(62a)의 양측에는 둘다 n^+-형인 소스영역(63b)과 드레인영역(63c)이 형성된다.

또한 상부층(62a)상에는 소스 및 드레인영역(63b,63c)과 각각 대응하여 소스전극(65)과 드레인전극(66)이 형성된다. 동시에 도전층(62b)상에는 접지전극(68)이 형성된다. 따라서 전극(65,66)은 상부층(62a)과 옴접촉을 이루는 한편 전극(67,68)은 강유전체 게이트 절연막(64) 및 도전층(62b)과 각각 쇼트키접촉을 형성한다.

제7도에서 층(62)은 MgO기판상에서 에피택셜로 성장한다는 점에 주목할 필요가 있다. 따라서 채널층(62a)은 제5도의 대응하는 구조에 비해 전자 전송이 고속으로 이루어지는 바람직한 특징을 제공한다.

본 실시예의 다른 특징은 상술한 각 실시예로부터 명백하므로 더 이상의 설명은 생략한다.

제8도는 본 발명의 제7실시예에 의한 강유전체 메모리장치의 구조를 나타낸다.

제8도에서 장치는 MgO의 기판(71)상에 PZT 또는 $PbTiO_3$의 강유전체 게이트 절연막(72)이 형성된 구조이다.

강유전체 게이트 절연막(72)는 실제로 n^+-형으로 도프된 하부층(72b)와 n^--형의 상부층(72a)을 포함하며, 이 하부층(72b)은 금속의 도전률과 동일한 도전률을 나타내는 도전층이고, 제6도의 실시예의 Pt층(52)와 같이 작용한다.

이렇게 하여 제8도의 구조에서는 채널층(72)의 상부층(72a)이 실제 강유전체층으로서 작용하며, 이 상부층(72a)상에는 제6도의 층(54)에 대응하여 $SrTiO_3$의 채널층(74)이 형성된다. 또한 채널층(74)상에는 채널층(74)내에 획정된 채널영역(74a)에 대응하여 게이트전극(77)이 형성되며, 이 채널층(74)은 채널영역(74a)의 양측에 둘다 n^+-형인 소스영역(74b)과 드레인영역(74c)을 포함한다.

또한 채널층(74)상에는 소스 및 드레인영역(74b,74c)과 각각 대응하여 소스전극(75)과 드레인전극(76)이 형성된다. 동시에 도전층(72b)상에는 접지전극(78)이 형성된다. 따라서 전극(75,76)은 채널층(74)과 옴접촉을 이루고, 한편 전극(77,78)은 채널층(74)의 채널영역(74a) 및 도전층(72b)과 각각 쇼트키접촉을 형성한다.

제8도에서 층(72)은 MgO기판상에서 에피택셜로 성장한다는 점에 주목할 필요가 있다. 따라서 채널층(74)은 제6도의 대응하는 구조에 비해 전자 전송이 고속으로 이루어지는 바람직한 특징을 제공한다.

본 실시예의 다른 특징은 상술한 각 실시예로부터 명백하므로 더 이상의 설명은 생략한다.

(57) 청구의 범위

청구항 1

강유전체 분극의 형태로 정보를 저장하기 위한 강유전체 메모리장치에 있어서, 캐리어를 통과하게 하며 산소를 함유하는 유전체 재료의 채널층과; 상기 채널층상에 형성되어 상기 채널층내로 캐러어를 주입하는 소스전극과; 상기 채널층상에 상기 소스전극과 분리되어 형성되어 상기 채널층으로부터 캐리어를 제거하는 드레인전극과; 상기 소스전극에 대응하여 상기 채널층내에 획정되며, 채널영역에 비해 산소가 공핍된 소스영역과; 상기 드레인전극에 대응하여 상기 채널층내에 획정되며, 채널영역에 비해 산소가 공핍된 드레인영역과; 캐리어의 통로로서 상기 채널층내에 상기 소스영역과 상기 드레인영역간에 획정된 채널영역과; 상기 채널영역에 인접하여 형성되어 적어도 상기 채널영역을 덮는 강유전체 메모리층과; 상기 강유전체 메모리층에 형성되어 상기 강유전체 메로리층에 전계를 인가하는 기입 제어수단을 포함하는 것을 특징으로 하는 강유전체 메모리장치.

청구항 2

제1항에 있어서, 상기 채널층은 페로브스카이트 구조 또는 스피넬 구조를 가진 산화물로 된 것을 특징으

로 하는 강유전체 메모리장치.

청구항 3

제1항에 있어서, 상기 채널층은 $SrTiO_3$으로 된 것을 특징으로 하는 강유전체 메모리장치.

청구항 4

강유전체 분극의 형태로 정보를 저장하기 위한 강유전체 메모리장치에 있어서, 캐리어를 통과하게 하며 산소를 함유하는 유전체 재료의 채널층과; 상기 채널층상에 형성되어 상기 채널층내로 캐리어를 주입하는 소스전극과; 상기 채널층상에 상기 소스전극과 분리되어 형성되어 상기 채널층으로부터 캐리어를 제거하는 드레인전극과; 캐리어의 통로로서 상기 채널층내에 상기 소스전극과 상기 드레인전극간에 획정된 채널영역과; 상기 채널영역에 인접하여 형성되어 적어도 상기 채널영역을 덮는 강유전체 메모리층과; 상기 강유전체 메모리층에 형성되어 상기 강유전체 메모리층에 전계를 인가하는 기입 제어수단을 포함하며, 상기 기입 제어수단은 상기 강유전체 메모리층과 접촉하는 제1제어전극과 상기 채널층과 접촉하는 제2제어전극을 포함하는 것을 특징으로 하는 강유전체 메모리장치.

청구항 5

제4항에 있어서, 상기 제1 및 제2제어전극은 상기 강유전체 메모리층 및 상기 채널층과 각각 쇼트키접촉을 이루는 것을 특징으로 하는 강유전체 메모리장치.

청구항 6

제4항에 있어서, 상기 강유전체 메모리층은 증가된 캐리어 밀도의 도전영역을 포함하며, 상기 도전영역은 상기 제1제어전극으로서 작용하는 것을 특징을 하는 강유전체 메모리장치.

청구항 7

제4항에 있어서, 상기 채널층은 증가된 캐리어 밀도의 도전영역을 포함하여, 상기 도전영역은 상기 제2제어전극으로서 작용하는 것을 특징으로 하는 강유전체 메모리장치.

청구항 8

제1항에 있어서, 상기 강유전체 메모리장치는 상기 채널층으로서 유전체 재료의 기판을 포함하며, 상기 기판은 그 상부 주면상에 상기 소스전극, 상기 드레인 전극 및 상기 강유전체 메모리층을 탑재하고, 상기 강유전체 메모리층은 MOS 트랜지스터의 게이트 절연막으로서 작용하며, 상기 기입 제어수단은 상기 강유전체 메모리층상에 게이트전극으로서 형성된 제1제어전극과 상기 기판의 하부 주면에 형성된 제2제어전극을 포함하는 것을 특징으로 하는 강유전체 메모리장치.

청구항 9

제1항에 있어서, 상기 강유전체 메모리장치는 상기 강유전체 메모리층으로서 강유전체 재료의 기판을 포함하며, 상기 기판은 그 상부 주면상에 채널층을 탑재하고, 상기 채널층은 그 상부 주면상에 상기 소스 및 드레인전극을 탑재하며, 상기 기입 제어수단은 상기 채널층의 상부 주면상에 게이트전극으로서 형성된 제1제어전극과 상기 기판의 하부 주면상에 형성된 제2제어전극을 포함하는 것을 특징으로 하는 강유전체 메모리장치.

청구항 10

제1항에 있어서, 상기 강유전체 메모리장치는 상부 및 하부 주면을 갖는 절연기판을 포함하며, 상기 기판은 상기 상부 주면상에 상기 채널층을 탑재하고, 상기 채널영역에 대응하여 상기 강유전체 메모리층이 상기 채널층의 상부 주면상에 형성되며, 상기 채널층은 또한 그 상부 주면상에 상기 소스 및 드레인전극을 탑재하고, 상기 기입 제어수단은 상기 강유전체 메모리층상에 형성된 제1기입 제어전극과 상기 기판의 상기 하부 주면상에 형성된 제2기입 제어전극을 구비하는 것을 특징으로 하는 강유전체 메모리장치.

청구항 11

제1항에 있어서, 상기 강유전체 메모리장치는 그 위에 도전층을 탑재한 절연기판을 포함하며, 상기 도전층은 그 상부주면상에 상기 채널층을 탑재하고, 상기 채널층은 그 위에 강유전체 메모리층을 탑재하며, 또 상기 기입 제어수단은 상기 강유전체 메모리층상에 형성된 제1기입 제어전극과 상기 도전층의 상기 상부 주면상에 형성된 제2기입 제어전극을 구비하는 것을 특징으로 하는 강유전체 메모리장치.

청구항 12

제11항에 있어서, 상기 도전층은 금속으로 된 것을 특징으로 하는 강유전체 메모리장치.

청구항 13

제11항에 있어서, 상기 도전층은 채널층과 동일한 성분을 갖는 유전체층으로 구성되며, 상기 유전체층은 금속의 도전율을 갖도록 도프되는 것을 특징으로 하는 강유전체 메모리장치.

청구항 14

제1항에 있어서, 상기 강유전체 메모리장치는 그 위에 도전층을 탑재한 절연기판을 포함하며, 상기 도전층은 상기 강유전체 메모리층이 형성된 상부 주면을 가지며, 상기 강유전체 메모리층은 그 위에 상기 채널층을 탑재하고, 상기 채널층은 그 위에 상기 소스 및 드레인전극을 탑재하며, 상기 기입 제어수단은 상기 채널층상에 상기 채널영역에 대응하여 형성된 제1제어전극과 상기 도전층의 상기 상부 주면상에 형성

된 제2제어전극을 구비하는 것을 특징으로 하는 강유전체 메모리장치.

청구항 15

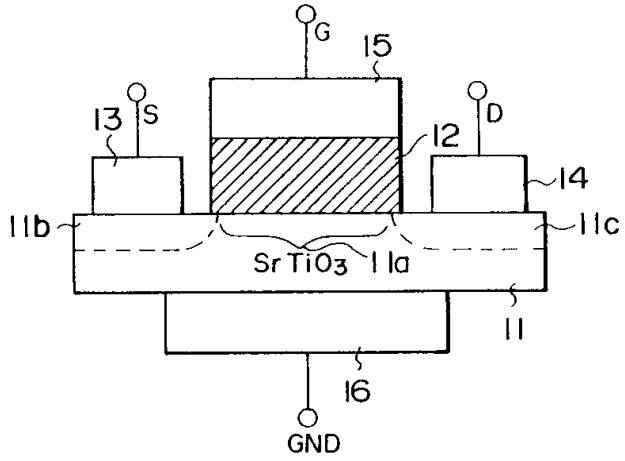
제14항에 있어서, 상기 도전층은 금속으로된 것을 특징으로 하는 강유전체 메모리 장치.

청구항 16

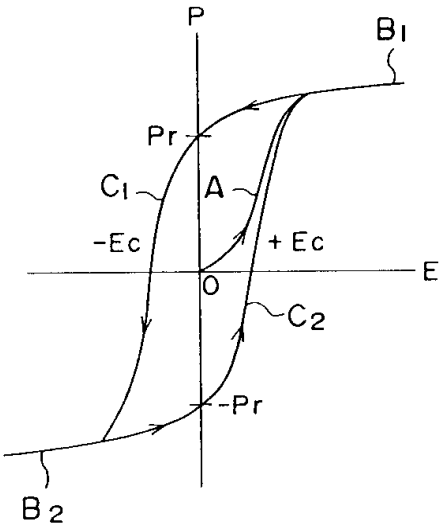
제14항에 있어서, 상기 도전층은 강유전체 메모리층과 동일한 성분을 갖는 강유전체층으로 구성되며, 상기 유전체층은 금속의 도전율을 갖도록 도프되는 것을 특징으로 하는 강유전체 메모리장치.

도면

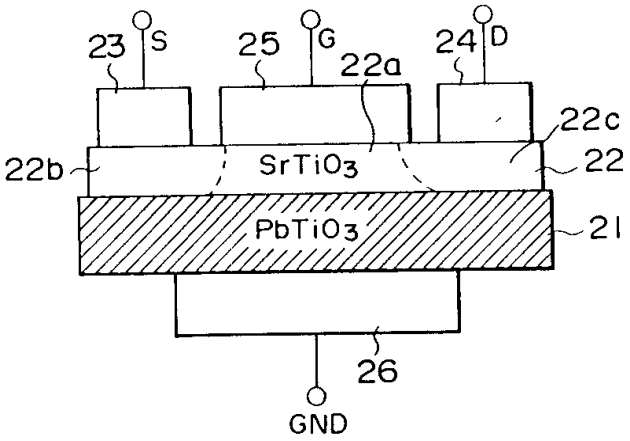
도면1



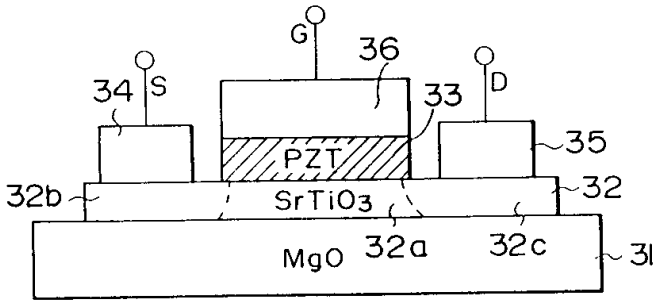
도면2



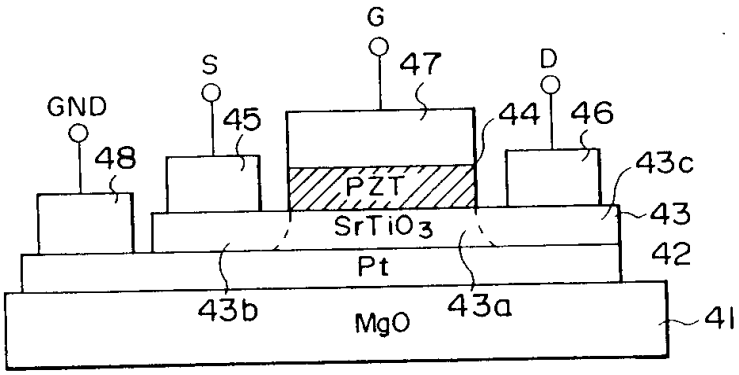
도면3


23
S
25
G
22a
24
D
22c
22b
SrTiO3
22
PbTiO3
21
26
GND

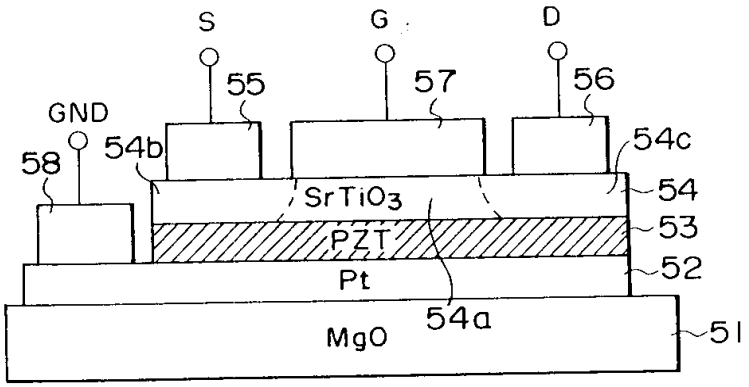
도면4


G
36
34
S
33
D
35
PZT
32b
SrTiO3
32
MgO
32a
32c
31

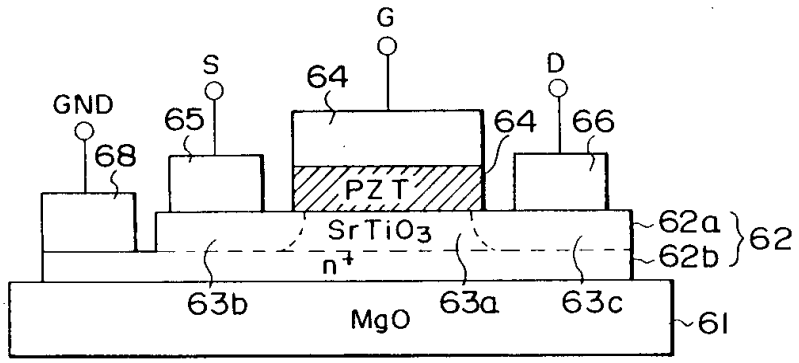
도면5


G
47
S
D
GND
45
44
46
48
43c
PZT
43
SrTiO3
42
Pt
43b
MgO
43a
41

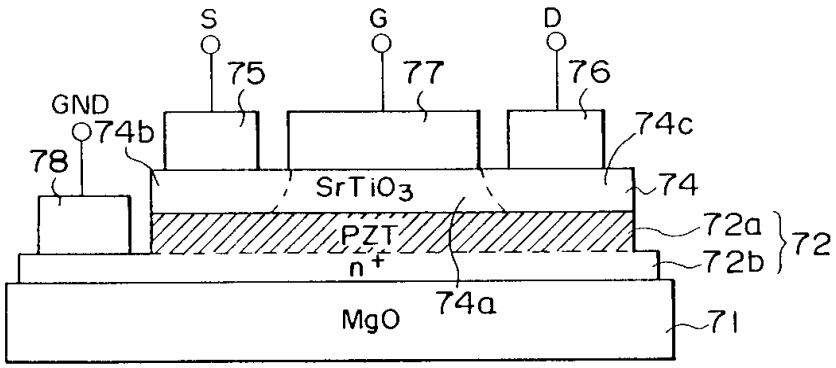
도면6


S
G
D
55
57
56
GND
58
54b
54c
54
SrTiO3
53
PZT
52
Pt
54a
MgO
51

도면7


G
S
64
D
GND
65
64
66
68
PZT
62a
62
SrTiO3
62b
n+
63b
63a
63c
MgO
61

도면8


S
G
D
75
77
76
GND
74b
74c
78
74
SrTiO3
72a
72
PZT
72b
n+
74a
MgO
71