



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I756767 B

(45)公告日：中華民國 111 (2022) 年 03 月 01 日

(21)申請案號：109126133

(22)申請日：中華民國 106 (2017) 年 02 月 22 日

(51)Int. Cl. : **G11C29/44 (2006.01)****G11C29/52 (2006.01)****G06F11/28 (2006.01)**

(30)優先權：2016/03/03 美國 62/303,343
 2016/03/03 美國 62/303,347
 2016/03/03 美國 62/303,349
 2016/03/03 美國 62/303,352
 2016/06/08 美國 62/347,569
 2016/07/18 美國 15/213,386

(71)申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
 南韓

(72)發明人：張牧天 CHANG, MU-TIEN (TW)；牛迪民 NIU, DIMIN (CN)；鄭宏忠 ZHENG, HONGZHONG (CN)；林璇漢 LIM, SUN YOUNG (KR)；金寅東 KIM, INDONG (KR)；崔璋石 CHOI, JANGSEOK (KR)

(74)代理人：林孟閱；盧佩君；陳怡如

(56)參考文獻：

US	7620783B2	US	8261136B2
US	8737148B2	US	2008/0082750A1
US	2015/0268959A1		

審查人員：李惟任

申請專利範圍項數：17 項 圖式數：17 共 55 頁

(54)名稱

控制記憶體陣列的方法

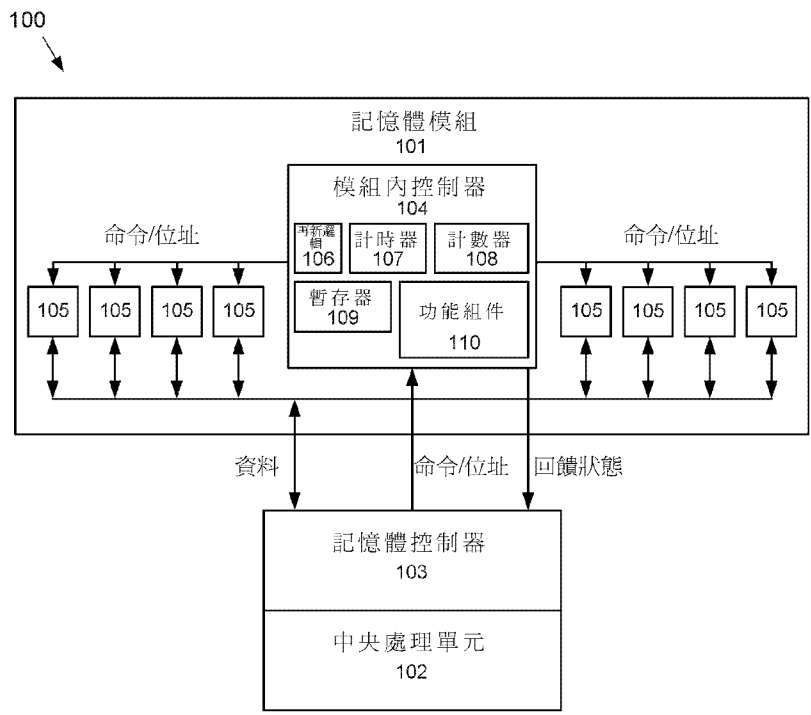
(57)摘要

本發明提供一種記憶體模組，包含記憶體陣列、介面以及控制器。記憶體陣列包含記憶體胞元陣列且經配置為雙行記憶體模組 (DIMM)。DIMM 包含已自標準 DIMM 腳位組態被改變用途以將記憶體裝置的操作狀態介接至主機裝置的多個連接件。介面耦接至記憶體陣列以及 DIMM 的多個連接件以將記憶體陣列介接至主機裝置。控制器耦接至記憶體陣列以及介面，且控制記憶體陣列的再新操作、記憶體陣列的錯誤校正操作、記憶體陣列的記憶體清洗操作以及陣列的耗損位準控制操作中的至少一者，且控制器用以與主機裝置介接。

A memory module includes a memory array, an interface and a controller. The memory array includes an array of memory cells and is configured as a dual in-line memory module (DIMM). The DIMM includes a plurality of connections that have been repurposed from a standard DIMM pin out configuration to interface operational status of the memory device to a host device. The interface is coupled to the memory array and the plurality of connections of the DIMM to interface the memory array to the host device. The controller is coupled to the memory array and the interface and controls at least one of a refresh operation of the memory array, control an error-correction operation of the memory array, control a memory scrubbing operation of

the memory array, and control a wear-level control operation of the array, and the controller to interface with the host device.

指定代表圖：



符號簡單說明：

- 100:系統
- 101:記憶體模組
- 102:主體系統中央處理單元(CPU)
- 103:記憶體控制器
- 104:模組內控制器
- 105:記憶體晶片
- 106:再新邏輯(RL)
- 107:計時器
- 108:計數器
- 109:暫存器
- 110:功能組件

【圖 1】



I756767

【發明摘要】

【中文發明名稱】控制記憶體陣列的方法

【英文發明名稱】METHOD TO CONTROL MEMORY ARRAY

【中文】本發明提供一種記憶體模組，包含記憶體陣列、介面以及控制器。記憶體陣列包含記憶體胞元陣列且經配置為雙行記憶體模組（DIMM）。DIMM包含已自標準DIMM腳位組態被改變用途以將記憶體裝置的操作狀態介接至主機裝置的多個連接件。介面耦接至記憶體陣列以及DIMM的多個連接件以將記憶體陣列介接至主機裝置。控制器耦接至記憶體陣列以及介面，且控制記憶體陣列的再新操作、記憶體陣列的錯誤校正操作、記憶體陣列的記憶體清洗操作以及陣列的耗損位準控制操作中的至少一者，且控制器用以與主機裝置介接。

【英文】A memory module includes a memory array, an interface and a controller. The memory array includes an array of memory cells and is configured as a dual in-line memory module (DIMM). The DIMM includes a plurality of connections that have been repurposed from a standard DIMM pin out configuration to interface operational status of the memory device to a host device. The interface is coupled to the memory array and the plurality of connections of the DIMM to interface the memory array to the host device. The controller is coupled to the memory array and the interface and controls at least one of a refresh operation of the memory array, control an error-correction operation of the memory array, control a memory scrubbing operation of the

memory array, and control a wear-level control operation of the array, and the controller to interface with the host device.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：系統

101：記憶體模組

102：主體系統中央處理單元（CPU）

103：記憶體控制器（MC）

104：模組內控制器

105：記憶體晶片

106：再新邏輯（RL）

107：計時器

108：計數器

109：暫存器

110：功能組件

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 控制記憶體陣列的方法

【英文發明名稱】 METHOD TO CONTROL MEMORY ARRAY

【技術領域】

【0001】 本揭露內容是關於記憶體裝置 (memory device)。更特定言之，本揭露內容是關於一種包括支援及/或管理模組內再新特徵 (in-module refresh feature)、模組內 ECC 功能性 (in-module ECC functionality)、模組內清洗 (in-module scrubbing) 及/或模組內耗損均衡管理 (in-module wear-leveling management) 的記憶體模組 (memory module) 的記憶體裝置。

【先前技術】

【0002】 記憶體可靠性、可用性與可維護性 (reliability, availability and serviceability ; RAS) 特徵已傳統上由中央處理單元 (central processing unit ; CPU) 及/或記憶體控制器 (memory controller ; MC) 在系統層級 (system level) 下執行及/或管理。在一些組態中，CPU 與 MC 為主機系統 (host system) 的單獨組件。在其他組態中，CPU 與 MC 成整體。如本文中所使用，縮寫字 CPU/MC 意謂 CPU 及/或 MC。舉例而言，CPU/MC 已傳統上將再新命令發送至系統記憶體的動態隨機存取記憶體 (dynamic random access memory ; DRAM) 以起始 DRAM 的再新。使用錯誤校正碼 (error correcting code ; ECC) 的錯誤校正已亦傳統上由 CPU/MC 讀取個

別記憶體位置、使用 ECC 來校正資料且接著重寫資料而執行。已傳統上由 CPU/MC 執行的另一 RAS 特徵為系統記憶體的「清洗」，其中 CPU/MC 定期地讀取系統記憶體的區、校正錯誤（使用 ECC）且將經校正資料寫回至系統記憶體的區。已傳統上由 CPU/MC 執行的又一 RAS 特徵為耗損均衡管理，其中 CPU/MC 使用例如寫入計數表（write-count table）以及重新映射表（remap table）來重新映射非揮發性記憶體的記憶體頁，以使用讀取命令以及寫入命令來調換記憶體頁以平衡非揮發性記憶體中的耗損。

【發明內容】

【0003】 一實施例提供一種記憶體模組，其可包括：記憶體陣列；介面，耦接至記憶體陣列以將記憶體陣列介接至主機裝置，其中介面可包括已自標準雙行記憶體模組腳位組態（standard dual in-line memory module pin out configuration）被改變用途以將記憶體裝置的回饋狀態資訊介接至主機裝置的多個連接件；以及控制器，耦接至記憶體陣列以及介面，其中控制器可用以控制記憶體陣列的再新操作、記憶體陣列的錯誤校正操作、記憶體陣列的記憶體清洗操作以及陣列的耗損位準控制操作（wear-level control operation）中的至少一者，且控制器可用以經由介面自主機裝置接收命令且回應於經接收命令而經由介面將與由控制器在接收到命令時控制的操作相關的回饋狀態資訊提供至主機裝置。

【0004】 另一實施例提供一種記憶體模組，其可包括：記憶體陣列，包括記憶體胞元（memory cell）陣列，其中記憶體胞元陣列可包含動態隨機存取記憶體（DRAM）以及非揮發性隨機存取記

憶體 (non-volatile random access memory ; NVRAM)，且記憶體陣列可經配置為雙行記憶體模組 (dual in-line memory module ; DIMM)；以及控制器，耦接至記憶體陣列，控制器可用以控制記憶體陣列的再新操作、記憶體陣列的錯誤校正操作、記憶體陣列的記憶體清洗操作以及陣列的耗損位準控制操作中的至少一者，且控制器可用以經由可包括已自標準雙行記憶體模組腳位組態被改變用途的多個連接件的介面將與正由控制器控制的操作相關的狀態資訊提供至主機裝置。

【0005】 一實施例提供一種記憶體模組，其可包括：記憶體陣列，包括記憶體胞元陣列，其中記憶體陣列可經配置為雙行記憶體模組 (DIMM)，且 DIMM 可包含已自標準 DIMM 腳位組態被改變用途以將記憶體裝置的操作狀態介接至主機裝置的多個連接件；介面，耦接至記憶體陣列以及 DIMM 的多個連接件以將記憶體陣列介接至主機裝置；以及控制器，耦接至記憶體陣列以及介面，控制器可用以控制記憶體陣列的再新操作、記憶體陣列的錯誤校正操作、記憶體陣列的記憶體清洗操作以及陣列的耗損位準控制操作中的至少一者，且用以將與耗損位準控制操作相關的回饋控制資訊提供至主機裝置。

【圖式簡單說明】

【0006】 在以下章節中，將參考諸圖所說明的例示性實施例來描述本揭露的態樣，在諸圖中：

圖 1 描繪包含根據本揭露的記憶體模組的實施範例的系統的功能方塊圖。

圖 2 描繪根據本揭露的記憶體通道中的記憶體模組連接器的實施範例的腳位，其中被選定接腳已被改變用途以傳達 RAS 回饋狀態資訊。

圖 3A 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內再新操作而提供操作協調的信號序列的實施範例。

圖 3B 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內再新特徵而提供操作協調的信號序列的另一實施範例。

圖 4A 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內 ECC 操作而提供操作協調的信號序列的實施範例。

圖 4B 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內 ECC 操作且發生錯誤校正失敗而提供操作協調的信號序列的實施範例。

圖 5A 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內清洗操作而提供操作協調的信號序列的實施範例。

圖 5B 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內清洗操作而提供操作協調的信號序列的另一實施範例。

圖 5C 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內清洗操作而提供操作協調的信號序列的又一實施範例。

圖 6A 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內耗損均衡操作而提供操作協調的信號序列的實施範例。

圖 6B 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內耗損均衡操作而提供操作協調的信號序列的另一實施範例。

圖 7 描繪根據本揭露的在 CPU/MC 與記憶體模組之間的介面的實施範例，其中 RAS 回饋狀態訊息經由 DQ（資料）匯流排來傳達。

圖 8 描繪根據本揭露的經由 DQ 匯流排來傳達 RAS 回饋狀態訊息的方法的流程圖。

圖 9 描繪根據本揭露的使用 MRS 命令來配置記憶體模組以讀取 RAS 回饋狀態訊息的方法的流程圖。

圖 10 描繪根據本揭露的在使用 DQ 匯流排以傳達回饋狀態資訊的情況下的 RAS 回饋狀態訊息的實例配置。

圖 11 描繪根據本揭露的用作 D_RDY 信號的 ALERT_n 接腳的信號圖的實例。

圖 12 描繪根據本揭露的記憶體通道中的記憶體模組連接器的另一實施範例的腳位，其中被選定接腳已被改變用途以傳達與 D_RDY 信號相關聯的狀態資訊，諸如但不限於快取資訊。

圖 13 描繪根據本揭露的異動叢發（Transaction Burst；TB）命令的信號流程。

圖 14 描繪根據本揭露的異動狀態（Transaction Status；TS）訊息的信號流程。

圖 15 描繪根據本揭露的讀取狀態（Read Status；RS）傳回訊息的實例配置。

圖 16 描繪根據本揭露的實施例的包括支援及/或管理模組內再新特徵、模組內 ECC 功能性、模組內清洗及/或模組內耗損均衡管理且提供與主機裝置的操作協調的記憶體模組的電子裝置。

圖 17 描繪根據本揭露的實施例的可包括支援及/或管理模組內再新特徵、模組內 ECC 功能性、模組內清洗及/或模組內耗損均衡管理且提供與主機裝置的操作協調的記憶體模組的記憶體系統。

【實施方式】

【0007】 本揭露是關於一種支援及/或管理模組內再新特徵、模組內 ECC 功能性、模組內清洗及/或模組內耗損均衡管理且提供與主機裝置的操作協調的記憶體模組。

【0008】 在以下詳細描述中，闡述眾多特定細節以便提供對本揭露內容的透徹理解。然而，在本領域具有知識者應理解，可在無此等特定細節的情況下實踐所揭露的態樣。在其他情況下，為了不混淆本文中所揭露的主題，尚未詳細地描述熟知的方法、程序、組件以及電路。

【0009】 貫穿本說明書對「一個實施例」或「一實施例」的參考意謂結合此實施例所描述的特定特徵、結構或特性包含於本文中所揭露的至少一個實施例中。因此，片語「在一個實施例中」或「在一實施例中」或「根據一個實施例」（或具有相似意思的其他片語）貫穿本說明書在各種位置的出現未必全部指代同一實施

例。如本文中所使用，詞語「例示性」意謂「充當實例、例子或說明」。不應將本文中被描述為「例示性」的任何實施例認作必定比其他實施例較佳或有利。此外，在一或多個實施例中，可以任何合適方式組合特定特徵、結構或特性。再者，取決於本文中的論述的上下文，單數術語可包含對應複數形式，且複數術語可包含對應單數形式。應進一步注意，本文中所展示以及論述的各種圖（包含組件圖）是僅出於說明性目的，且未按比例繪製。相似地，僅出於說明性目的而展示各種波形以及時序圖。

【0010】 如本文中所使用的術語「第一」、「第二」等等用作其後的名詞的標籤，且並不暗示任何類型的排序（例如，空間、時間、邏輯等等），除非有如此明確定義。此外，可跨越兩個或多於兩個圖使用相同圖式元件符號以指代具有相同或相似功能性的部件、組件、區塊、電路、單元或模組。然而，此類用法是僅出於說明簡單以及論述簡易起見；其並不暗示此類組件或單元的建構或架構細節跨越所有實施例皆相同，或並不暗示此類通常參考的部件/模組為用以實施本文中所揭露的特定實施例的教示的唯一方式。

【0011】 如本文中所使用，術語「模組」意謂個別地或集體地可體現為較大系統的部分的電路系統，例如但不限於積體電路（integrated circuit；IC）、包括體現為一或多個積體電路的電路系統的總成、系統單晶片（system-on-chip；SoC）等等。如本文中所使用，術語以及縮寫字「中央處理單元」、「CPU」、「記憶體控制器」、「MC」以及「CPU/MC」指代提供 CPU 及/或 MC 的主機系統功能性的一或多個裝置。亦應理解，術語以及縮寫字「中央處理單元」、「CPU」、「記憶體控制器」、「MC」與「CPU/MC」可

取決於上下文而互換。

【0012】 本揭露是關於一種支援及/或管理模組內再新特徵、模組內 ECC 功能性、模組內清洗及/或模組內耗損均衡管理且提供與主機裝置的操作協調的記憶體模組。在一個實施例中，如本文中所揭露的記憶體模組提供記憶體模組與 CPU/MC 之間的協調，以使用模組內 RAS 特徵來維持及/或增強系統記憶體的效能、功率消耗、系統健康情況以及可靠性。在一個實施例中，提供模組內 RAS 特徵的記憶體模組可體現為雙行記憶體模組（DIMM）。在一個實施例中，根據本揭露的記憶體模組提供在初始化時為可選擇地可配置的協調選項，且提供可選擇的且可由主機 CPU/MC 使用以例如最佳化系統效能及/或系統功率消耗的報告機制的內容。

【0013】 圖 1 描繪包含根據本揭露的記憶體模組 101 的實施範例的系統 100 的功能方塊圖。除了記憶體模組 101 以外，系統 100 亦包含主機系統 CPU 102。系統 CPU 102 可包含與記憶體模組 101 成整體的記憶體控制器 103。替代地，記憶體控制器 103 可與 CPU 102 分離。

【0014】 記憶體模組 101 可體現為與同步雙資料速率（double data rate；DDR）相容的非揮發性雙行記憶體模組（non-volatile dual in-line memory module；NVDIMM）。在另一實施例中，記憶體模組 101 可體現為與同步 DDR4 相容的 NVDIMM。在又一替代性實施例中，記憶體模組 101 可以不同於 DIMM 的組態予以體現。

【0015】 記憶體模組 101 與 CPU 102/MC 103 在操作中藉由介面而以通信方式彼此耦接，經由此介面，CPU 102/MC 103 將命令與位址（Cmd/Addr）以及資料發送至記憶體模組 101，且記憶體模組

101 將資料以及 RAS 回饋狀態資訊（或訊息）發送至 CPU 102/MC 103。RAS 回饋狀態資訊可用以協調由記憶體模組 101 提供的 RAS 特徵與 CPU 102/MC 103 的操作。

【0016】 記憶體模組 101 包含模組內控制器(in-module controller) 104，以及可在一個實施例中經配置為非揮發性記憶體晶片(non-volatile memory chip)的多個記憶體晶片 105。在一個實施例中，每一記憶體晶片 105 可經配置為包含一非揮發性記憶體胞元陣列。在一替代性實施例中，記憶體晶片 105 可經配置為 DRAM 記憶體晶片，其中每一記憶體晶片 105 可經配置為包含一 DRAM 記憶體胞元陣列。在又一替代性實施例中，記憶體晶片 105 可經配置為一或多個非揮發性記憶體胞元陣列的組合，諸如非揮發性隨機存取記憶體（NVRAM）以及一或多個 DRAM 記憶體胞元陣列。在又一替代性實施例中，記憶體晶片 105 中的一或多者可經配置為包含一或多個動態隨機存取記憶體場可程式化閘陣列(dynamic random access memory field programmable gate array；DRAM-FPGA)。

【0017】 模組內控制器 104 接收以及處理來自 CPU 102/MC 103 的命令與位址資訊，且將命令與位址資訊傳達至多個記憶體晶片 105。在 CPU 102/MC 103 與多個記憶體晶片 105 之間雙向地傳達資料。在一個實施例中，資料路徑可穿過模組內控制器 104，且在另一實施例中，資料可穿過不包含模組內控制器 104 的路徑。

【0018】 模組內控制器 104 可經配置以提供一或多個模組內 RAS 特徵，諸如模組內再新特徵、模組內 ECC 特徵、模組內清洗特徵，及/或模組內耗損均衡特徵。模組內控制器 104 可包括再新邏輯

(refresh logic ; RL) 106、一或多個計時器 107、一或多個計數器 108、一或多個暫存器 109，及/或其他功能組件 110，諸如但不限於表、驅動器、記憶體陣列以及邏輯，以上各者使模組內控制器 104 能夠提供一或多個模組內 RAS 特徵。在一個實施例中，模組內控制器 104 可經配置以將與模組內 RAS 特徵相關的 RAS 回饋狀態資訊提供至協調記憶體模組 101 以及 CPU 102/MC 103 的操作的 CPU 102/MC 103。在另一實施例中，記憶體模組 101 可經配置以經由資料路徑來提供 RAS 回饋狀態資訊，如結合圖 7 至圖 10 所描述。

【0019】 在記憶體模組 101 經配置為 NVDIMM 的實施例中，記憶體模組 101 可包含在連接器上的接腳（或連接件），此等接腳（或連接件）已被改變用途以傳達與由記憶體模組 101 提供的模組內 RAS 特徵相關的 RAS 回饋狀態資訊。舉例而言，在一個實施例中，記憶體模組連接器的五（5）個接腳可被改變用途以傳達 RAS 回饋狀態資訊。在另一實施例中，記憶體模組連接器的八（8）個接腳可被改變用途以傳達 RAS 回饋狀態資訊。在又一實施例中，被改變用途的連接器接腳的數目可不同於根據本文中所揭露的主題的記憶體模組連接器的實例五個或八個接腳。如本文中所使用，術語「改變用途（repurpose）」以及「被改變用途（repurposed）」意謂連接器接腳的功能性以及信號方向兩者已自針對所述接腳的先前所建立的功能性以及信號方向改變。

【0020】 圖 2 描繪根據本揭露的記憶體通道 200 中的記憶體模組連接器的實例實施例的腳位，其中被選定接腳已被改變用途以傳達 RAS 回饋狀態資訊。更具體言之，圖 2 描繪通信通道 200 的兩

個記憶體模組 201 及 202 的實施範例的腳位，其中記憶體模組 201 及 202 的記憶體模組連接器的五（5）個接腳已被改變用途以將 RAS 回饋狀態資訊傳達至記憶體控制器 203。儘管圖 2 描繪記憶體控制器 203，但應理解，記憶體控制器 203 可由 CPU 及/或具有整體記憶體控制器的 CPU 替換。

【0021】如由圖 2 中的點線所描繪，五個實例連接器接腳 ODT[1]、CKE[1]、CS_n[1]、CK_N[1]及 CK_P[1]已被改變用途以將 RAS 回饋狀態資訊傳達至記憶體控制器 203。在八個連接器接腳已被改變用途以將 RAS 回饋狀態資訊傳達至記憶體控制器的實施例中，實例連接器接腳可包含 ODT[1]、CKE[1]、CS_n[1]、CK_N[1]、CK_P[1]、RFU[144]（未圖示）、RFU[205]（未圖示）及 RFU[207]（未圖示）。應理解，根據本揭露，記憶體模組的其他連接器接腳可被改變用途以將 RAS 回饋狀態資訊傳達至記憶體控制器。2016 年 3 月 3 日申請的美國臨時專利申請案第 62/303,349 號中提供與被改變用途的連接器接腳相關的額外細節，此美國臨時專利申請案的揭露內容的全文是以引用的方式併入本文中。

【0022】RAS 回饋狀態資訊被傳達所遍及的循環（cycle）的數目可由特定記憶體模組判定，及/或可由 CPU/MC 在記憶體模組的初始化時選擇性地配置。所傳達的 RAS 回饋狀態資訊的特定組態可取決於 RAS 回饋狀態資訊被傳達所遍及的循環的數目而變化。舉例而言，若五（5）個連接器接腳被改變用途（諸如圖 2 所描繪），則在一個實施例中可遍及三（3）個循環傳送 RAS 回饋狀態資訊。在此狀況下，RAS 回饋狀態資訊可包含 15 個資訊位元。作為八（8）個連接器接腳被改變用途的另一實例，RAS 回饋狀態資訊可包含

16 個資訊位元且使用兩（2）個循環以傳送 RAS 回饋狀態資訊。
應理解，輸送 RAS 回饋狀態資訊的循環的數目及/或位元的數目並不限於本揭露的實例。

【0023】 RAS 回饋狀態資訊可用以藉由向 CPU/MC 通知無效存取來協調記憶體模組與 CPU/MC 之間的操作，及/或可用以報告經記錄統計。另外，RAS 回饋狀態資訊可含有關於原因、位址以及提示的類別的資訊，如下文結合表 2 以及表 4 至表 7 更詳細地所描述。

【0024】 表 1 闡述五個連接器接腳已被改變用途的實施範例的一些資訊，以及八個連接器接腳已被改變用途的實施範例的對比資訊。先前所提及的 2016 年 3 月 3 日申請的美國臨時專利申請案第 62/303,349 號中提供與被改變用途的連接器接腳相關的額外細節，此美國臨時專利申請案的揭露內容的全文是以引用的方式併入本文中。

表 1 –連接器接腳改變用途的兩個實施範例。

可用於回饋狀態資訊的接腳的總數目	5	8
用於回饋狀態資訊的被改變用途的接腳	ODT[1]、CKE[1]、CS_n[1]、CK_N[1]及 CK_P[1]	ODT[1]、CKE[1]、CS_n[1]、CK_N[1]、CK_P[1]、RFU[144]、RFU[205]及 RFU[207]
速度	單資料速率	單資料速率
回饋潛時	3 個循環	2 個循環
針對階層位址被改變用途的接腳	[CS2_n, C0] → [CS1_n, C0] [CS3_n, C1] → [CS2_n, C1] C2 → [CS3_n, C2]	[CS3_n, C1] → [CS1_n, C1] C2 → [CS3_n, C2]
限制	無 DDP 支援 4 個階層/通道 最大 8 個邏輯 R/C 支援： 1 個階層× 1 至 4 個堆疊 1 至 4 個階層× 1 個堆疊	無 DDP 支援 4 個階層/通道 最大 8 個邏輯 R/C 支援： 1 個階層× 1 至 4 個堆疊 1 至 4 個階層× 1 個堆疊
註釋	可在 JEDEC 3D 堆疊組織改變	可在 JEDEC 3D 堆疊組織改變

	的情況下具有高達 8 個 R/C	的情況下具有高達 8 個 R/C
--	------------------	------------------

【0025】 圖 3A 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內再新操作而提供操作協調的信號序列 300 的實施範例。圖 3B 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內再新特徵而提供操作協調的信號序列 310 的另一實施範例。

【0026】 在一個實施例中，圖 3A 及圖 3B 的個別信號序列在記憶體模組的初始化時為可選擇的。在圖 3A 的信號序列中，模組內再新操作對於記憶體控制器是透通的，此是因為記憶體模組忽略啟動命令以便完成再新操作。自記憶體控制器的觀點來看，僅僅花費較長時間來使啟動命令完成以及使記憶體控制器發出讀取命令或寫入命令。在圖 3B 的信號序列中，模組內再新操作藉由提供指示再新操作在進展中的回饋狀態訊息而對自記憶體控制器接收的啟動命令作出回應。作為回應，記憶體控制器可在等待啟動命令完成時排程其他請求及/或操作及/或進行上下文切換（context switch）。在一個實施例中，記憶體控制器發送設置命令，設置命令選擇性地將模組內控制器置於信號序列 300 或信號序列 310 被選擇以用於在模組內再新操作期間對啟動命令作出回應的模式中。在一個實施例中，與模組內再新操作相關的回饋狀態訊息的特定內容可在記憶體模組的初始化時為可選擇的。

【0027】 在圖 3A 中，頂部部分描繪自記憶體控制器（MC）發送至記憶體模組（MM）的信號或訊息，而底部部分描繪自記憶體模組發送至記憶體控制器的信號或訊息。在圖 3A 中的 301 處，指示記憶體模組正執行模組內再新操作。在 302 處，記憶體控制器將

啟動 ACT 命令發送至記憶體模組。在記憶體模組執行模組內再新操作時，忽略啟動命令且不中斷再新操作。在 303 處，記憶體模組完成模組內再新操作。在 304 處，記憶體模組發送記憶體模組準備好讀取 RD 命令的 RAS 回饋狀態訊息。在 305 處，記憶體控制器將讀取命令發送至記憶體模組。在 306 處，記憶體模組藉由輸出對應於已接收的讀取命令的資料來作出回應。

【0028】 在圖 3B 中，頂部部分描繪自記憶體控制器發送至記憶體模組的信號或訊息，而底部部分描繪自記憶體模組發送至記憶體控制器的信號或訊息。在圖 3B 中的 311 處，記憶體模組正執行模組內再新操作。在 312 處，記憶體控制器將啟動 ACT 命令發送至記憶體模組。在 313 處，記憶體模組發送指示記憶體模組正執行再新操作且用於使記憶體控制器在再新操作完成之後再試的 RAS 回饋狀態訊息。記憶體控制器可在再新操作完成時排程其他請求及/或操作及/或進行上下文切換，以便協調操作與記憶體模組。RAS 回饋狀態訊息可包含與正經歷再新操作的記憶體的階層/組 (rank/bank) 的識別相關的資訊。在 314 處，記憶體模組完成模組內再新操作。在 315 處，記憶體模組發送再新操作完成的 RAS 回饋狀態訊息。RAS 回饋狀態訊息可包含已完成再新操作的記憶體的階層/組的識別。在 316 處，記憶體控制器將啟動 ACT 命令發送至記憶體模組。在 317 處，記憶體模組發送記憶體模組準備好讀取命令的 RAS 回饋狀態訊息。在 318 處，記憶體控制器將讀取 RD 命令發送至記憶體模組。在 319 處，記憶體模組藉由輸出對應於已接收的讀取命令的資料來作出回應。

【0029】 圖 4A 描繪在記憶體控制器與記憶體模組之間以根據本

揭露的記憶體模組執行模組內 ECC 操作而提供操作協調的信號序列 400 的實施範例。圖 4B 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內 ECC 操作而提供操作協調的信號序列 410 且發生錯誤校正失敗的實施範例。

【0030】 在圖 4A 的信號序列中，模組內錯誤校正操作是由記憶體模組執行。在圖 4B 的信號序列中，模組內錯誤校正操作是再次由記憶體模組執行，但在此特定信號序列中發生錯誤校正失敗，且回饋狀態訊息指示錯誤已被偵測到，但未被校正。在一個實施例中，與模組內錯誤校正操作相關的回饋狀態訊息的特定內容可在記憶體模組的初始化時為可選擇的。

【0031】 在圖 4A 中，頂部部分描繪自記憶體控制器發送至記憶體模組的信號或訊息，而底部部分描繪自記憶體模組發送至記憶體控制器的信號或訊息。在圖 4A 中的 401 處，記憶體控制器將啟動 ACT 命令發送至記憶體模組。在 402 處，記憶體模組藉由發送指示 ECC 操作已被執行且準備好讀取 RD 命令的 RAS 回饋狀態訊息來作出回應。RAS 回饋狀態訊息可包含錯誤已被校正的記憶體位置的位址資訊。記憶體控制器可記錄錯誤校正事件。在 403 處，記憶體控制器發送讀取命令。在 404 處，記憶體模組輸出對應於讀取命令的資料。在此信號序列中，CPU/MC 以正常方式發出讀取命令以及寫入命令，而 ECC 是由記憶體模組執行。

【0032】 在圖 4B 中，頂部部分描繪自記憶體控制器發送至記憶體模組的信號或訊息，而底部部分描繪自記憶體模組發送至記憶體控制器的信號或訊息。在圖 4B 中的 411 處，記憶體控制器將啟動 ACT 命令發送至記憶體模組。在 412 處，記憶體模組藉由發送指

示 ECC 操作已失敗且錯誤未被校正的 RAS 回饋狀態訊息來作出回應。另外，RAS 回饋狀態訊息可包含識別錯誤已發生且未被校正的位置的位址資訊。在 413 處，記憶體控制器（或 CPU）可記錄錯誤及/或採取適當動作。在此信號序列中，CPU/MC 以正常方式發出讀取命令以及寫入命令，而 ECC 是由記憶體模組執行。記憶體模組嘗試未能校正錯誤，但指示錯誤已被偵測到以及所偵測到的錯誤的位址，且指示 CPU/MC 可採取適當動作。

【0033】 圖 5A 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內清洗操作而提供操作協調的信號序列 500 的實施範例。圖 5B 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內清洗操作而提供操作協調的信號序列 510 的另一實施範例。圖 5C 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內清洗操作而提供操作協調的信號序列 520 的又一實施範例。

【0034】 在一個實施例中，圖 5A 至圖 5C 的個別信號序列在記憶體模組的初始化時為可選擇的。在圖 5A 的信號序列中，模組內清洗操作被描繪為基本操作，其中記憶體模組提供指示清洗操作在進行中以及清洗操作何時完成的回饋狀態訊息。在圖 5B 的信號序列中，模組內清洗操作包含指示清洗操作在進行中的回饋狀態訊息。清洗操作可被正常存取中斷。清洗操作在清洗操作被中斷的位置處繼續，且發送指示正執行清洗操作的 RAS 回饋狀態訊息。在圖 5C 的信號序列中，模組內清洗操作優先於正常存取。回應於指示清洗操作在進展中的回饋狀態訊息，記憶體控制器可在等待啟動命令完成時排程其他請求及/或操作及/或進行上下文切換。在

一個實施例中，與模組內清洗操作相關的回饋狀態訊息的特定內容亦可在記憶體模組的初始化時為可選擇的。

【0035】 在圖 5A 中，頂部部分描繪自記憶體控制器發送至記憶體模組的信號或訊息，而底部部分描繪自記憶體模組發送至記憶體控制器的信號或訊息。在圖 5A 中的 501 處，記憶體模組將指示正執行清洗操作的 RAS 回饋訊息發送至記憶體控制器。在清洗操作期間，記憶體模組定期地自記憶體的區讀取資料、使用 ECC 來校正任何錯誤，且將經校正資料重寫至記憶體的區。對於信號序列的此實施例，清洗操作優先，且在正執行清洗操作時，記憶體控制器可記錄清洗事件。記憶體控制器可在清洗操作期間排程其他請求及/或操作及/或進行上下文切換。在 502 處，記憶體模組將清洗操作完成的 RAS 回饋訊息發送至記憶體控制器。若 RAS 回饋訊息指示清洗操作完成，且亦指示一或多個錯誤被偵測到（以及其個別位址），但未被校正，則記憶體控制器可採取適當動作。

【0036】 在圖 5B 中，頂部部分描繪自記憶體控制器發送至記憶體模組的信號或訊息，而底部部分描繪自記憶體模組發送至記憶體控制器的信號或訊息。在圖 5B 中的 511 處，記憶體模組將指示正執行清洗操作的 RAS 回饋訊息發送至記憶體控制器。在 512 處，記憶體控制器將中斷清洗操作的啟動命令發送至記憶體模組。在 513 處，記憶體模組發送記憶體模組準備好讀取 RD 命令的 RAS 回饋狀態訊息。在 514 處，記憶體控制器將讀取命令發送至記憶體模組。在 515 處，記憶體模組藉由輸出對應於已接收的讀取命令的資料來作出回應。在 516 處，記憶體模組在清洗操作被中斷的位置處繼續清洗操作，且將指示正執行清洗操作的 RAS 回饋狀

態訊息發送至記憶體控制器。記憶體控制器可再次中斷清洗操作，如 512 及 513 處所描繪。在 517 處，記憶體模組將清洗操作完成的 RAS 回饋訊息發送至記憶體控制器。若 RAS 回饋訊息指示清洗操作完成，亦指示一或多個錯誤被偵測到（以及其個別位址），但未被校正，則記憶體控制器可採取適當動作。

【0037】 在圖 5C 中，頂部部分描繪自記憶體控制器發送至記憶體模組的信號或訊息，而底部部分描繪自記憶體模組發送至記憶體控制器的信號或訊息。在圖 5C 中的 521 處，記憶體模組將指示正執行清洗操作的 RAS 回饋訊息發送至記憶體控制器。對於信號序列的此實施例，清洗操作優先，且在正執行清洗操作時，記憶體控制器可記錄清洗事件且可排程其他請求及/或操作及/或進行上下文切換。在 522 處，記憶體控制器將啟動（ACT）命令發送至記憶體模組。在 523 處，記憶體模組將指示正執行清洗操作的 RAS 回饋狀態訊息發送至記憶體控制器。RAS 回饋狀態訊息可包含指示在清洗操作完成之前的時間長度（潛時）的資訊。記憶體控制器可基於所指示的潛時而等待，或可進行上下文切換。在 524 處，記憶體模組將清洗操作完成的 RAS 回饋訊息發送至記憶體控制器。若 RAS 回饋狀態訊息指示清洗操作完成，且亦指示一或多個錯誤被偵測到（以及其個別位址），但未被校正，則記憶體控制器可採取適當動作。在 525 處，記憶體控制器將啟動 ACT 命令發送至記憶體模組。在 526 處，記憶體模組發送記憶體模組準備好讀取命令的 RAS 回饋狀態訊息。在 527 處，記憶體控制器將讀取 RD 命令發送至記憶體模組。在 528 處，記憶體模組藉由輸出對應於已接收的讀取命令的資料來作出回應。

【0038】 圖 6A 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內耗損均衡操作而提供操作協調的信號序列 600 的實施範例。圖 6B 描繪在記憶體控制器與記憶體模組之間以根據本揭露的記憶體模組執行模組內耗損均衡操作而提供操作協調的信號序列 610 的另一實施範例。

【0039】 在一個實施例中，圖 6A 及圖 6B 的各別信號序列在記憶體模組的初始化時為可選擇的。在圖 6A 的信號序列中，所描繪的模組內耗損均衡操作優先於正常存取。記憶體模組發送指示耗損均衡操作在進展中的回饋狀態訊息，且記憶體控制器可在等待啟動命令完成時排程其他請求及/或操作及/或進行上下文切換。在圖 6B 的信號序列中，模組內耗損均衡操作回應於啟動命令而提供指示耗損均衡操作在進行中的回饋狀態訊息，但耗損均衡操作優先，且耗損均衡操作未被中斷。回應於回饋狀態，記憶體控制器可在等待啟動命令完成時排程其他請求及/或操作及/或進行上下文切換。在耗損均衡操作完成時由記憶體模組發送回饋狀態訊息，且記憶體控制器可開始正常存取。在一個實施例中，與模組內耗損均衡操作相關的回饋狀態訊息的特定內容可在記憶體模組的初始化時為可選擇的。

【0040】 在圖 6A 中，頂部部分描繪自記憶體控制器發送至記憶體模組的信號或訊息，而底部部分描繪自記憶體模組發送至記憶體控制器的信號或訊息。在圖 6A 中的 601 處，記憶體模組將指示正執行耗損均衡操作的 RAS 回饋訊息發送至記憶體控制器。在耗損均衡操作期間，記憶體模組使用例如寫入計數表以及重新映射表來重新映射非揮發性記憶體的記憶體頁，以調換記憶體頁來平衡

非揮發性記憶體中的耗損。對於信號序列的此實施例，耗損均衡操作優先。在正執行耗損均衡操作時，記憶體控制器可記錄耗損均衡事件。另外，記憶體控制器可排程其他請求及/或操作。在 602 處，記憶體模組將耗損均衡操作完成的 RAS 回饋訊息發送至記憶體控制器。

【0041】 在圖 6B 中，頂部部分描繪自記憶體控制器發送至記憶體模組的信號或訊息，而底部部分描繪自記憶體模組發送至記憶體控制器的信號或訊息。在圖 6B 中的 611 處，記憶體模組將指示正執行耗損均衡操作的 RAS 回饋訊息發送至記憶體控制器。對於信號序列的此實施例，耗損均衡操作優先，且在正執行耗損均衡操作時，記憶體控制器可記錄耗損均衡事件且可排程其他請求及/或操作及/或進行上下文切換。在 612 處，記憶體控制器將啟動命令發送至記憶體模組。在 613 處，記憶體模組將指示正執行耗損均衡操作以及在耗損均衡操作完成之後再試的 RAS 回饋狀態訊息發送至記憶體控制器。RAS 回饋訊息可包含指示在耗損均衡操作完成之前的時間長度（潛時）的資訊。記憶體控制器可基於所指示的潛時而等待，或可進行上下文切換。在此信號序列中的 614 處，記憶體模組將耗損均衡操作完成的 RAS 回饋訊息發送至記憶體控制器。在 615 處，記憶體控制器將啟動命令發送至記憶體模組。在 616 處，記憶體模組發送記憶體模組準備好讀取命令的 RAS 回饋狀態訊息。在 617 處，記憶體控制器將讀取 RD 命令發送至記憶體模組。在 618 處，記憶體模組藉由輸出對應於已接收的讀取命令的資料來作出回應。

【0042】 表 2 包含可含於 RAS 回饋狀態訊息中的實例資訊，連同

可由 CPU/MC（亦即，主機）採取的潛在對應動作。

表 2 – 實例 RAS 狀態資訊

- 無效存取的通知：
- 由於快取讀取未中（主機動作：等待 NVM 存取）
 - 由於再新（主機動作：等待再新完成或 NVM 存取）
 - 由於耗損均衡（主機動作：在 NVDIMM 指定時間之後再試）
 - 由於垃圾回收（garbage collection）（主機動作：在 NVDIMM 指定時間之後再試）
 - 由於至備用記憶體之資料遷移（主機動作：在 NVDIMM 指定時間之後再試）
 - 由於無法復原的錯誤
- 報告記錄檔：
- 所偵測到的錯誤的數目
 - 所校正的錯誤的數目
 - 寫入失敗的數目
 - 失敗的階層的數目
 - 耗損均衡事件的數目
 - 垃圾回收事件的數目

【0043】 返回參看五（5）個連接器接腳被改變用途的實例，可由五個被改變用途的連接器接腳輸送且使用四（4）個循環的實例 RAS 回饋狀態訊息可如表 3 中所展示而配置。

表 3 – RAS 回饋狀態訊息的實例。

位元	4	3	2	1	0
循環 0	同步	TID[5:4]		成功	同位
循環 1	TID[3:0]				同位
循環 2	狀態碼類型[1:0]		狀態碼[5:4]		同位
循環 3	狀態碼[3:0]				同位

【0044】 在表 3 中所展示的實例 RAS 回饋狀態訊息中，同步指示 RAS 狀態訊息為新回饋封包。TID 指示異動識別（transaction identification（ID）），其可相似於位址。同位指示可用以保護 RAS 回饋狀態訊息的資訊。應理解，可在適宜時定義已針對表 3 的 RAS 回饋狀態訊息被改變用途的五個接腳的識別。

【0045】 表 4 至表 7 包含可含於 RAS 回饋狀態訊息中的額外實例資訊。

表 4 –實例 RAS 回饋狀態訊息資訊。

成功	狀態碼類型 [1:0]	狀態碼（操作） [5:3]	狀態碼（再試） [2:1]	描述
0x0	0x00	0x000	0x00	具有特定 TID 的記憶體中的嚴重錯誤
			0x01 至 0x11	RFU
			0x00 至 0x11	RFU
	0x01	0x000	0x00 至 0x11	RFU
		0x001	0x00	具有無法校正的錯誤的啟動失敗
			0x01 至 0x11	RFU
		0x010	0x00	在 GC 之後的啟動失敗（容量失敗，嚴重）
			0x01	RFU
			0x10	由於 GC 的啟動失敗，以小潛時再試
			0x11	由於 GC 的啟動失敗，以大潛時再試
		0x011	0x00	在 WL 之後的啟動失敗（容量失敗，嚴重）
			0x01	RFU
			0x10	由於 WL 的啟動失敗，以小潛時再試
			0x11	由於 WL 的啟動失敗，以大潛時再試
		0x100	0x00 至 0x01	RFU
			0x10	由於再新的啟動失敗，以小潛時再試
			0x11	由於再新的啟動失敗，以大潛時再試
		0x101 至 0x11	0x00 至 0x11	RFU

表 5 –實例 RAS 回饋狀態訊息資訊。

成功	狀態碼類型 [1:0]	狀態碼（操作） [5:3]	狀態碼（再試） [2:1]	描述
0x0	0x10	0x000	0x00 至 0x11	RFU
		0x001	0x00	具有無法校正的錯誤的寫入失敗
			0x01 至 0x11	RFU
		0x010	0x00	在 GC 之後的寫入失敗（容量失敗，嚴重）
			0x01	RFU
			0x10	由於 GC 的寫入失敗，以小潛時再試
			0x11	由於 GC 的寫入失

				敗，以大潛時再試
		0x011	0x00	在 WL 之後的寫入失敗（容量失敗，嚴重）
			0x01	RFU
			0x10	由於 WL 的寫入失敗，以小潛時再試
			0x11	由於 WL 的寫入失敗，以大潛時再試
		0x100	0x00 至 0x01	RFU
			0x10	由於再新的寫入失敗，以小潛時再試
			0x11	由於再新的寫入失敗，以大潛時再試
		0x101 至 0x111	0x00 至 0x11	RFU
	0x11	0x000	0x00 至 0x11	RFU
		0x001	0x00	具有無法校正的錯誤的 Act+寫入失敗
			0x01 至 0x11	RFU
		0x010 至 0x111	0x01 至 0x11	RFU

表 6 –實例 RAS 回饋狀態訊息資訊。

成功	狀態碼類型 [1:0]	狀態碼 [5:1]	描述
0x1	0x00	0x00000	具有特定 TID 的記憶體就緒
		0x00001 至 0x11111	RFU
	0x01	0x00000	不具有錯誤的啟動成功
		0x00100	具有可校正的錯誤的啟動成功
		0x01000	在 GC 之後的啟動成功
		0x01100	在 WL 之後的啟動成功
		0x10000	在再新之後的啟動成功
		其他	RFU

表 7 –實例 RAS 回饋狀態訊息資訊。

成功	狀態碼類型 [1:0]	狀態碼 [4:0]	描述
0x1	0x10	0x00000	不具有錯誤的寫入成功
		0x00100	具有可校正的錯誤的寫入成功
		0x01000	在 GC 之後的寫入成功
		0x01100	在 WL 之後的寫入成功
		0x1000	在再新之後的寫入成功
		其他	RFU
	0x11	0x00000	ACT +寫入成功
		0x00100	具有可校正的錯誤的 ACT +寫入成功
		0x01000	在 GC 之後的 ACT +寫入成功
		0x01100	在 WL 之後的 ACT +寫入成功

		0x1000	在再新之後的 ACT +寫入成功
		其他	RFU

【0046】 圖 7 描繪根據本揭露的在 CPU/MC 701 與記憶體模組 702 之間的介面 700 的實施範例，其中經由 DQ（資料）匯流排來傳達 RAS 回饋狀態訊息。圖 8 描繪根據本揭露的經由 DQ 匯流排來傳達 RAS 回饋狀態訊息的方法的流程圖 800。在此替代性實例實施例中，可在圖 8 中的操作 801 處使用一個被改變用途的連接器接腳以發送由記憶體模組 702 使用以向 CPU/MC 701 請求注意（attention）的 D_RDY 回饋信號。在 CPU/MC 701 接收到 D_RDY 回饋信號之後，在操作 802 處 CPU/MC 701 經由第二被改變用途的連接器接腳來發送 D_SEND 信號以在操作 803 處自記憶體模組 702 提取 RAS 回饋狀態資訊。使用三個被改變用途的接腳以傳達 TID。在此替代性實例實施例中，經由 DQ 匯流排來傳達 RAS 回饋狀態訊息。DQ 匯流排的相對大小允許將眾多資訊位元自記憶體模組傳達至 CPU/MC。

【0047】 在另一實施範例中，主機（亦即，系統 CPU/MC）可主動地藉由發送特殊模式暫存器集（Mode Register Set；MRS）命令來請求記憶體模組的 RAS 回饋狀態資訊。圖 9 描繪根據本揭露的使用 MRS 命令來配置記憶體模組以讀取 RAS 回饋狀態訊息的方法 900 的流程圖。MRS 命令通常是針對 DDR4 DIMM 而定義，然而，根據本揭露，MRS 命令中的未使用位元可經程式化以向記憶體模組傳信或觸發記憶體模組進入特殊模式，在本文中被稱作 MPR 讀取模式，其亦為通常針對 DDR4 DIMM 而定義的模式。在 901 處，主機將 MRS（MR3）命令發送至記憶體模組。在 902 處，主機將讀取（RD）命令發送至記憶體模組。在 903 處，記憶體模

組傳回無效+記錄檔 (Invalid + Log) 訊息而非正常資料。在 904 處，CPU/MC 主機發出經配置以向記憶體模組傳信或觸發記憶體模組退出特殊 MPR 模式的另一 MRS 命令。

【0048】圖 10 描繪根據本揭露的在使用 DQ 匯流排以傳達回饋狀態資訊的情況下的 RAS 回饋狀態訊息 1000 的實例配置。如圖 10 所描繪，經由 DQ 匯流排自記憶體模組輸出八個 64 位元字 WD0 至 WD7，如 1001 處所指示，且自記憶體模組輸出四個 3 位元字作為 TID + 無效訊息，1002 處所指示。可經由被改變用途的連接器接腳來傳達 3 位元字。

【0049】前兩個 64 位元字 WD0 及 WD1 的位元[6:0]分別含有無效原因 (Invalid Reason) 碼以及再試時間 (Retry Time) 碼。無效原因碼的位元 5 指示是否已發生錯誤。無效原因碼的位元 4 指示是否正發生遷移。無效原因碼的位元 3 指示是否正發生垃圾回收 (GC) 操作。無效原因碼的位元 2 指示是否正發生耗損均衡 (WL) 操作。無效原因碼的位元 1 指示是否正發生再新操作。無效原因碼的位元 0 指示是否已發生未中。

【0050】再試時間碼的位元 5-2 指示二進位基礎乘數 (binary base multiplier)，且再試時間碼的位元 1-0 指示乘以基礎乘數的時間單位。在一個實施例中，二進位 00 的單位碼表示 100 ns 的基本時間；二進位 01 的單位碼表示 1 μ s 的基本時間；二進位 10 的單位碼表示 10 μ s 的基本時間；且二進位 11 的單位碼表示 100 μ s 的基本時間。舉例而言，若再試時間碼的位元 5-2 為二進位 0100 (亦即，十進位 4)，且單位碼為二進位 00，則再試時間碼指示 400 ns 的再試時間。

【0051】 在另一實施例中，若記憶體模組藉由將時序定義添加至現有 ALERT_n 連接器而處於 NVDIMM-P 模式中，則 ALERT_n 連接器接腳可用作 D_RDY 信號。在現有 DDR4 規格中，ALERT_n 信號用於傳信兩種類型的錯誤的發生：寫入循環冗餘檢查（cyclic redundancy check；CRC）錯誤，以及命令位址（command address；CA）同位錯誤。此等兩個錯誤可由 ALERT_n 信號的脈寬區分。舉例而言，若發生寫入 CRC 錯誤，則在 DDR4-2400 規格下，記憶體模組致使 ALERT_n 信號變低（LOW）歷時介於約 6 個至約 10 個之間的時脈循環。若發生命令位址（CA）同位錯誤，則在 DDR4-2400 規格下，記憶體模組致使 ALERT_n 信號變低（LOW）歷時介於約 72 個至約 144 個之間的時脈循環。根據本揭露的，介於約 2 個與約 3 個之間的循環的短 ALERT_n 脈寬可用以表示 D_RDY 信號，藉此允許 ALERT_n 信號針對寫入 CRC 的發生以及針對 CA 同位根據 DDR4-2400 規格而起作用。在一個實施例中，若 ALERT_n 信號用於 D_RDY，則 D_RDY 將始終具有最低優先權，使得確保寫入 CRC 的發生或 CA 同位的偵測。

【0052】 表 8 闡述根據本文中所揭露的主題的一個實施例的處於 DRAM DIMM 模式中以及處於 NVDIMM-P 模式中的記憶體模組的連接器接腳。如表 8 中所展示，若記憶體模組處於 DRAM DIMM 模式中，則 ALERT_n*接腳（接腳 208）以熟知方式操作以自記憶體控制器的觀點來看提供傳輸（Tx）功能以及接收（Rx）功能。信號 CS_n[1]、ODT[1]及 CKE[1]（分別為接腳 89、91 及 203）亦以熟知方式操作以自記憶體控制器的觀點來看提供傳輸功能。若記憶體模組處於 NVDIMM-P 模式中，則接腳 208 被定義為

ALERT_n/D_RDY 信號，且自記憶體控制器的觀點來看提供傳輸（Tx）功能以及接收（Rx）功能兩者。接腳 89、91 及 203 被定義為 MSG[2:0]，且自記憶體控制器的觀點來看提供接收功能。在一個實施例中，ALERT_n/D_RDY 信號以及 MSG[2:0] 可以單資料速率而操作。在另一實施例中，ALERT_n/D_RDY 信號以及 MSG[2:0] 可以 DDR 而操作。

表 8 –處於 DRAM DIMM 模式中以及處於 NVDIMM-P 模式中的記憶體模組的連接器接腳。

接腳	DRAM DIMM 模式		NVDIMM-P 模式	
	名稱	Tx，Rx	名稱	Tx，Rx
89	CS _n [1]	Tx	MSG[2:0]	Rx
91	ODT[1]	Tx		
203	CKE[1]	Tx		
208	ALERT _n *	Tx/Rx	ALERT _n /D_RDY	Tx/Rx

【0053】 表 9 闡述根據本揭露在 NVDIMM-P 模式中用作 D_RDY 信號的情況下的 ALERT_n 連接器接腳的時序以及訊息定義。在 NVDIMM-P 模式中，ALERT_n 連接器接腳的脈寬被定義為針對 D_RDY 信號介於約 2 個與約 3 個之間的時脈循環。對於介於約 6 個與 10 個之間的時脈循環的脈寬，ALERT_n 連接器接腳被定義為寫入 CRC 錯誤的發生，且對於介於 72 個與 144 個之間的時脈循環的脈寬，ALERT_n 連接器接腳被定義為命令位址（CA）同位錯誤的發生。

表 9 –在 NVDIMM-P 模式中用作 D_RDY 信號的情況下的 ALERT_n

連接器接腳的時序以及訊息定義	
ALERT _n 脈寬	定義
2 至 3	D_RDY（對於 NVDIMM-P 模式）
6 至 10	寫入 CRC 錯誤
72 至 144	CA 同位錯誤

【0054】 在一個實施例中，ALERT_n 接腳在用作 D_RDY 信號之

前應為高（HIGH）歷時至少一個循環。另外，Alert_n 接腳在每一 D_RDY 信號之後應為高（HIGH）歷時至少一個循環，使得可由主機系統辨識。圖 11 描繪根據本揭露正用作 D_RDY 信號的 ALERT_n 接腳的信號圖 1100 的實例。在圖 11 中，信號流程被指示為自記憶體模組 1102 朝向記憶體控制器 1101。

【0055】 圖 12 描繪根據本揭露的記憶體通道 1200 中的記憶體模組連接器的另一實施範例的腳位，其中被選定接腳已被改變用途以傳達與 D_RDY 信號相關聯的狀態資訊，諸如但不限於快取資訊。詳言之，圖 12 描繪通信通道 1200 中的一個記憶體模組 1201 的實施範例的腳位，其中記憶體模組連接器的三（3）個接腳已被改變用途以將狀態資訊傳達至記憶體控制器（未圖示）、傳達至 MC（未圖示）或傳達至具有整體記憶體控制器的 CPU（未圖示），其中所述狀態資訊諸如但不限於快取資訊。

【0056】 如圖 12 所描繪，三個實例連接器接腳 ODT[1]、CKE[1] 及 CS_n[1] 已被改變用途以將快取狀態資訊傳達至記憶體控制器。應理解，根據本揭露，記憶體模組的其他連接器接腳可被改變用途以將快取狀態資訊傳達至記憶體控制器。在另一實施例中，實例連接器接腳 ODT[1] 及 CKE[1] 用以將快取狀態資訊分別傳達為 MSG[0] 及 MSG[1]，使得訊息為兩個位元寬，但包含訊息選通信號 MSG_S 以實現雙資料速率（DDR）。

【0057】 在一個實施例中，針對 D_SEND 不使用專用接腳。代替地，針對 D_SEND 使用未定義的 DDR4 命令，且未定義的 DDR4 命令在本文中被稱作異動叢發（TB）命令，TB 命令起始異動資料叢發（transaction data burst），以便藉由使用現有命令與位址接腳

來提供相同功能性。異動叢發命令是在 NVM 直接模式以及 DRAM+NVM 快取模式中操作。表 10 闡述異動叢發命令的定義。

表 10 –異動叢發命令。

異動叢發	功能
第 1 時脈	CKE 先前循環
H	CKE 當前循環
H	ACT _n
H	RAS _n / A16
L	CAS _n / A15
H	WE _n / A14
H	BG0 至 BG1
L	BA0 至 BA1
L	C0 至 C2
H	BC _n / A12
RFU	A17；A13；A11，A10
叢發計數	A9 至 A0

【0058】 圖 13 描繪根據本揭露的異動叢發命令的信號流程 1300。如圖 13 所描繪，主機 1301 可在 CA 匯流排上在 1303 處將兩個 TRD 命令發送至記憶體模組 1302。記憶體模組 1302 藉由在 1304 處指示兩個讀取準備好被提取來作出回應。在稍後的時間，主機 1301 接著在 1305 處發送 TB 命令，向記憶體模組 1302 指示由兩個資料片段形成兩個叢發 1306。所附接的每一資料包含有效 (Valid；V) 位元以及對應 ID (corresponding ID；RID)。除非主機接收到 D_RDY 信號，否則主機不會發出 TB 命令。TB 命令與資料傳回之間的時間可為固定的，且在一個實施例中可與 tSND 相同。

【0059】 圖 14 描繪根據本揭露的讀取狀態 (RS) 訊息的信號流程 1400。相似於結合圖 7 至圖 9 所描述的實施例，主機可主動地自記憶體模組讀取狀態資訊，或記憶體模組 1402 可主動地使用 tSND 訊息而自主機 1401 請求注意且將狀態資訊發送至主機 1401，如圖

14 所描繪。若主機 1401 想要讀取記憶體模組 1402 的狀態，則主機 1401 在 1403 處發送 RS 命令。若記憶體模組 1402 想要來自主機 1401 的注意，則記憶體模組 1402 發送 D_RDY 信號（圖 14 中未指示），且在 1404 處，主機 1401 將用以讀取狀態的 TB 命令發送至記憶體模組 1402。

【0060】 在一個實施例中，RAS 回饋狀態資訊的定義可與結合圖 7 至圖 9 所描述的定義相同。除了 RAS 回饋狀態資訊以外，狀態資訊訊息亦可包含寫入信用 (write credit; WC) 以及寫入 ID (write ID; WID) 資訊，使得記憶體模組可傳回用於寫入狀態的資訊（例如，藉由檢查 WID，寫入是否成功；或藉由檢查 WC，是否存在足夠的空間以接受更多的寫入資料）。在一個實施例中，CRC 可用於封包完整性保護。

【0061】 主機 1401 可藉由讀取「MSG[0]，循環 1」來區分正常資料封包與狀態封包。亦即，若 MSG[0]位元為「0」，則主機 1401 將會將封包作為正常資料進行解碼。若 MSG[0]位元為「1」，則主機 1401 將會將封包作為狀態封包進行解碼。

【0062】 在一個實施例中，可如表 11 中所闡述而定義讀取狀態訊息。

表 11 –讀取狀態訊息。

讀取狀態	功能
H	CKE 先前循環
H	CKE 當前循環
H	ACT _n
L	RAS _n / A16
H	CAS _n / A15
H	WE _n / A14
L	BG0 至 BG1
H	BA0 至 BA1
L	C0 至 C2

RFU	BC _n / A12
	A17, A13, A11, A10
	A9 至 A0

【0063】 表 12 闡述根據本揭露的讀取狀態封包的實例定義。

表 12 –讀取封包–「讀取狀態」

異動封包–「讀取狀態」				
	循環 1	循環 2	循環 3	循環 4
DQ[63:0]	WID0 至 WID7, RAS, CRC			
ECC[7:0]				
MSG[0]	1	WC[5]	WC[3]	WC[1]
MSG[1]	WC[6]	WC[4]	WC[2]	WC[0]
MSG[2]	CRC	CRC	CRC	CRC

【0064】 在一個實施例中，讀取狀態（RS）命令可用以讀取記憶體模組的狀態，包含寫入信用（WC）以及記憶體模組回應資訊。讀取狀態命令可在 NVM 直接模式中以及在 DRAM+NVM 快取模式中為可用的。圖 15 描繪根據本揭露的讀取狀態（RS）傳回訊息的實例配置。

【0065】 圖 16 描繪根據本揭露的實施例的包括支援及/或管理模組內再新特徵、模組內 ECC 功能性、模組內清洗及/或模組內耗損均衡管理且提供與主機裝置的操作協調的記憶體模組的電子裝置 1600。電子裝置 1600 可用於但不限於計算裝置（computing device）、個人數位助理（personal digital assistant；PDA）、膝上型電腦（laptop computer）、行動電腦（mobile computer）、網路平板電腦（web tablet）、無線電話（wireless phone）、蜂巢式電話（cell phone）、智慧型手機（smart phone）、數位音樂播放器（digital music player）或有線或無線電子裝置中。電子裝置 1600 可包括經由匯流排 1650 而彼此耦接的控制器 1610、輸入/輸出裝置 1620，其中輸入/輸出裝置 1620 諸如但不限於小鍵盤、鍵盤、顯示器或觸控式螢幕顯示器、記憶體 1630 以及無線介面 1640。控制器 1610 可包

括例如至少一個微處理器、至少一個數位信號處理器、至少一個微控制器，或類似者。記憶體 1630 可經配置以儲存待由控制器 1610 使用的命令碼，或使用資料。在一個實施例中，根據本揭露的實施例，記憶體 1630 包括支援及/或管理模組內再新特徵、模組內 ECC 功能性、模組內清洗及/或模組內耗損均衡管理且提供與主機裝置的操作協調的記憶體模組。電子裝置 1600 可使用經配置以使用 RF 信號將資料傳輸至無線通信網路或自無線通信網路接收資料的無線介面 1640。無線介面 1640 可包含例如天線、無線收發器等等。電子系統 1600 可用於通信系統的通信介面協定中，諸如但不限於分碼多重存取（Code Division Multiple Access；CDMA）、全球行動通信系統（Global System for Mobile Communications；GSM）、北美數位通信（North American Digital Communications；NADC）、延伸分時多重存取（Extended Time Division Multiple Access；E-TDMA）、寬頻 CDMA（Wideband CDMA；WCDMA）、CDMA2000、Wi-Fi、都市 Wi-Fi（Municipal Wi-Fi；Muni Wi-Fi）、藍芽（Bluetooth）、數位增強無線電信（Digital Enhanced Cordless Telecommunications；DECT）、無線通用串列匯流排（Wireless Universal Serial Bus；無線 USB）、運用無縫交遞正交分頻多工的快速低潛時存取（Fast low-latency access with seamless handoff Orthogonal Frequency Division Multiplexing；Flash-OFDM）、IEEE 802.20、通用封包無線電服務（General Packet Radio Service；GPRS）、iBurst、無線寬頻帶（Wireless Broadband；WiBro）、WiMAX、進階 WiMAX（WiMAX-Advanced）、通用行動電信服務-分時雙工（Universal Mobile Telecommunication Service -

Time Division Duplex ; UMTS-TDD)、高速封包存取 (High Speed Packet Access ; HSPA)、演進資料最佳化 (Evolution Data Optimized ; EVDO)、進階長期演進 (Long Term Evolution - Advanced ; 進階 LTE)、多通道多點分配服務 (Multichannel Multipoint Distribution Service ; MMDS) 等等。

【0066】圖 17 描繪根據本文中所揭露的實施例的可包括支援及/或管理模組內再新特徵、模組內 ECC 功能性、模組內清洗及/或模組內耗損均衡管理且提供與主機裝置的操作協調的記憶體模組的記憶體系統 1700。記憶體系統 1700 可包括用於儲存大量資料的記憶體裝置 1710，以及記憶體控制器 1720。記憶體控制器 1720 控制記憶體裝置 1710 以回應於主機 1730 的讀取/寫入請求而讀取儲存於記憶體裝置 1710 中的資料或將資料寫入至記憶體裝置 1710 中。記憶體控制器 1720 可包含用於將自主機 1730 (例如，行動裝置或電腦系統) 提供的位址映射成記憶體裝置 1710 的實體位址的位址映射表。根據本文中所揭露的實施例，記憶體裝置 1710 可包括支援及/或管理模組內再新特徵、模組內 ECC 功能性、模組內清洗及/或模組內耗損均衡管理且提供與主機裝置的操作協調的記憶體模組。

【0067】在本領域具有知識者將認識到，可遍及廣泛範圍的應用修改以及變化本文中所描述的創新概念。因此，所主張的標的之範疇不應限於上文所論述的特定例示性教示中的任一者，而代替地由以下申請專利範圍界定。

【符號說明】

【0068】

100：系統

101、201、202、702、1102、1201、1302、1402：記憶體模
組

102：主體系統中央處理單元（CPU）

103、203、1101、1720：記憶體控制器（MC）

104：模組內控制器

105：記憶體晶片

106：再新邏輯（RL）

107：計時器

108：計數器

109：暫存器

110：功能組件

200、1200：記憶體通道

300、310、400、410、500、510、520、600、610：信號序列

301、302、303、304、305、306、311、312、313、314、315、
316、317、318、319、401、402、403、404、411、412、413、501、
502、511、512、513、514、515、516、517、521、522、523、524、
525、526、527、528、601、602、611、612、613、614、615、616、
617、618、901、902、903、904、1303、1304、1305、1403、1404：
步驟

700：介面

701：中央處理單元/記憶體控制器(CPU/MC)

800：流程圖

801、802、803：操作

900：方法

1000：可靠性、可用性與可維護性（RAS）回饋狀態訊息

1001：八個 64 位元字

1002：四個 3 位元字

1100：信號圖

1300、1400：信號流程

1301、1401、1730：主機

1306：叢發

1500：讀取狀態（Read Status）傳回訊息

1600：電子裝置/電子系統

1610：控制器

1620：輸入/輸出裝置

1630：記憶體

1640：無線介面

1650：匯流排

1700：記憶體系統

1710：記憶體裝置

【發明申請專利範圍】

【請求項1】 一種控制記憶體陣列的錯誤校正操作的方法，包括：

由控制器經由介面自主機裝置接收命令，所述介面包括多個連接件，所述多個連接件已自標準雙行記憶體模組腳位組態被改變用途，以將所述記憶體陣列的回饋狀態資訊介接至所述主機裝置；以及

由所述控制器控制所述介面，以將與所述錯誤校正操作的結果相關的回饋狀態資訊經由所述介面提供至所述主機裝置、且將指示基於所述錯誤校正操作的所述結果為失敗的情況下向所述主機裝置採取動作的回饋狀態資訊提供至所述主機裝置。

【請求項2】 如請求項 1 所述的方法，其中所述控制器更控制所述記憶體陣列的再新操作，以及

其中所述控制器更控制所述介面在所述記憶體陣列的所述再新操作的期間中將指示正發生所述再新操作的回饋狀態資訊提供至所述主機裝置。

【請求項3】 如請求項 1 所述的方法，更包括：

由所述控制器控制所述記憶體陣列的再新操作；以及

由所述控制器在所述記憶體陣列的所述再新操作的期間中控制所述介面，以將指示階層識別以及組織別是在當前再新操作下且向所述主機裝置指示所述再新操作何時完成的回饋狀態資訊提供至所述主機裝置。

【請求項4】 如請求項 1 所述的方法，更包括：

由所述控制器控制所述記憶體陣列的清洗操作；以及

由所述控制器控制所述介面，以將指示正執行所述清洗操作

的回饋狀態資訊提供至所述主機裝置。

【請求項5】 如請求項 1 所述的方法，其中所述記憶體陣列包括多個非揮發性記憶體胞元，

所述方法更包括：

由所述控制器控制所述記憶體陣列的耗損均衡操作；以及

由所述控制器控制所述介面，以將指示正執行所述耗損均衡操作的回饋狀態資訊提供至所述主機裝置。

【請求項6】 一種控制記憶體陣列的方法，包括：

由控制器控制記憶體陣列的耗損均衡操作，所述記憶體陣列包括記憶體胞元陣列，所述記憶體胞元陣列包含動態隨機存取記憶體（DRAM）以及多個非揮發性隨機存取記憶體（NVRAM），且所述記憶體陣列經配置為雙行記憶體模組（DIMM）；以及

由所述控制器經由包括已自標準雙行記憶體模組腳位組態被改變用途的多個連接件的介面將指示正執行耗損均衡操作及指示在所述耗損均衡操作的期間中主機裝置排程其他操作的狀態資訊提供至所述主機裝置。

【請求項7】 如請求項 6 所述的方法，更包括：

由所述控制器控制所述記憶體陣列的再新操作；以及

由所述控制器將指示正發生所述再新操作的回饋狀態資訊提供至所述主機裝置。

【請求項8】 如請求項 6 所述的方法，更包括：

由所述控制器控制所述記憶體陣列的錯誤校正操作；以及

由所述控制器將指示所述錯誤校正操作完成且指示所述錯誤校正操作的結果的回饋狀態資訊提供至所述主機裝置。

【請求項9】 如請求項 8 所述的方法，更包括：

由所述控制器控制所述記憶體陣列的清洗操作；以及

由所述控制器將指示正發生所述清洗操作的回饋狀態資訊提供至所述主機裝置。

【請求項10】 如請求項 6 所述的方法，其中所述雙行記憶體模組包括多個連接件，所述雙行記憶體模組的所述多個連接件自標準雙行記憶體模組腳位組態被改變用途，以將所述雙行記憶體模組的操作狀態介接至所述主機裝置。

【請求項11】 一種控制記憶體陣列的方法，包括：

介面，耦接至所述記憶體陣列，以將所述記憶體陣列介接至主機裝置，所述記憶體陣列經配置為雙行記憶體模組（DIMM），且所述雙行記憶體模組包含已自標準雙行記憶體模組腳位組態被改變用途以將所述記憶體陣列的操作狀態介接至主機裝置的多個連接件；

由控制器控制記憶體陣列的再新操作、所述記憶體陣列的錯誤校正操作、所述記憶體陣列的記憶體清洗操作以及所述記憶體陣列的耗損均衡操作中的至少一者，記憶體陣列包括記憶體胞元陣列；

由所述控制器經由介面自所述主機裝置接收命令，所述介面耦接至所述記憶體陣列以及所述雙行記憶體模組的所述多個連接件以將所述記憶體陣列介接至所述主機裝置；以及

由所述控制器回應於經由所述介面接收的所述命令將與由所述控制器經由所述介面控制的操作相關的回饋狀態資訊提供至所述主機裝置。

【請求項12】 如請求項 11 所述的方法，其中所述控制器控制所述記憶體陣列的所述再新操作，

所述方法更包括：

由所述控制器在所述記憶體陣列的所述再新操作的期間中控制所述介面以將正發生所述再新操作的所述回饋狀態資訊提供至所述主機裝置。

【請求項13】 如請求項 11 所述的方法，其中所述控制器控制所述記憶體陣列的所述錯誤校正操作，

所述方法更包括：

由所述控制器控制所述介面以將指示所述錯誤校正操作的結果的所述回饋狀態資訊提供至所述主機裝置。

【請求項14】 如請求項 13 所述的方法，更包括：由所述控制器控制所述介面以將在所述錯誤校正操作的結果為失敗的情況下向所述主機裝置指示採取動作的回饋狀態資訊提供至所述主機裝置。

【請求項15】 如請求項 11 所述的方法，其中所述控制器控制所述記憶體陣列的所述記憶體清洗操作，

所述方法更包括：

由所述控制器控制所述介面以將正執行所述記憶體清洗操作的所述回饋狀態資訊提供至所述主機裝置。

【請求項16】 如請求項 11 所述的方法，其中所述記憶體陣列包括多個非揮發性記憶體胞元，且

其中所述控制器控制所述記憶體陣列的所述耗損均衡操作，

所述方法更包括：

由所述控制器控制所述介面以將正執行所述耗損均衡操

作的所述回饋狀態資訊提供至所述主機裝置。

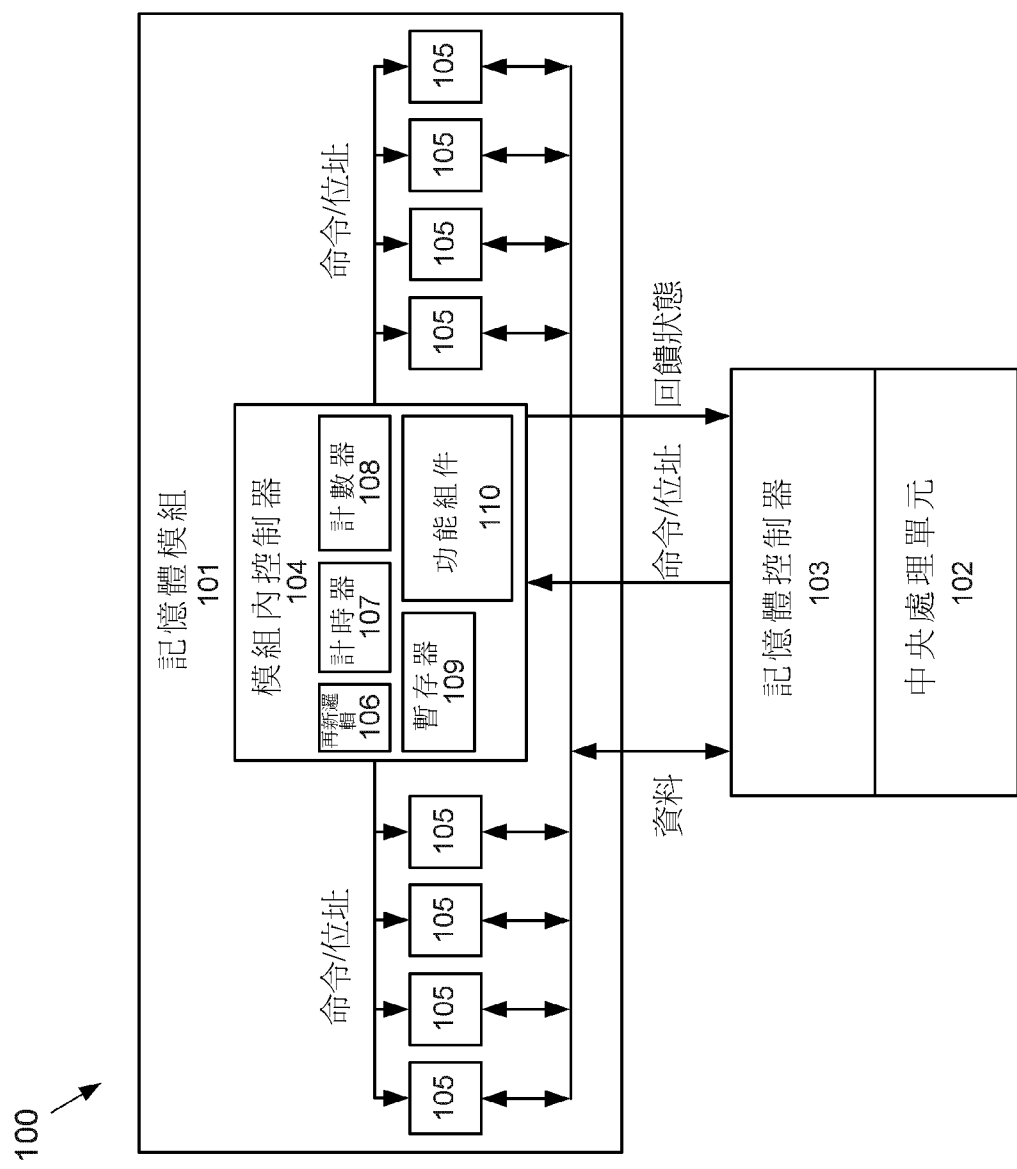
【請求項17】 一種控制記憶體陣列的方法，包括：

由控制器控制記憶體陣列的耗損均衡操作，所述記憶體陣列包括多個非揮發性記憶體胞元；

由所述控制器經由介面自主機裝置接收命令，所述介面耦接至所述記憶體陣列以將所述記憶體陣列介接至主機裝置，所述介面包括已自標準雙行記憶體模組腳位組態被改變用途以將所述記憶體陣列的回饋狀態資訊介接至所述主機裝置的多個連接件；以及

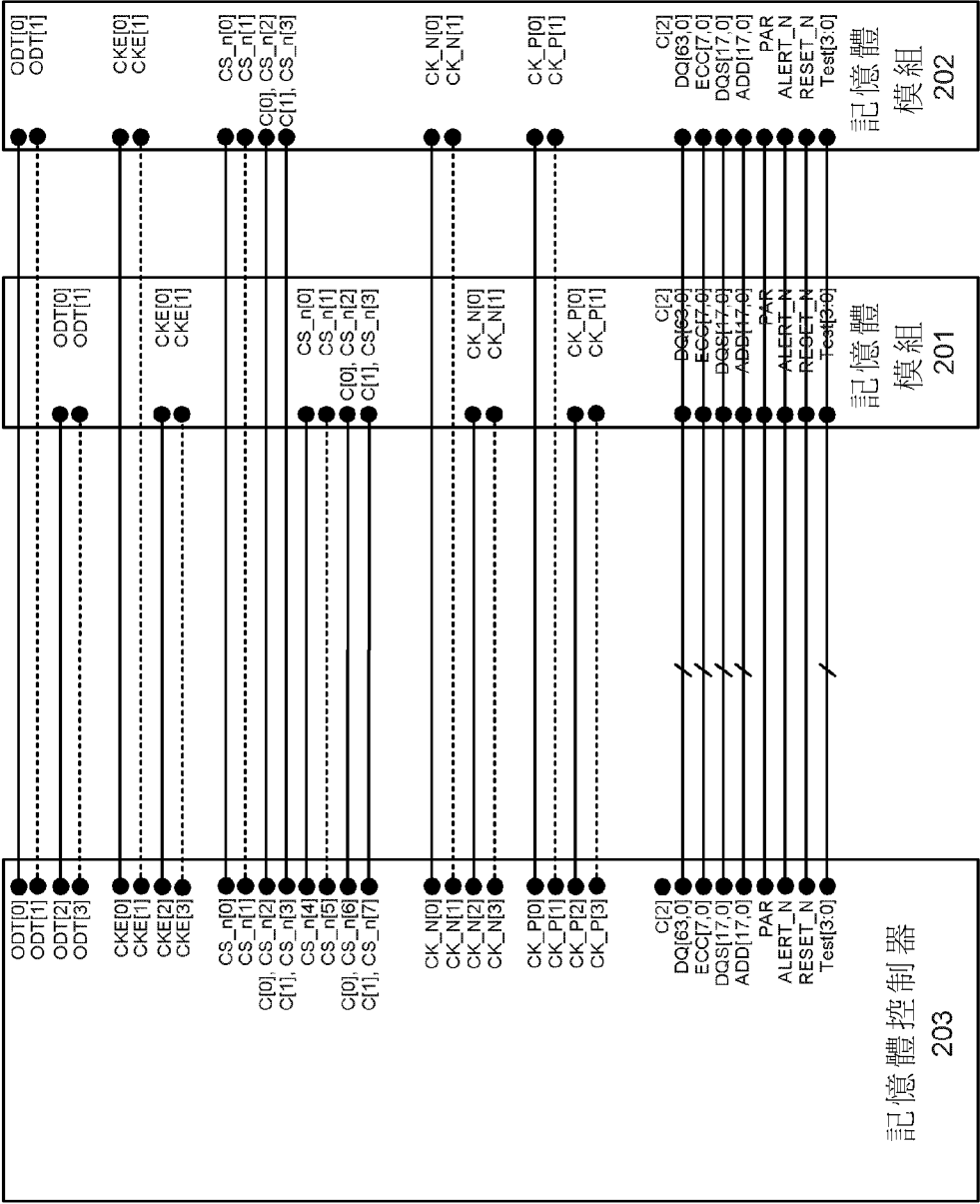
由所述控制器回應於經由所述介面接收的所述命令經由所述介面將回饋狀態資訊提供至所述主機裝置，所述回饋狀態資訊指示正執行所述耗損均衡操作及指示在所述耗損均衡操作的期間中所述主機裝置排程其他操作的。

【發明圖式】

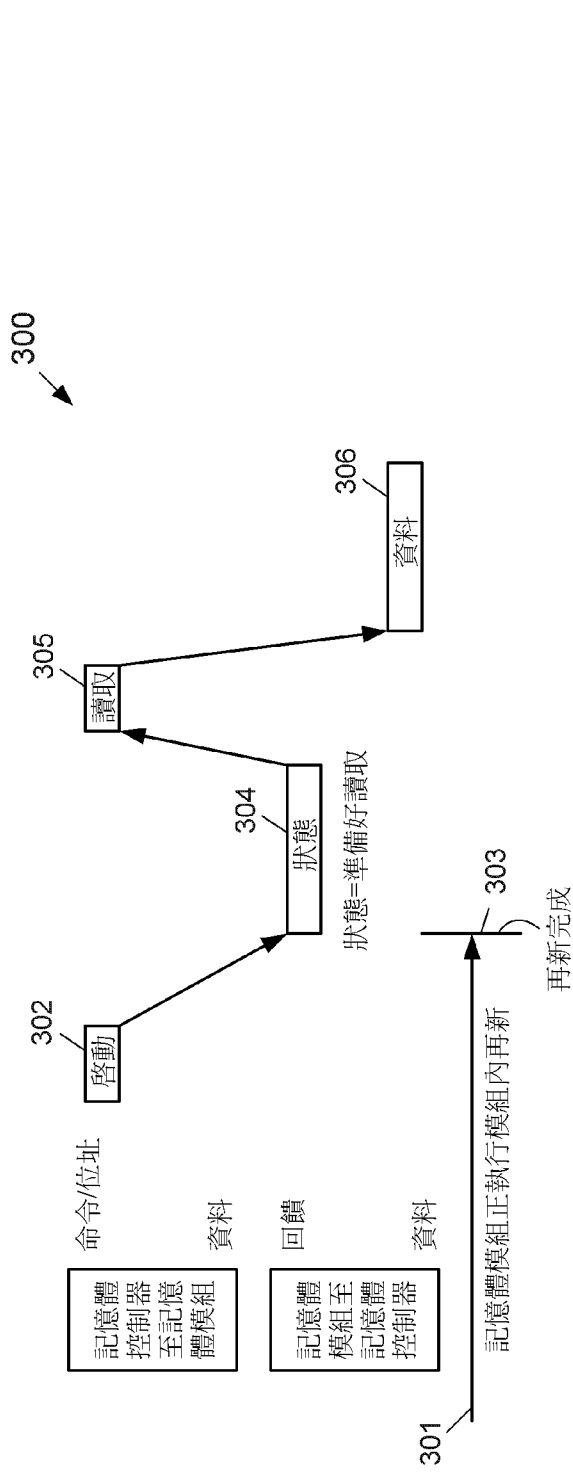


【圖 1】

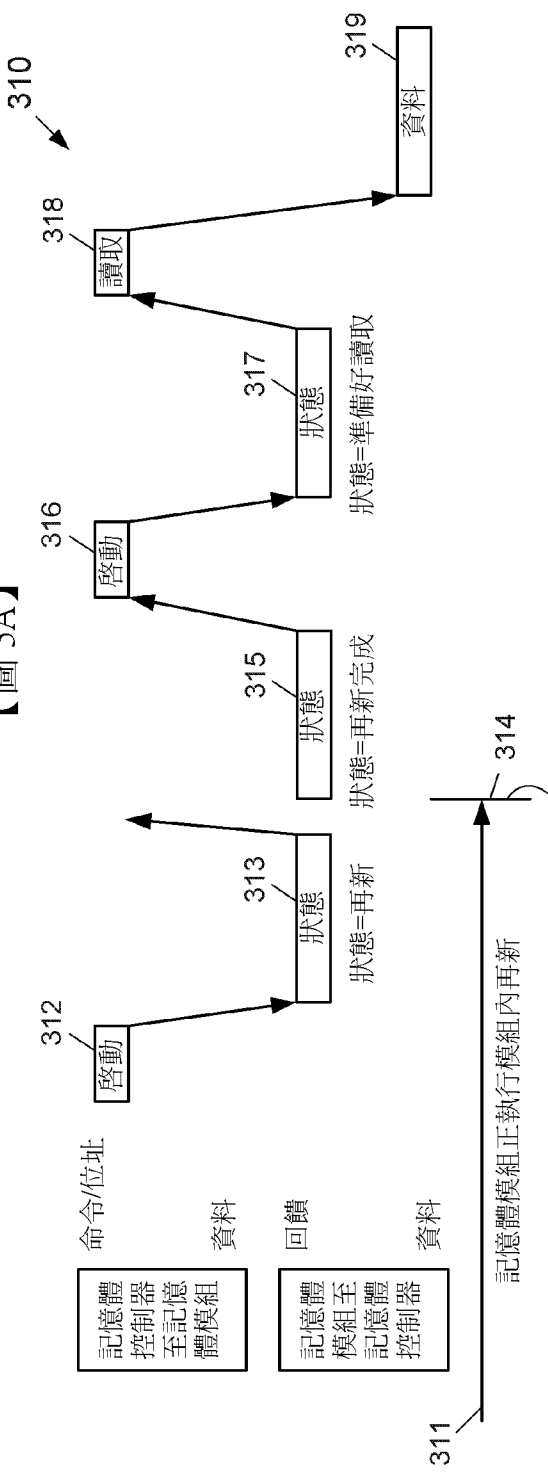
200



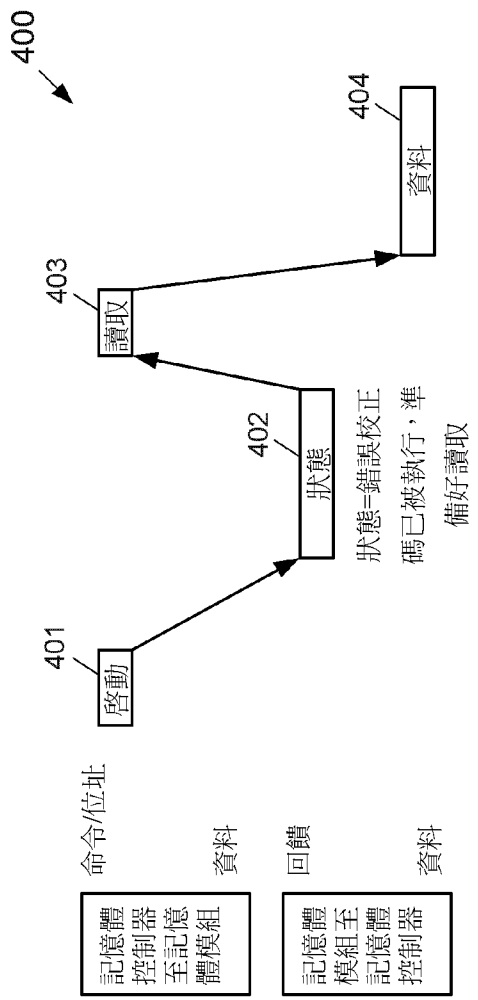
【圖 2】



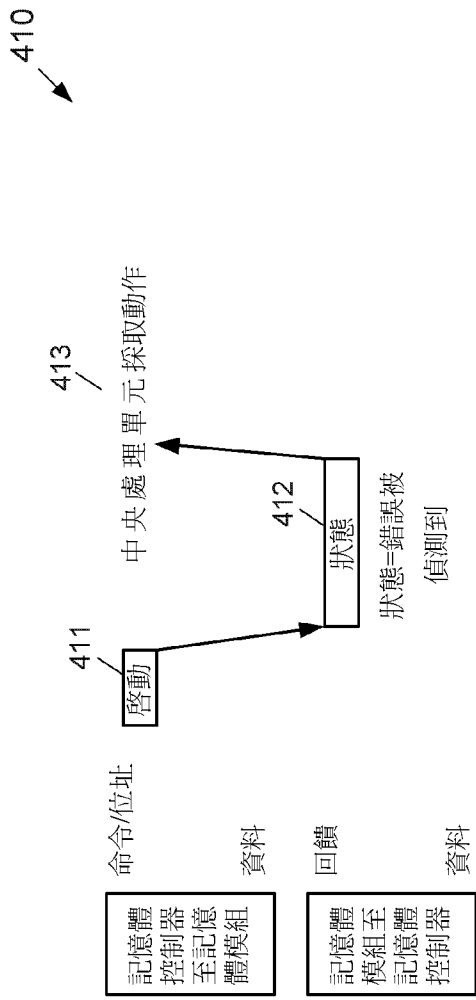
【圖 3A】



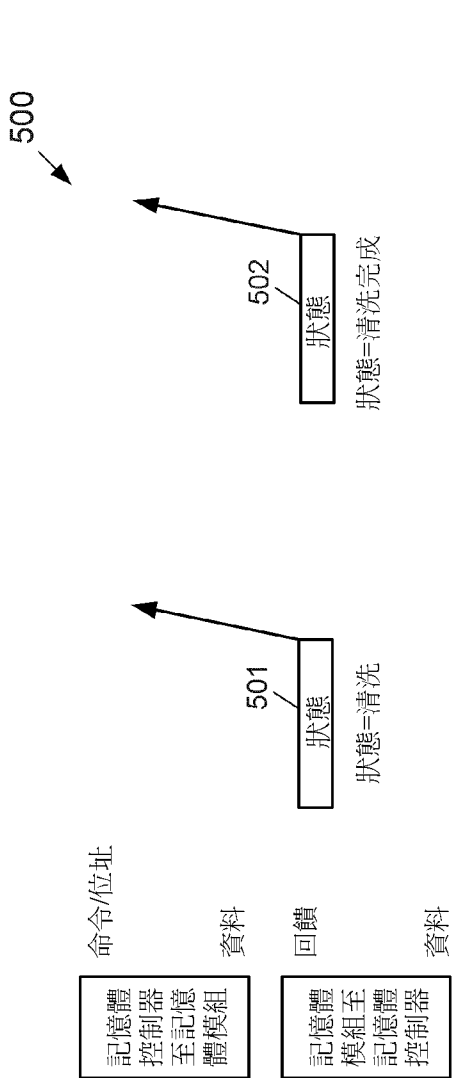
【圖 3B】



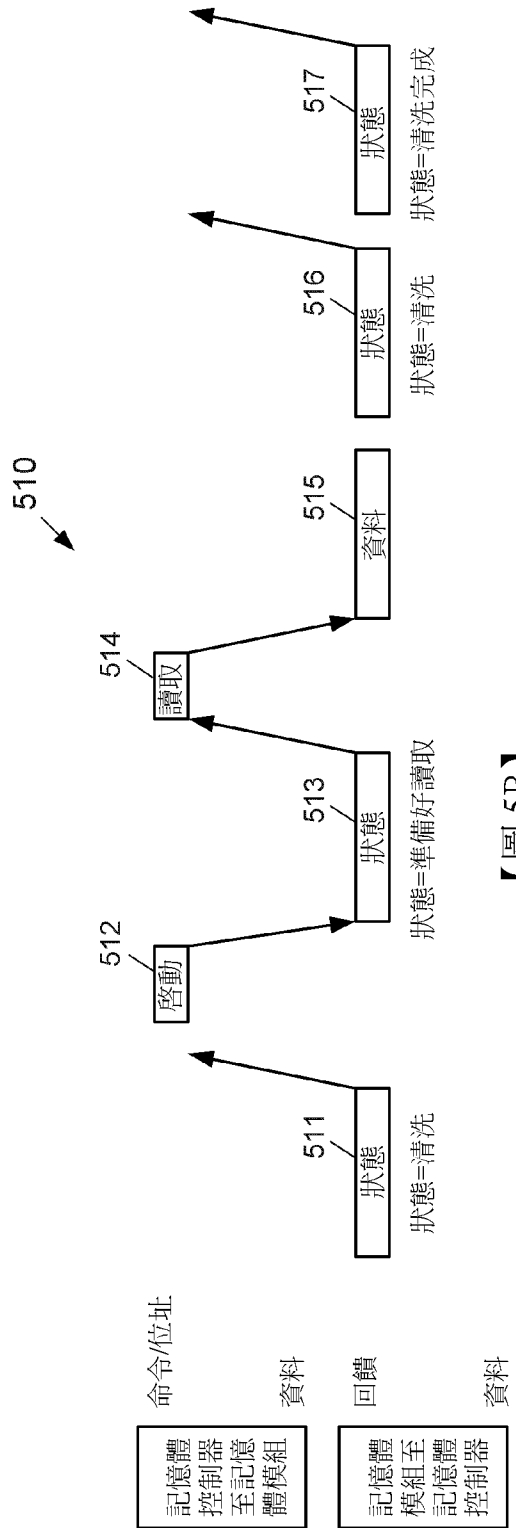
【圖 4A】



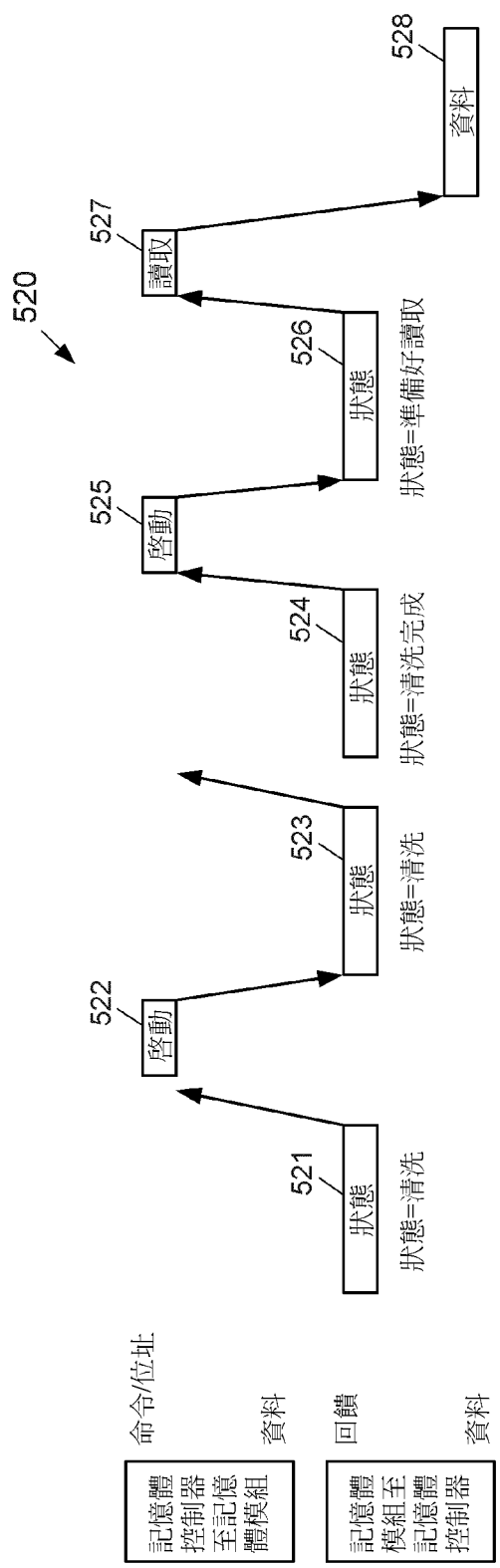
【圖 4B】



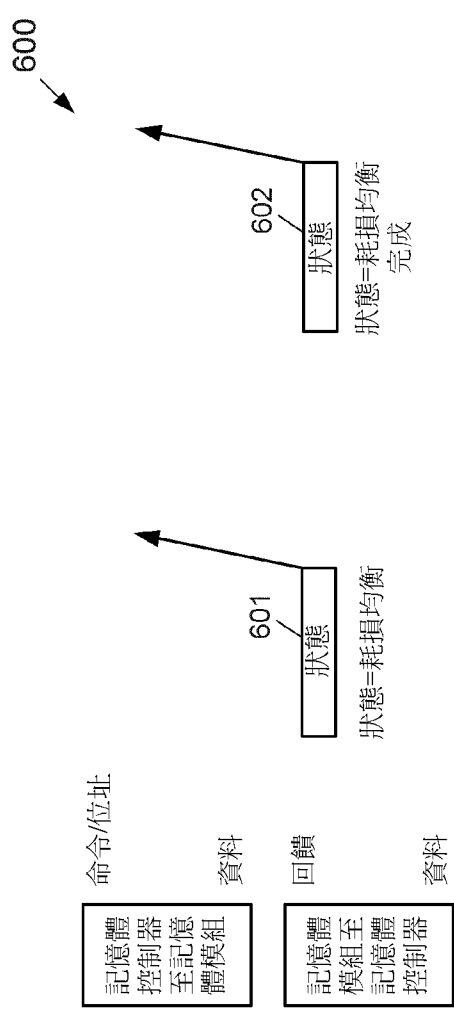
【圖 5A】



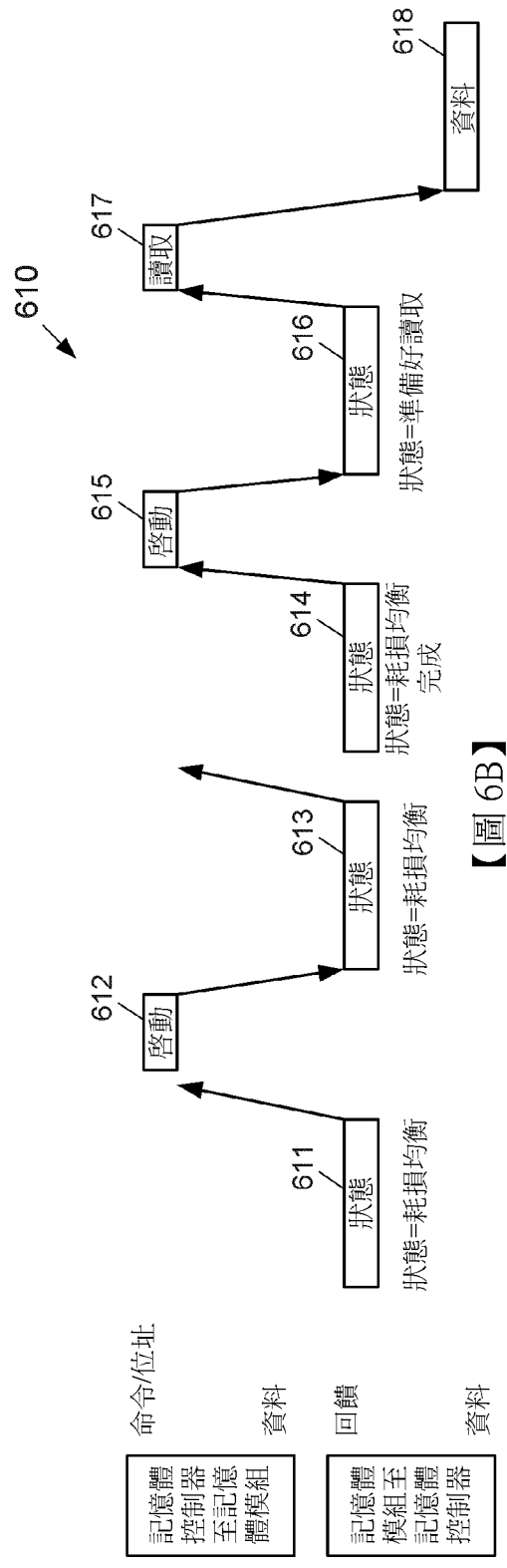
【圖 5B】



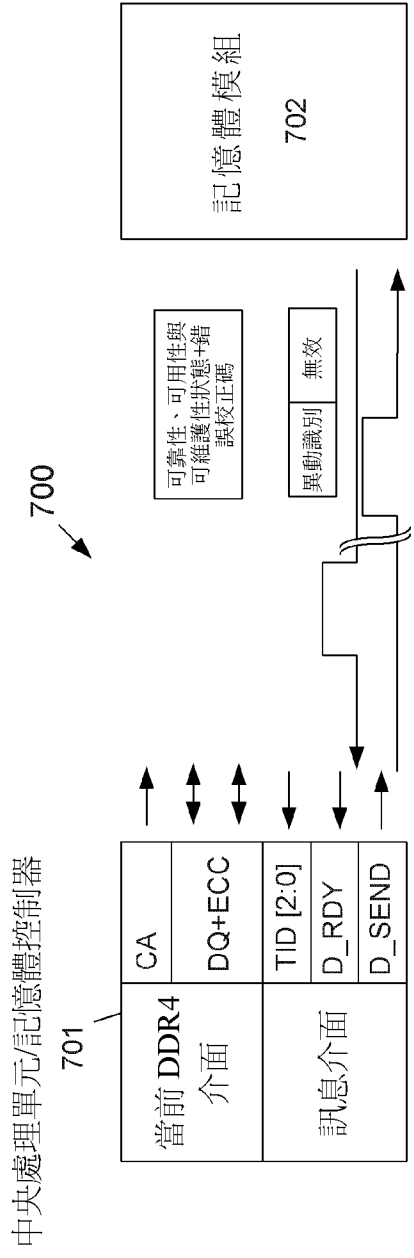
【圖 5C】



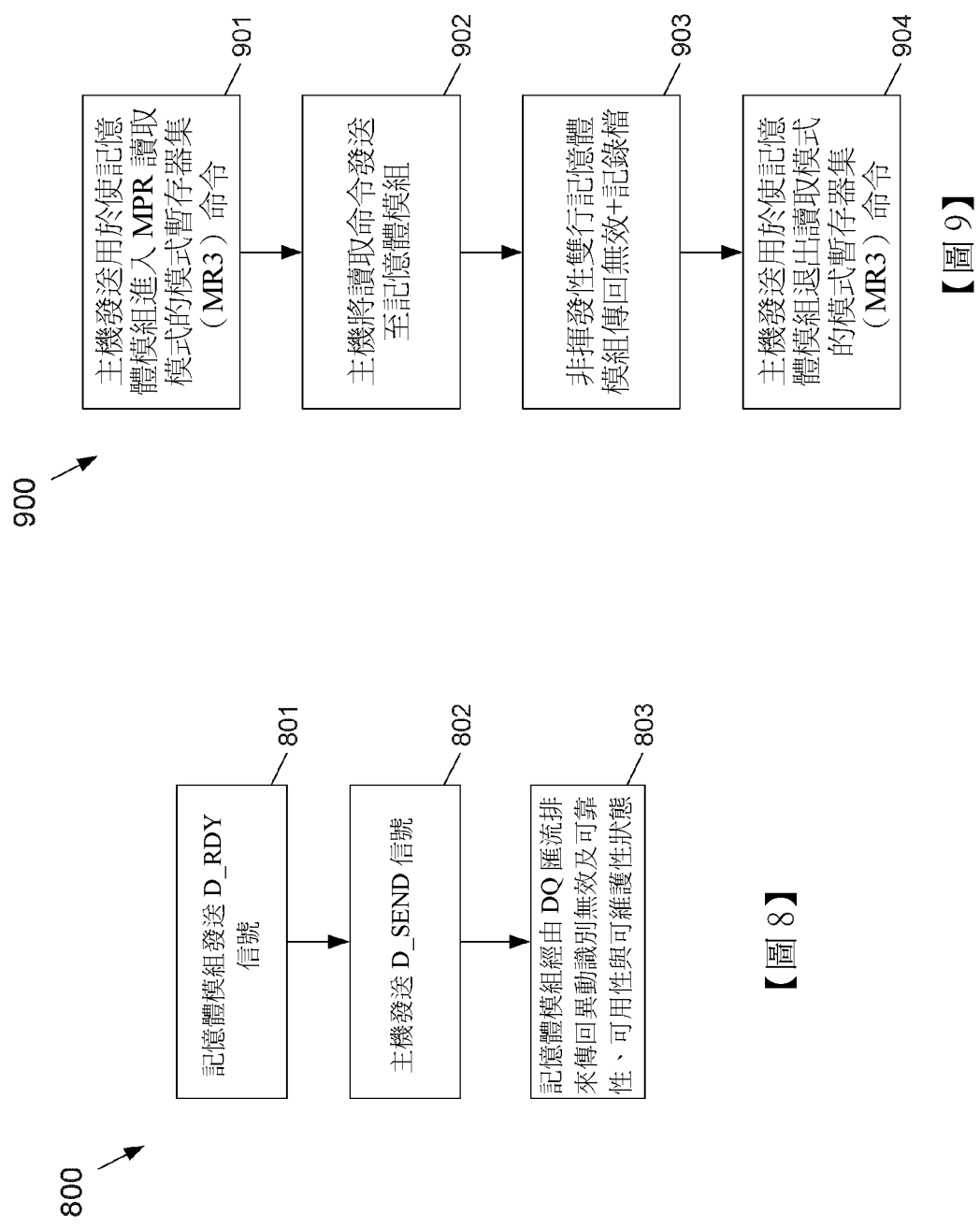
【圖 6A】

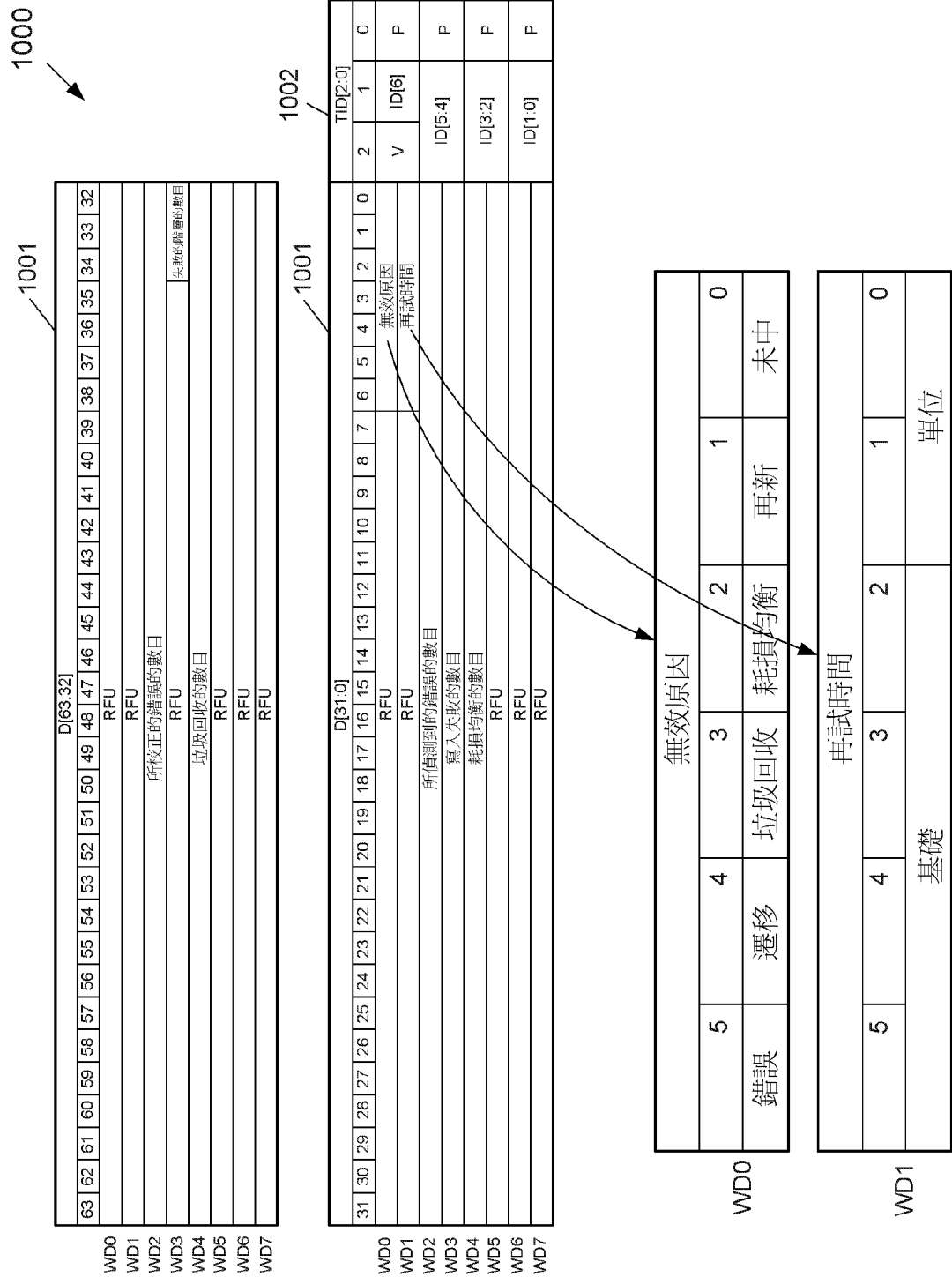


【圖 6B】

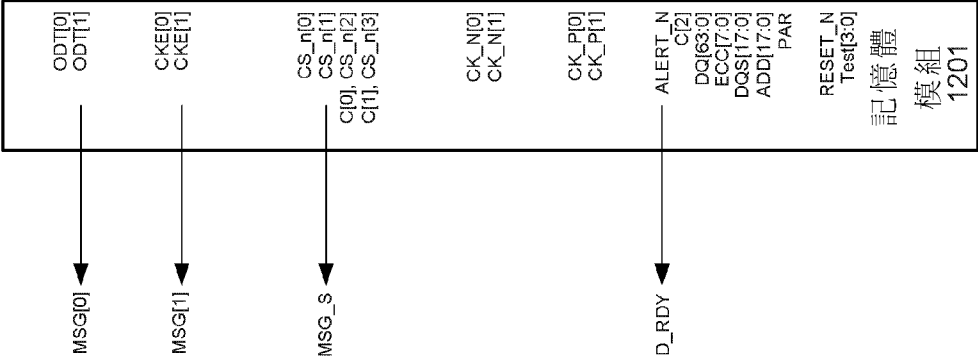


【圖 7】

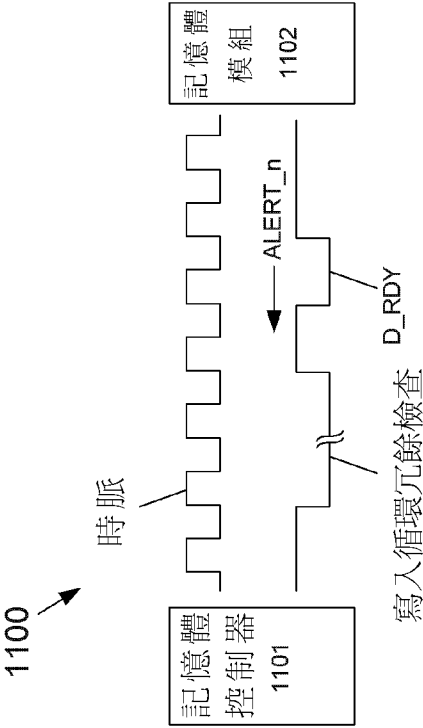




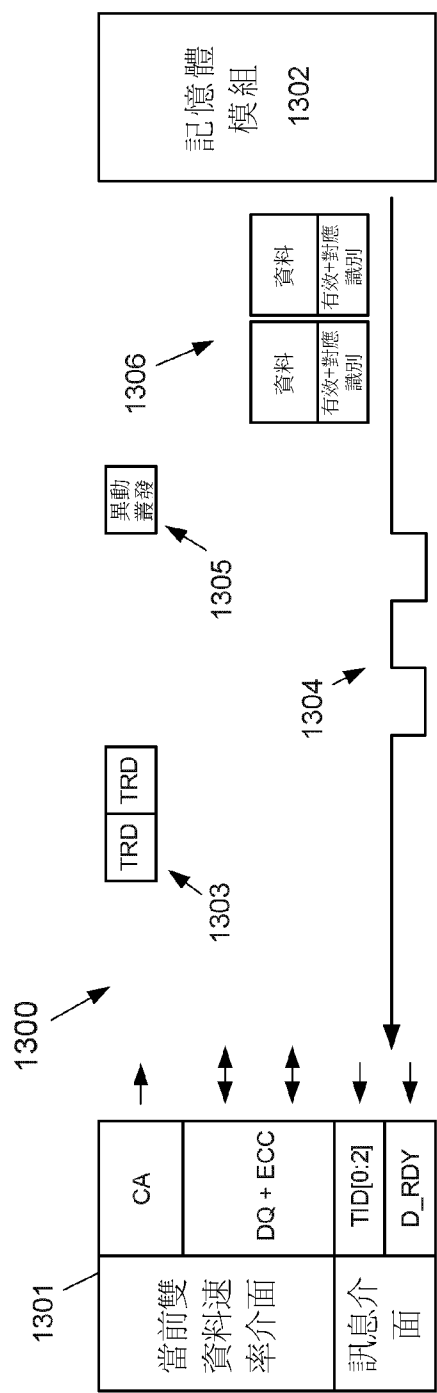
【圖 10】



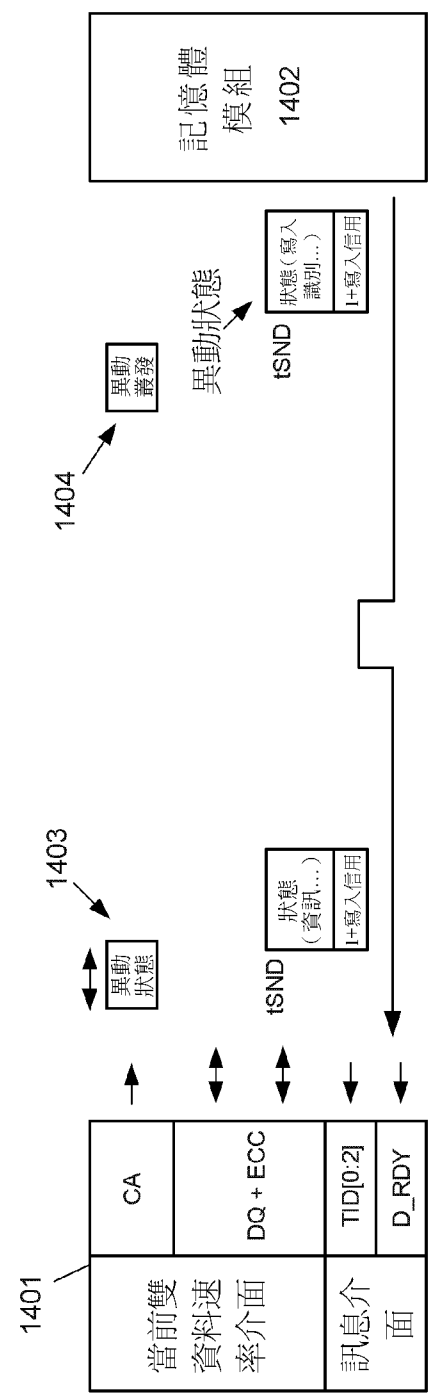
【圖 12】



【圖 11】

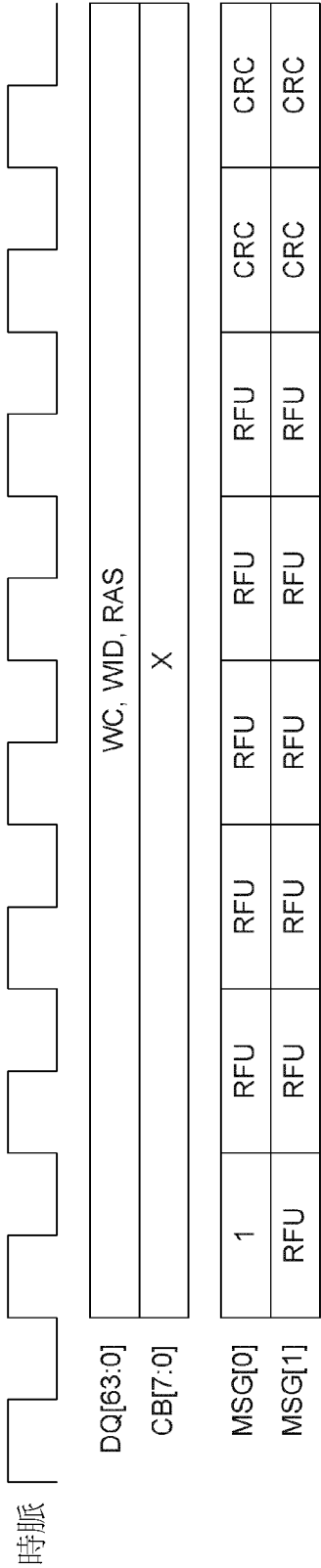


【圖 13】

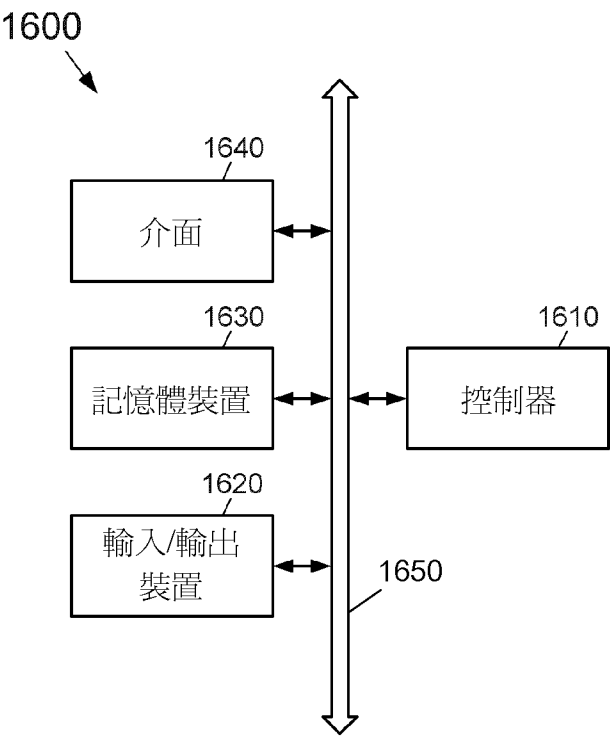


【圖 14】

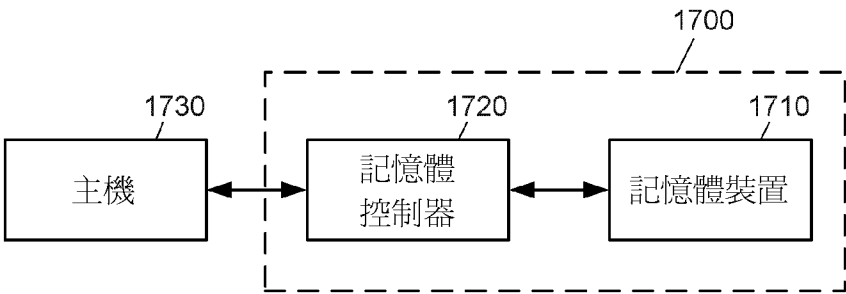
1500 



【圖 15】



【圖16】



【圖17】