



(12) 发明专利

(10) 授权公告号 CN 101617372 B

(45) 授权公告日 2014. 03. 26

(21) 申请号 200880005252. 6

(22) 申请日 2008. 02. 14

(30) 优先权数据

60/890, 252 2007. 02. 16 US

11/829, 410 2007. 07. 27 US

(85) PCT国际申请进入国家阶段日

2009. 08. 17

(86) PCT国际申请的申请数据

PCT/CA2008/000285 2008. 02. 14

(87) PCT国际申请的公布数据

W02008/098363 EN 2008. 08. 21

(73) 专利权人 莫塞德技术公司

地址 加拿大安大略省

(72) 发明人 金镇祺

(74) 专利代理机构 北京泛华伟业知识产权代理有限公司 11280

代理人 王勇

(51) Int. Cl.

G11C 16/02(2006. 01)

G06F 9/06(2006. 01)

G11C 7/10(2006. 01)

(56) 对比文件

US 6456528 B1, 2002. 09. 24, 全文.

US 2005/0286297 A1, 2005. 12. 29, 全文.

US 2006/0004952 A1, 2006. 01. 05, 全文.

审查员 刘彤

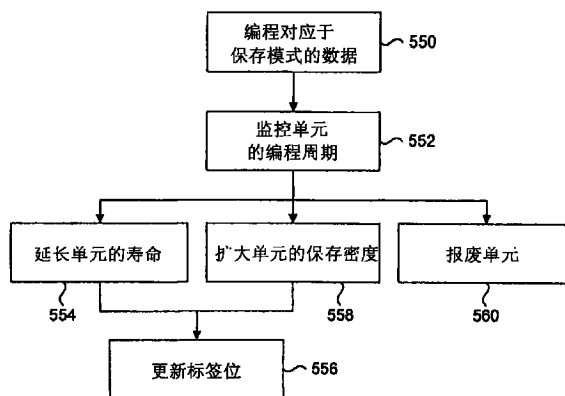
权利要求书5页 说明书12页 附图14页

(54) 发明名称

具有动态多模式操作的非易失性存储器

(57) 摘要

一种用于延长闪速存储器装置的生命期的方法和系统。该闪速存储器装置动态地可配置为在每单元单比特 (SBC) 保存模式或每单元多比特 (MBC) 保存模式中保存数据, 使得 SBC 数据和 MBC 数据二者共存在相同的存储器阵列中。保存在存储器的每个页面中的一个或多个标签位被用于指示在相应的子部分中保存该数据所使用的保存模式的类型, 其中子部分能够是体、块或页面。控制器监控对应于每个页面的编程-擦除周期的数量以用于选择性地改变保存模式, 以最大化多模式闪速存储器装置的任何子部分的生命期。



1. 一种闪速存储器装置,包括:

具有存储器块的 NAND 闪速存储器阵列,所述存储器块包括第一页面,用于保存每单元多比特数据;

命令解码器,用于响应于外部编程命令以发出每单元多比特编程命令和每单元单比特编程命令的一个;

控制逻辑电路,用于响应于所述每单元多比特编程命令或所述每单元单比特编程命令来执行编程算法;和

闪速存储器电路,用于响应于所述编程算法来编程所述 NAND 闪速存储器阵列的所述存储器块中的第二页面以保存每单元单比特数据。

2. 根据权利要求 1 所述的闪速存储器装置,其中所述命令解码器包括用于发出所述每单元单比特编程命令的每单元单比特命令解码器,和用于发出所述每单元多比特编程命令的每单元多比特命令解码器。

3. 根据权利要求 1 所述的闪速存储器装置,其中所述存储器阵列包括被配置用于响应于所述每单元多比特编程命令在每单元多比特保存模式中保存数据的第一子部分,和被配置用于响应于所述每单元单比特编程命令在每单元单比特保存模式中保存数据的第二子部分。

4. 根据权利要求 3 所述的闪速存储器装置,其中每个子部分与用于指定所述每单元多比特保存模式或所述每单元单比特保存模式的模式标签相关联。

5. 一种用于在 NAND 闪速存储器装置中保存数据的方法,包括:

a) 为所述 NAND 闪速存储器装置上电,以使至少一个子部分配置为第一保存模式或第二保存模式,其中所述第一保存模式为每单元多比特保存模式和每单元单比特保存模式之一,并且所述第二保存模式为每单元多比特保存模式和每单元单比特保存模式中的另一个;

b) 在上电所述 NAND 闪速存储器装置之后,响应于命令执行内部闪速操作;

c) 响应于所述命令的特定命令将所述至少一个子部分从第一保存模式转换为第二保存模式;和

d) 响应于所述特定命令,编程所述数据到以所述第一保存模式配置的第一子部分或以所述第二保存模式配置的第二子部分。

6. 根据权利要求 5 所述的方法,其中所述第一保存模式是每单元多比特保存模式,且所述第二保存模式是每单元单比特保存模式。

7. 根据权利要求 6 所述的方法,其中响应于预定的准则来执行所述转换的步骤。

8. 根据权利要求 7 所述的方法,其中所述预定的准则是每单元多比特编程擦除极限值。

9. 根据权利要求 8 所述的方法,其中所述转换步骤包括:将对应于所述第一子部分的编程/擦除计数器与所述每单元多比特编程/擦除极限值相比较。

10. 根据权利要求 9 所述的方法,其中所述编程步骤包括:如果所述编程/擦除计数器小于所述预定的每单元多比特编程/擦除极限值,则编程所述数据到所述第一子部分,并且如果所述编程/擦除计数器至少是所述预定的每单元多比特编程/擦除极限值,则编程所述数据到所述第二子部分。

11. 根据权利要求 10 所述的方法,其中所述编程步骤进一步包括:如果所述数据被编程到所述第二子部分,则擦除所述第一子部分。

12. 根据权利要求 10 所述的方法,其中所述编程步骤进一步包括:设置对应于所述第一子部分的模式标签为指示所述第二保存模式的状态。

13. 根据权利要求 10 所述的方法,其中所述编程步骤进一步包括:复位所述编程/擦除计数器。

14. 根据权利要求 7 所述的方法,其中所述预定准则是所述数据的特定简档。

15. 根据权利要求 14 所述的方法,其中所述数据的所述特定简档包括一组数据文件类型。

16. 根据权利要求 15 所述的方法,其中所述编程步骤包括:如果所述数据具有匹配所述特定简档的简档,则编程所述数据到所述第一子部分;并且如果所述简档不匹配所述特定简档,则编程所述数据到所述第二子部分。

17. 根据权利要求 5 所述的方法,其中所述第一子部分包括块,所述块具有预定数量的页面。

18. 根据权利要求 5 所述的方法,其中所述第一子部分包括页面,且预定数量的页面包括在块中。

19. 根据权利要求 5 所述的方法,其中所述第一保存模式是每单元单比特保存模式,且所述第二保存模式是每单元多比特保存模式。

20. 根据权利要求 19 所述的方法,其中所述转换步骤包括:将对应于所述第一子部分的每单元单比特编程/擦除计数器与回收极限值相比较,并且如果所述编程/擦除计数器小于所述回收极限值,则检查对应于所述第一子部分的锁定位的状态。

21. 根据权利要求 20 所述的方法,其中所述转换步骤进一步包括:如果所述锁定位的状态为假,则改变对应于所述第一子部分的模式标签的状态。

22. 根据权利要求 21 所述的方法,其中所述转换步骤进一步包括:在所述模式标签的状态被改变之后,设置所述锁定位为真。

23. 一种用于在 NAND 闪速存储器装置中以每单元多比特保存模式和每单元单比特保存模式中的其中一个选择性地编程数据的方法,包括:

a) 接收数据;

b) 确定所述数据的高可靠性级别或低可靠性级别;

c) 如果所述数据被确定为高可靠性,则在所述每单元单比特保存模式中编程所述数据到每单元单比特子部分;

d) 如果所述数据被确定为低可靠性,则在所述每单元多比特保存模式中编程所述数据到每单元多比特子部分;和

e) 转换任意数量的所述每单元多比特子部分为所述每单元单比特保存模式,或者任意数量的所述每单元单比特子部分为所述每单元多比特保存模式。

24. 根据权利要求 23 所述的用于选择性地编程数据的方法,其中所述转换的步骤包括:编程识别所述每单元单比特子部分和所述每单元多比特子部分的保存模式数据到所述 NAND 闪速存储器装置。

25. 根据权利要求 24 所述的用于选择性地编程数据的方法,进一步包括:防止每单元

单比特子部分到所述每单元多比特保存模式的转换。

26. 根据权利要求 25 所述的用于选择性地编程数据的方法,其中防止转换包括:编程锁定数据,用于防止所述保存模式数据的编程。

27. 一种闪速存储器装置,包括:

NAND 闪速存储器阵列,具有以第一保存模式保存数据的第一存储器块和以第二保存模式保存数据的第二存储器块,其中所述第一保存模式为每单元多比特保存模式和每单元单比特保存模式之一,并且所述第二保存模式为每单元多比特保存模式和每单元单比特保存模式中的另一个;和

控制逻辑电路,用于响应编程指令执行转换算法以将所述第二存储器块转换为以所述第一保存模式保存数据。

28. 根据权利要求 27 所述的闪速存储器装置,进一步包括闪速存储器电路,用于编程保存在所述第二存储器块中的数据到以所述第一保存模式保存数据的至少一个其他存储器块。

29. 根据权利要求 28 所述的闪速存储器装置,其中所述第一保存模式是每单元单比特保存模式,所述第二保存模式是每单元多比特保存模式。

30. 根据权利要求 28 所述的闪速存储器装置,其中所述第一保存模式是每单元多比特保存模式,所述第二保存模式是每单元单比特保存模式。

31. 根据权利要求 27 所述的闪速存储器装置,其中所述第二存储器块保存具有对应于所述第二保存模式的逻辑电平的模式标签位。

32. 根据权利要求 31 所述的闪速存储器装置,进一步包括闪速存储器电路,用于以所述第一保存模式编程数据到所述第二存储器块,并且用于以对应于所述第一保存模式的逻辑电平编程所述模式标签位。

33. 一种用于在 NAND 闪速存储器装置的子部分中编程数据的方法,所述方法包括:

以第一保存模式编程所述数据到所述子部分;

监控所述子部分的编程/擦除周期;和

如果所述子部分的所述编程/擦除周期达到预定的极限值,则将所述子部分转换为第二保存模式,

其中所述第一保存模式为每单元多比特保存模式和每单元单比特保存模式之一,并且所述第二保存模式为每单元多比特保存模式和每单元单比特保存模式中的另一个。

34. 根据权利要求 33 所述的方法,其中所述子部分是第一子部分,所述转换的步骤包括以所述第一保存模式编程保存在所述第一子部分中的所述数据到第二子部分。

35. 根据权利要求 34 所述的方法,其中所述转换进一步包括改变对应于所述第一子部分的保存模式数据,用于识别所述第一子部分的所述第二保存模式。

36. 根据权利要求 35 所述的方法,其中所述保存模式数据包括保存在地址映射表中的模式标签位,用于识别所述子部分的所述第二保存模式。

37. 根据权利要求 35 所述的方法,其中所述改变的步骤包括编程所述第一子部分的标签位字段中的位,用于识别所述第一子部分的所述第二保存模式。

38. 根据权利要求 33 所述的方法,其中所述第一保存模式是每单元多比特保存模式,所述第二保存模式是每单元单比特保存模式。

39. 根据权利要求 33 所述的方法,其中所述第一保存模式是每单元单比特保存模式,所述第二保存模式是每单元多比特保存模式。

40. 根据权利要求 33 所述的方法,其中所述子部分包括存储器块。

41. 根据权利要求 33 所述的方法,其中所述子部分包括存储器块的页面。

42. 根据权利要求 33 所述的方法,其中所述编程包括:当所述数据被编程到所述子部分,增加对应于所述子部分的所述编程/擦除周期的计数器。

43. 根据权利要求 33 所述的方法,其中在所述转换的步骤之后,复位对应于所述子部分的所述编程/擦除周期的计数器。

44. 一种闪速存储器装置,包括:

闪速存储器阵列;

命令解码器,用于当解码包括在外部编程命令中的信息时,发出每单元多比特编程命令或每单元单比特编程命令;

控制逻辑电路,用于响应于所述每单元多比特编程命令或所述每单元单比特编程命令来执行编程算法;和

闪速存储器电路,用于响应于所述编程算法,来编程所述闪速存储器阵列的第一块中的第一存储器单元以保存每单元多比特数据或者所述闪速存储器阵列的第二块中的第二存储器单元以保存每单元单比特数据。

45. 根据权利要求 44 所述的闪速存储器装置,其中所述外部编程命令包括关于所述命令解码器是否应该发出所述每单元多比特编程命令或所述每单元单比特编程命令的指令。

46. 根据权利要求 44 所述的闪速存储器装置,其中所述命令解码器包括用于发出所述每单元单比特编程命令的每单元单比特命令解码器和用于发出所述每单元多比特编程命令的每单元多比特命令解码器。

47. 根据权利要求 44 所述的闪速存储器装置,其中所述第一块是被配置用于以每单元多比特保存模式保存数据的第一子部分中的一个,所述第二块是被配置用于仅以 SBC 保存模式保存数据的第二子部分中的一个。

48. 根据权利要求 47 所述的闪速存储器装置,其中所述第一块和所述第二块与用于指定所述每单元多比特保存模式或所述每单元单比特保存模式的装置相关联。

49. 根据权利要求 47 所述的闪速存储器装置,其中所述第一块包括被配置用于以所述每单元多比特保存模式保存数据的第一存储器页面和被配置用于以所述每单元单比特保存模式保存数据的第二存储器页面。

50. 根据权利要求 47 至 49 中任一项所述的闪速存储器装置,其中所述闪速存储器阵列包括多个第三存储器单元,用于保存信息以识别所述闪速存储器阵列的哪些部分对应于所述第一子部分而不是所述第二子部分。

51. 根据权利要求 47 至 49 中任一项所述的闪速存储器装置,进一步包括用于保存信息以识别所述闪速存储器阵列的哪些部分对应于所述第一子部分而不是所述第二子部分的装置,其中所保存的信息能够在所述闪速存储器装置的操作期间被改变。

52. 一种用于在闪速存储器系统中以每单元多比特保存模式和每单元单比特保存模式中的其中一个选择性地编程数据的方法,所述方法包括:

a) 接收数据;

b) 确定所述数据的高可靠性级别或低可靠性级别；

c) 如果所述数据被确定为高可靠性,则在所述存储器装置的所述存储器阵列的第一块中以所述每单元单比特保存模式编程所述数据;和

d) 如果所述数据被确定为低可靠性,则在所述存储器装置的所述存储器阵列的第二块中以所述每单元多比特保存模式编程所述数据。

53. 根据权利要求 52 所述的选择性地编程数据的方法,其中所述存储器系统的所述控制器给所述存储器装置提供信息,当所述信息被解码时,所述存储器装置发出每单元多比特编程命令或者每单元单比特编程命令。

54. 根据权利要求 52 所述的选择性地编程数据的方法,其中所述确定的步骤包括:由所述控制器指示所述存储器装置在所述存储器装置内发出每单元多比特编程命令或者每单元单比特编程命令。

55. 根据权利要求 52 至 54 中任一项所述的选择性地编程数据的方法,包括:在所述存储器系统上电期间,利用信息来初始化地址映射表,所述信息如果以所述每单元多比特保存模式保存,则识别所述数据可被保存在所述存储器阵列中的哪里;以及如果以所述每单元单比特保存模式保存,则识别所述数据可被保存在所述存储器中的哪里。

56. 根据权利要求 55 所述的选择性地编程数据的方法,其中所述初始化包括从所述存储器装置获得所述信息。

57. 根据权利要求 56 所述的选择性地编程数据的方法,其中所述信息从所述存储器阵列的存储器单元来获得。

58. 根据权利要求 52 所述的选择性地编程数据的方法,其中所述存储器系统的所述控制器包括表,并且用于以所述每单元单比特保存模式或所述每单元多比特保存模式来编程所述数据的指令基于所述表中的项目来产生。

## 具有动态多模式操作的非易失性存储器

### 背景技术

[0001] 闪存存储器是常用的一类非易失性存储器,其广泛用作诸如例如数字照相机和便携式数字音乐播放器的消费电子设备的大容量存储装置。广泛适用的闪存存储器芯片的密度(当前)可达到4GB,由于一个闪存芯片的尺寸小,其适合用在流行的USB闪存驱动器中。

[0002] 八百万像素的数字照相机和具有音乐和视频能力的便携式数字娱乐装置的出现促进了对于保存大量数据的超高容量的需求,而这种需求是单个闪存存储器装置不能满足的。因此,将多个闪存存储器装置一起组合到存储器系统中来有效增加可用的存储容量。例如,对于这样的应用,可能需要20GB的闪存存储密度。对于硬盘驱动器(HDD)应用,能够实现更高密度的系统。

[0003] 图1是现有技术的典型闪存存储器的总的框图。闪存存储器10包括用于控制闪存电路的不同功能的诸如控制电路12的逻辑电路、用于保存地址信息、数据信息和命令数据信息的寄存器、用于产生所需编程和擦除电压的高电压电路和用于存取存储器阵列14的核心存储器电路。控制电路12包括命令解码器和用于执行诸如读出、编程和擦除功能的内部闪存操作的逻辑。闪存存储器10的所示电路块的功能是本领域内公知的。本领域内的普通技术人员理解图1中所示的闪存存储器10表示许多可能配置中的一个可能的闪存存储器配置。

[0004] 图1的闪存存储器10的存储器单元阵列14包括任意数量的存储体,其是用于特定的闪存装置的选择的设计参数。图2是示出图1的存储器单元阵列14的一个体20的组织示意图。存储体20被组织成 $k+1$ 个块,并且每一块包括 $i+1$ 个页面。 $k$ 和 $i$ 都是整数。每个页面对应于耦合到公共字线的存储器单元的行。块的存储器单元的详细描述如下。

[0005] 每个块包括NAND存储器单元串,具有串联布置并且彼此电耦合的多达 $i+1$ 个闪存存储器单元22。相应地,字线 $WL_0$ 到 $WL_i$ 耦合到存储器单元串中的每个闪存存储器单元的栅极。耦合到信号SSL(串选择线)的串选择装置24将存储器单元串选择性地连接到位线26,而耦合到信号GSL(接地选择线)的接地选择装置28将存储器单元串选择性地连接到诸如VSS的电源线。串选择装置24和接地选择装置28为 $n$ 沟道晶体管。

[0006] 存在对于存储体20的所有块的公共的 $j+1$ 个位线26,并且每一位线26耦合到块[0]到[k]的每一块中的一个NAND存储器单元串。变量 $j$ 是整数。每一字线( $WL_0$ 到 $WL_i$ )、SSL和GSL信号耦合到块中的每个NAND存储器单元串中的相同的对应的晶体管装置。如本领域的技术人员应该意识到的,沿着一个字线保存在闪存存储器单元中的数据被称为一页数据。

[0007] 数据寄存器30耦合到体20的外部的每一位线,用于保存将要被编程到闪存存储器单元的一页中的一页的写数据。数据寄存器30还包括读取电路,用于读取从闪存存储器单元的一个页面读出的数据。在编程操作期间,数据寄存器执行编程验证操作,以确保该数据已经被正确编程到耦合到选择的字线的闪存存储器单元中。块内的编程典型地开始于对应于 $WL_0$ 的页面,并且顺序地进行直到 $WL_i$ 以充满当前块。替代地,编程能够开始于 $WL_i$ 并且顺序向下进行至 $WL_0$ 。然后编程以新块的 $WL_0$ 继续。在装置内,块典型地被顺序编程。

[0008] 闪速存储器 10 的闪存单元能够以两种不同模式中的一种来保存数据。数据能够以每单元单比特 (SBC) 保存模式或每单元多比特 (MBC) 保存模式来保存。在 SBC 保存模式中, 正好信息的一个比特被保存在一个单元, 以表示两种可能状态的一种。在 MBC 保存模式中, 2 个比特被保存在一个单元中以表示四种可能状态的一种。当然, 3 个或更多个比特能够被保存在一个单元中, 但是从此点开始, 将使用 2 个比特被保存在一个单元的示例。在 MBC 保存模式 (每单元 2 个或更多个比特) 中保存数据的优点是: 当使用相同数量的单元时, 保存容量是 SBC 保存模式的至少两倍。当在 SBC 保存模式或 MBC 保存模式中保存数据时, 闪速存储器 10 的主电路大体相同。由于在 SBC 和 MBC 读出和编程操作之间闪存电路被不同地控制, 所以闪速存储器制造商在制造过程期间应用掩膜选项以配置闪速存储器 10 来执行 SBC 特定算法或 MBC 特定算法。

[0009] 图 3 示出用于在 SBC 保存模式中擦除存储器单元和编程存储器单元的阈值电压 ( $V_t$ ) 分布图。由于工艺和电压电源变化, 擦除和编程阈值电压在电压范围内分布。如图 3 中所示, 擦除存储器单元具有在  $-3V$  到  $-1V$  之间的负阈值电压, 而编程存储器单元具有在  $1V$  到  $3V$  之间的正阈值电压。该范围依赖于存储器单元的希望的阈值电压。该阈值电压范围说明能够被用于特定闪速存储器装置中的可能的阈值电压, 但是本领域内的技术人员理解用于擦除和编程存储器单元的阈值电压的选择将依赖于闪速存储器装置的设计和制造工艺。本领域内的技术人员理解不同的闪存装置将具有不同的阈值电压范围以适合特定设计或应用。

[0010] 图 4 示出用于在 MBC 保存模式中擦除存储器单元和编程存储器单元的阈值电压 ( $V_t$ ) 分布图。擦除存储器单元具有负阈值电压, 并且存在存储器单元将保存的正阈值电压的 3 个范围, 每一个对应于不同的状态。优选的, 对于每一状态的阈值电压的最小和最大范围应被最小化, 而范围之间的间距应被最大化。

[0011] 在闪速存储器装置能够不再被用于可靠地保存数据之前, 其具有有限次数的擦除 - 编程周期, 这是公知的。更具体地, 闪速存储器单元经受编程 / 擦除周期损耗, 这是闪速存储器单元由于累积的编程和擦除操作的逐渐的退化。注意到, 在使用数据编程存储器块之前, 存储器块总是首先被擦除, 因此周期能够指编程和擦除周期二者。本领域内的技术人员理解, 所有当前公知的闪速存储器被配置用于块擦除, 意味着如果仅块中的一个页面数据被修改, 包含那个页面的整个块被擦除并且连同所修改的页面和未修改的页面被重新编程。这样的累积的编程和擦除操作的影响是存储器单元的编程和擦除特性的更改超出最佳参数。当存储器单元退化, 需要较高编程和擦除电压以编程或擦除存储器单元到所希望的阈值电压。最后, 存储器单元将不能正确地保持数据 (即, 希望的阈值电压)。例如, 当前 SBC 闪速存储器的典型的额定的擦除 - 编程周期是大约 100000 个周期。但是, 当前 MBC 闪速存储器具有更小额定的极限值的 10000 个周期。上面提及的擦除 - 编程周期极限值仅是示例, 但 MBC 擦除 - 编程周期比 SBC 擦除 - 编程周期低相当大的因子是公知的。

[0012] 当前, 由于相对于闪速存储器的芯片尺寸的大存储密度, 所以多数可用的闪速存储器是 MBC 类型。虽然这可适合于大多数消费者应用, 但是 10000 个周期的编程 - 擦除极限值不足以用于频繁的数据编程和擦除的其它应用。因此, 当 MBC 闪速存储器已经达到其 10000 周期的生命期时, 其不再可用并必须被废弃。这个问题对于诸如 HDD 应用的商业应用更为严重, 其中存在较频繁的编程 - 擦除周期。由于 HDD 应用比大多数消费者应用要求更



高的数据整体性,则 MBC 闪速存储器由于其相对短的 10000 周期的生命期而不适合使用。

[0013] 因此,希望提供一种对于消费者和商业应用二者都适合的、具有延长的生命期的闪速存储器和闪速存储器系统。

## 发明内容

[0014] 本实施例的一个方面用来消除或者减轻先前的闪速存储器系统的至少一个缺点。

[0015] 在第一方面中,提供了具有存储器阵列的闪速存储器装置。该闪速存储器装置包括命令解码器、控制逻辑电路和用于编程存储器单元的闪速存储器电路。该命令解码器响应外部编程命令来发出每单元多比特 (MBC) 编程命令和每单元单比特 (SBC) 编程命令中的一个。该控制逻辑电路响应该每单元多比特编程命令或该每单元单比特编程命令来执行编程算法。该闪速存储器电路响应该编程算法来编程该存储器阵列的存储器单元。根据本方面的实施例,该命令解码器包括用于发出 SBC 编程命令的 SBC 命令解码器,和用于发出 MBC 编程命令的 MBC 命令解码器。

[0016] 在本方面的另一个实施例中,该存储器阵列包括被配置用于响应 MBC 编程命令在 MBC 保存模式中保存数据的第一子部分,和被配置用于响应 SBC 编程命令在 SBC 保存模式中保存数据的第二子部分。该第一子部分和该第二子部分能够包括存储块或存储页。每个子部分与用于指定 MBC 保存模式或 SBC 保存模式的模式标签相关联,其中每个子部分是该存储器阵列中的存储页。

[0017] 在第二方面中,提供了一种用于在闪速存储器装置中保存数据的方法。该方法包括将该闪速存储器装置的子部分从第一保存模式转换为第二保存模式,该子部分具有指示该第一保存模式和该第二保存模式之一的对应的模式标签;并且编程该数据到该子部分和替代的子部分中的一个。根据本方面的实施例,该第一保存模式是每单元多比特 (MBC) 保存模式,且该第二保存模式是每单元单比特 (SBC) 保存模式,且该转换步骤响应于预定的标准而被执行。该预定的标准是 MBC 编程擦除极限值,并且该转换步骤包括将对应于该子部分的编程/擦除计数器与该 MBC 编程/擦除极限值相比较。该编程步骤包括:如果该编程/擦除计数器小于该预定的 MBC 编程/擦除极限值,则编程该数据到该子部分,并且如果该编程/擦除计数器是至少该预定的 MBC 编程/擦除极限值,则编程该数据到该替代的子部分。该编程步骤能够包括如果该数据被编程到该替代的子部分,则擦除该子部分,设置对应于该子部分的模式标签为指示该第二保存模式的状态,或复位该编程/擦除计数器。

[0018] 在本方面的另一个实施例中,预定标准是数据的特定简档,其中该数据的特定简档包括一组数据文件类型。该编程步骤包括:如果该数据具有匹配该特定简档的简档,则编程该数据到该子部分;并且如果该简档不匹配该特定简档,则编程该数据到该替代的子部分。在又一个实施例中,该子部分包括块,其中该块具有预定数量的页面,或该子部分包括页面,且预定数量的页面被包括在块中。在另一个实施例中,该第一保存模式是每单元单比特 (SBC) 保存模式,且该第二保存模式是每单元多比特 (MBC) 保存模式,且该转换步骤包括:将对应于该子部分的 SBC 编程/擦除计数器与回收极限值相比较,并且如果该编程/擦除计数器小于该回收极限值,则检查对应于该子部分的锁定位的状态。该转换步骤进一步包括如果该锁定位的状态为假,则改变对应于该子部分的模式标签的状态。该转换步骤进一步包括:在模式标签位的状态被改变后,设置该锁定位为真。

[0019] 在第三方面中,提供了一种多模式闪速存储器装置。该多模式闪速存储器装置包括具有闪速存储器单元的存储器阵列,该闪速存储器单元用于在 SBC 保存模式中保存每单元单比特 (SBC) 数据,并且用于在 MBC 保存模式中保存每单元多比特 (MBC) 数据。根据本方面的实施例,该存储器阵列的第一块保存 SBC 数据,且该存储器的第二块保存 MBC 数据,或该存储器阵列的块中的第一页面保存 SBC 数据,且该存储器阵列的该块中的第二页面保存 MBC 数据,其中该第一页面和该第二页面的每一个保存模式标签,该模式标签具有指示 SBC 数据或 MBC 数据的存在的逻辑状态。

[0020] 在第四方面中,提供了一种用于在闪速存储器系统中每单元多比特 (MBC) 保存模式和每单元单比特 (SBC) 保存模式的一个中选择性地编程数据的方法。该方法包括接收数据;确定该数据的高可靠性级别或低可靠性级别;如果该数据被确定为高可靠性,则在 SBC 保存模式中编程该数据;如果该数据被确定为低可靠性,则在 MBC 保存模式中编程该数据。在本方面的实施例中,该在 SBC 保存模式中编程该数据的步骤包括编程该数据到闪速存储器装置的存储器阵列中的选择的 SBC 页面,并且设置对应于该选择的 SBC 页面的每一个的模式标签为第一状态。此外,该在 MBC 保存模式中编程该数据的步骤包括编程该数据到该闪速存储器装置的该存储器阵列中的选择的 MBC 页面,并且设置对应于该选择的 MBC 页面的每一个的模式标签为第二状态。

[0021] 在第五方面中,提供了一种用于从具有每单元多比特 (MBC) 页面和 (SBC) 页面的闪速存储器系统读出数据的方法。该方法包括接收读出地址用于读出闪速存储器阵列的至少一个页面;如果对应于该至少一个页面的模式标签处于第一逻辑状态,则在该读出地址执行 MBC 读出操作;和如果对应于该至少一个页面的该模式标签处于第二逻辑状态,则在该读出地址执行 SBC 读出操作。该方法包括在接收该读出地址之前,用对应于该闪速存储器阵列的每个页面的模式标签初始化地址映射表。在本方面的实施例中,该初始化步骤包括上电该闪速存储器阵列,读出保存在该闪速存储器阵列的每个页面中的模式标签,和保存该模式标签连同对应于该闪速存储器阵列的每个页面的逻辑地址项。读出该模式标签包括:执行 SBC 读出操作用于读出该闪速存储器阵列的每个页面中的该模式标签。在另一个实施例中,该接收步骤包括:从闪速控制器发出外部读出命令到闪速存储器装置,响应于该读出地址和对应于该读出地址的模式标签位的逻辑状态,产生该外部读出命令。该执行 MBC 读出操作能够包括:在该闪速存储器装置内解码该外部读出命令,并发出内部 MBC 读出命令和内部 SBC 读出命令中的一个。

[0022] 通过结合附图阅读本发明的具体实施例的下面的描述,所描述的实施例的其它方面和特征对于本领域的普通技术人员将变得清楚。

## 附图说明

[0023] 现在将参考附图仅通过示例描述实施例,其中:图 1 是现有技术的闪速存储器装置的框图;图 2 是示出图 1 的闪速存储器装置的一个存储体的组织的示意图;图 3 是每单元单比特保存模式中的擦除存储器单元和编程存储器单元的阈值电压 ( $V_t$ ) 分布图;图 4 是每单元多比特保存模式中的擦除存储器单元和编程存储器单元的阈值电压 ( $V_t$ ) 分布图;图 5 是多点闪速存储器系统的框图;图 6 是串行配置的闪速存储器系统的框图;图 7 是用于延长多模式闪速存储器装置的生命期的方法的流程图;图 8a 和 8b 是在 MBC 保存模式和 SBC

保存模式之间转换的存储块的图解；图 8c 和 8d 是在 MBC 保存模式和 SBC 保存模式之间转换的页面的图解；图 9 是存储器阵列的一个页面的所分配的字段的示意图；图 10 是包括一个多模式闪速存储器装置的闪速存储器系统的框图；图 11 是操作图 10 的闪速存储器系统的方法的流程图；图 12 是初始化具有模式标签信息的地址映射表的方法的流程图；图 13 是延长多模式闪速存储器系统的生命期的方法的流程图；图 14 是用于用户可选择编程 MBC 和 SBC 保存模式的数据的方法的流程图；图 15 是将 MBC 保存模式子部分自动地转换为 SBC 保存模式子部分的方法的流程图；图 16 是回收 SBC 保存模式子部分的方法的流程图；和图 17 是从多模式闪速存储器装置读出数据的方法的流程图。

## 具体实施方式

[0024] 总地，至少一些示例实施例提供用于延长闪速存储器装置的生命期的方法和系统。闪速存储器装置动态地可配置用来在每单元单比特 (SBC) 保存模式或每单元多比特 (MBC) 保存模式中保存数据，使得 SBC 数据和 MBC 数据共存在相同的存储器阵列中。这样的存储器装置称为多模式闪速存储器装置。保存在存储器的每个页面中的一个或多个标签位被用来指示在对应的存储器块中保存数据所使用的保存模式的类型。为了最大化多模式闪速存储器装置的生命期，控制器监控对应于每个页面的编程 - 擦除周期的数量，用于选择地改变保存模式

[0025] 当前所描述的实施例可应用于诸如图 1 中所示的闪速存储器装置的单个 MBC 闪速存储器装置，和诸如图 5 和 6 所示的闪速存储器系统的 MBC 闪速存储器装置的系统。

[0026] 图 5 是与主机系统 102 集成的闪速存储器系统 100 的框图。闪速存储器系统 100 包括与主机系统 102 通信的闪速存储器控制器 104，和多个多模式闪速存储器装置 106。主机系统 102 包括诸如微控制器、微处理器或计算机系统的处理装置。图 5 的闪速存储器系统 100 被配置以包括一个通道 108，其中多模式闪速存储器装置 106 被并行耦合到通道 108。本领域内的技术人员理解存储器系统 100 能够具有与其耦合的更多或更少的存储器装置。

[0027] 通道 108 包括一组公共总线（未示出），其包括耦合到所有存储器装置 106 的数据和控制线。虽然未示出，但每个存储器装置由闪速存储器控制器 104 提供的相应的片选信号来启用 / 停止。闪速存储器控制器 104 负责基于主机系统 102 的操作经由通道 108 发出命令和数据到所选择的存储器装置 106。从存储器装置读出的数据经由通道 108 传送到闪速存储器控制器 104 和主机系统 102。闪速存储器系统 100 总地称为多点配置，其中多模式闪速存储器装置 106 关于通道 108 并行耦合。本领域内的技术人员理解，闪速存储器控制器 104 能够具有多个通道，每个具有在多点配置中耦合的闪速存储器装置 106。每个多模式闪速存储器装置 106 被实现为具有图 2 先前所示的体存储器组织的 NAND 闪速存储器装置。闪速存储器装置 106 能够具有相同的容量或不同的容量。

[0028] 图 6 是具有串行耦合的存储器装置的闪速存储器系统的框图。闪速存储器系统 120 包括与主机系统 124 通信的闪速存储器控制器 122，和四个串行耦合的多模式闪速存储器装置 126。四个闪速存储器装置中的每个具有用于促进存储器装置之间的操作的输入 / 输出电路。这样的闪速存储器装置的示例在 2005 年 12 月 30 日提交的序号为 11/354023 的共同拥有的美国专利申请和 2006 年 7 月 31 日提交的序号为 11/496278 的共同拥有的美国专利申请中进行了描述，其内容通过引用包含于此。

[0029] 根据实施例,多模式闪速存储器装置被缺省设置来在 MBC 保存模式中保存数据。每个多模式闪速存储器装置的生命期通过执行生命期延长方案而延长。图 7 是图示生命期延长方案的流程图。

[0030] 第一步骤是单元转换 200,典型地响应于编程指令而执行。监控以 MBC 保存模式配置的所有子部分的编程 / 擦除周期,并且自动地将达到所预定的极限值的任何子部分转换为 SBC 保存模式。子部分是最小的单元或可转换的单元的分组,诸如例如存储块或页面。这是由于达到所预定的极限值的任何 MBC 保存模式子部分将不再可靠地保存数据的事实,但是对于设置数量的编程 / 擦除周期它们能够用于在 SBC 保存模式中保存数据。如果不再保持其中保存的数据,单元转换算法也将子部分从 SBC 保存模式转换为 MBC 保存模式。

[0031] 接下来在步骤 202,根据所选择的保存模式来编程数据。存储体的所有子部分缺省地设置为在 MBC 保存模式中保存数据。但是,如果用户挑选保存要求较高保存可靠性的数据,则分配并设置至少所要求数量的子部分用于在 SBC 保存模式中保存数据文件。闪速存储器控制器(例如 104 或 122)能够被配置以识别特定数据文件扩展名类型为要求较高保存可靠性的数据文件。例如,在 Windows™ 操作系统平台中具有“.exe”的可执行应用程序将在 SBC 保存模式中保存,而具有“.avi”扩展名的视频数据文件不要求较高的保存可靠性。因此,以 SBC 保存模式配置的子部分将比以 MBC 保存模式配置的子部分具有更长的生命期。

[0032] 使用生命期延长方案的上面所提及的步骤的任何一个将延长多模式闪速存储器装置的寿命。但是,当在多模式闪速存储器装置操作期间两个步骤都被使用时,获得最大生命期延长。

[0033] 图 8a 和 8b 图形说明了存储器的子部分从 MBC 保存模式到 SBC 保存模式的转换,反之亦然,其中当前子部分是存储块。为了容易说明,图 8a 的多模式闪速存储器装置 300 包括 4 个存储块 302,4 个存储块中的每个包括 4 个页面 304。假定存储器装置 300 将其所有块 302 都初始地设置为在 MBC 保存模式中保存数据,并且已经经受图 7 中先前所描述的用户或者自动单元转换算法。因此,通过示例,多模式闪速存储器装置 300 具有如图 8a 中所示的 SBC 和 MBC 页面的配置,其中阴影的块被设置为在 SBC 保存模式中保存数据,且非阴影块被设置为在 MBC 保存模式中保存数据。

[0034] 图 8b 说明了页面 304 已经被转换之后的多模式闪速存储器装置 300 的映射。在第一示例中,已经确定包含页面 306、308、310 和 312 的 MBC 保存模式块已经达到所预定数量的编程 / 擦除周期。因此,它们被转换为 SBC 保存模式。对于块 302 中的每个页面 304,监控编程 / 擦除周期,并且当至少一个页面达到预定的数量时,执行块转换。

[0035] 在第二示例中,已经确定包含页面 314、315、316 和 317 的 SBC 保存模式块不再保存数据。这能够在其中的数据被擦除并且没有其它的数据被保存到其中时被确定。检查 SBC 页面 314、315、316 和 317 的 SBC 编程 / 擦除周期的数量,并且因为它们相应的 SBC 编程 / 擦除周期的至少一个已经达到预定的极限值,整个块被转换回到 MBC 保存模式。关于 MBC 到 SBC 保存模式和 SBC 到 MBC 保存模式转换的特定细节将在后面讨论。

[0036] 图 8a 和 8b 说明了基于块转换的在 SBC 保存模式和 MBC 保存模式之间的子部分。图 8c 和 8d 说明了基于页面转换的在 SBC 保存模式和 MBC 保存模式之间的子部分。如图 8c 中所示,页面 318 和 320 被设置为在 MBC 保存模式中保存数据,并且页面 322 和 324 被设置

为在 SBC 保存模式中保存数据。在第一示例中,通过监控编程 / 擦除周期确定页面 318 和 320 二者都已经达到预定的 MBC 编程 / 擦除周期极限值。因此执行到 SBC 保存模式的各自的页面转换。在第二示例中,通过监控编程 / 擦除周期确定页面 322 和 324 二者都已经达到所预定的极限值。因此执行到 MBC 保存模式的各自的页面转换。

[0037] 存储器装置 300 中的任意块 302 的保存模式的确定通过检查保存在页面 304 的其中的一个的模式标签 (至少一位) 来获得。这允许存储器装置 300 对选择的块 302 执行正确的编程和读出操作。图 9 是页面 304 的示意图,具体示出了其所分配的字段。页面 304 包括用户数据字段 350 和备用数据字段 352。用户数据字段 350 保存从用户接收的数据,而备用数据字段 352 被保留以供闪存装置或闪存存储器控制器使用。在本示例中,用户数据字段 350 的大小为 2KB,而备用数据字段 352 的大小为 64B。在备用数据字段 350 中,一个或多个位被指定作为保存模式标签 354,且多个位被指定作为编程 / 擦除周期计数器 356,用于记录在页面上执行的 MBC 编程 / 擦除周期的数量。

[0038] 包括 SBC 计数器 358 来记录在页面上所执行的 SBC 编程 / 擦除周期的总数量,以支持 SBC 到 MBC 和随后的 MBC 到 SBC 的转换。一个示例应用是使用 SBC 保存模式以高速编程数据,并且然后转换为 MBC 保存模式,以在空闲时间期间提高存储器容量。能够提供可选的锁定位 360 用于防止 SBC 保存模式页面被转换为 MBC 保存模式。此特征的进一步细节将在下面讨论。虽然存储块 302 将包括任意数量的页面 304,但任意一个或多个页面 304 能够被选择用于保存对应于存储块 302 的标签位、SBC 计数器数值、MBC 计数器数值和可选的锁定位。

[0039] 多模式闪存存储器装置 300 使用模式标签 354 以确定使用特定的读出、编程和擦除算法。如先前所讨论的,对于以 SBC 和 MBC 保存模式保存的数据,涉及具体电压电平的控制信号和时序的读出和编程算法是不同的。这样的区别对于本领域内的技术人员是公知的。更具体地,如果被读出或编程的子部分 (诸如块) 将其对应的模式标签 354 设置为特定的逻辑状态,则闪存装置执行 MBC 保存模式算法。否则,闪存装置将执行 SBC 保存模式算法。由多模式闪存存储器装置的命令解码器和逻辑电路来管理专用于 SBC 和 MBC 保存模式的算法的执行。

[0040] 在一些实施例中,多模式闪存存储器装置将包括执行专用于 SBC 和 MBC 保存模式二者的操作所要求的所有电路和控制逻辑。注意到,MBC 闪存存储器装置典型地包括 SBC 闪存存储器装置所使用的所有电路。专用的 MBC 和 SBC 闪存存储器装置之间的主要区别是用于执行算法的控制电路和逻辑电路。

[0041] 图 10 是包括一个多模式闪存存储器装置的闪存存储器系统的框图。闪存存储器系统 400 包括闪存存储器控制器 402 和多模式闪存存储器装置 404。虽然为了说明方便仅示出了一个装置 404,但系统 400 能够包括耦合到同一通道的任意数量的装置 404,而且系统 400 能够包括任意数量的通道。现在将描述闪存存储器控制器 402 和多模式闪存存储器装置 404 的细节。

[0042] 闪存存储器控制器 402 的典型部件是到逻辑到物理的地址翻译器 406,其负责将由主机系统提供的每个逻辑地址映射到多模式闪存存储器装置中的对应的物理地址。如本领域内的技术人员理解的,使用地址映射以确保:如果数据移动或重新编程以实现损耗均匀操作,则数据的逻辑地址一直指向存储器阵列中的其实际物理位置。翻译器也通常被

实现为地址映射表。根据本实施例,获得多模式闪速存储器装置 404 的每个子部分的每个模式标签 (MODE) 并且将其与其对应的逻辑地址项一起保存在映射表中。如果子部分是块,则保存对于对应于块的逻辑地址的相应的模式标签。替代地,如果子部分是页面,则获得并保存每个页面的模式标签。因此,闪速存储器控制器 402 将发出外部命令 (CMD),该外部命令具有关于与选择的地址相关联的保存模式的类型的信息。

[0043] 图 10 中所示的多模式闪速存储器装置 404 包括多模式控制电路 405、闪速存储器电路 412 和存储器阵列 414,其中多模式控制电路 405 包括命令解码器 408 和控制逻辑 410。为了清楚,已经简化了闪速存储器电路 412 和存储器阵列 414,但是本领域内的技术人员应该理解这些电路块包括所有必要的部件以确保多模式闪速存储器装置 404 的正确操作。命令解码器 408 接收由闪速存储器控制器 402 发出的外部命令 CMD,解码该命令,并发出对应的内部控制命令到控制逻辑 410。本领域内的技术人员理解外部命令 CMD 将包括诸如被执行的操作的类型、被编程的用户数据、和数据将被写入或数据将从其读出的地址的信息。控制逻辑 410 是具有用于执行所有标准的 SBC 和 MBC 读出和编程操作的逻辑的状态机,包括诸如编程验证操作的任何补充性操作。控制逻辑 410 还包括用于执行对于多模式闪速存储器装置是唯一的逻辑功能的逻辑电路,如将在后面描述的那样。

[0044] 命令解码器 408 包括 MBC 命令解码器 416、SBC 命令解码器 418 和公共命令解码器 420。MBC 命令解码器 416 发出 MBC 保存模式特定命令,诸如 MBC 读出命令 RD\_MBC 和 MBC 编程命令 PGM\_MBC。SBC 命令解码器 418 发出 SBC 保存模式特定命令,诸如 SBC 读出命令 RD\_SBC 和 SBC 编程命令 PGM\_SBC。公共解码器 420 发出不是专用于对于 SBC 或者 MBC 保存模式配置的存储器子部分的命令,诸如擦除命令。三个子命令解码器 416、418 和 420 被示为独立的电路块以说明由命令解码器 408 所发出的命令的类型的分类,并且不必要表示用于产生命令的特定的电路或逻辑分组。

[0045] 现在参考图 11 的流程图描述闪速存储器系统 400 的总的操作。在执行所说明的操作方法的步骤之前,假定模式标签信息已经被装载入地址翻译器 406。现在在步骤 450,接收主机请求,其能够包括例如读取或写请求。该请求将包括用于将数据写入多模式闪速存储器装置 404 的逻辑地址或用于从多模式闪速存储器装置 404 读出数据的逻辑地址。在步骤 452,闪速存储器控制器 402 查找地址映射表,并且基于所请求的逻辑地址和地址映射表中的对应的模式标签的状态,产生具有关于所要求的保存模式操作 (SBC 对 MBC 保存模式) 的必需类型的指示的合适的命令 CMD。在步骤 454,解码由命令解码器 408 所接收的 CMD 命令,由 MBC 命令解码器 416 或 SBC 命令解码器 418 发出 SBC 保存模式或 MBC 保存模式读出 / 编程命令。当然,CMD 命令能够是由公共命令解码器 420 发出的诸如擦除操作的非保存模式专用的命令。在步骤 456,控制逻辑 410 执行所要求的算法,并且以合适的方式控制必要的多模式闪速存储器电路 412。

[0046] 在由多模式闪速存储器装置 404 执行任何操作之前,用模式标签初始化闪速存储器控制器 402 的地址映射表。这优选在不存在被执行的用户操作时的时间期间完成,诸如闪速存储器系统 400 的上电期间。图 12 是图解说明用于初始化地址映射表的方法的流程图。在步骤 500,上电闪速存储器系统 400。然后在步骤 502,闪速存储器装置 404 扫描其存储器阵列以评估其所有标签位的逻辑状态。这是通过执行闪速存储器装置 404 中的所有页面的读出操作,并且仅提供模式标签信息 (MODE) 给闪速存储器控制器 402 来完成。如果数

据的整个页面被同时读出,则仅使用标签位并且忽略从页面所读出的剩余数据。然后,在步骤 504,用 MODE 标签数据填充地址映射表。

[0047] 为了最大化速度并且简化模式标签读出的过程,使用 SBC 保存模式读出算法来读出所有页面。更具体地,SBC 读出算法检测标签位的擦除状态的存在或不存在。能够使用两个二进制逻辑状态来确定子部分(即,例如块或页面)的 SBC 或 MBC 保存模式配置。优选地,闪速存储器装置将在制造/测试期间被预编程,以将其所有模式标签位设置为一个指示数据将在 MBC 保存模式中被编程的逻辑状态(擦除状态)。在标准操作期间,闪速存储器装置 402 将经受编程和擦除操作,由此最后作为存储器的页面或块的至少一个子部分改变其模式标签。

[0048] 图 13 是说明用于通过自动地改变模式标签的状态来延长多模式闪速存储器装置 400 的生命期的方法的流程图。该方法概述在改变模式标签之前的特定准则或条件。该方法开始于步骤 550,其中数据被编程到多模式闪速存储器装置。假定在多模式闪速存储器装置的存储器阵列中存在 SBC 保存模式子部分和 MBC 保存模式子部分的混合。因此,在步骤 550,将执行 SBC 或 MBC 编程操作。

[0049] 在步骤 552,在编程/擦除周期之后,监控对于存储器阵列的每个子部分的编程周期的数量。替代地,能够恰好在编程/擦除周期之前进行监控。注意到,在某些方面擦除操作是在对于存储器的子部分的每一次编程操作之前进行,因此擦除周期或编程周期的数量大体相同。地址映射表能够包括对于每个子部分的编程/擦除计数器,其初始由保存在页面的备用数据字段(352)的对应的计数器数值来填充。计数器数值能够在系统上电期间被载入并且当数据被编程时被编程回到页面。步骤 552 中的监控包括将用于当前编程的子部分的编程/擦除计数器与预定的极限值相比较。基于保存模式,存在所使用的两个预定的极限值。一个极限值是 SBC 保存模式极限值,而另一个是 MBC 保存模式极限值。例如,MBC 保存模式子部分将具有 10000 次的编程/擦除周期的极限值,并且 SBC 保存模式子部分将具有 100000 次的编程/擦除周期的极限值。在编程操作已经完成之前或之后,执行比较。然后,如果达到可应用的预定的极限值,则采取三个可能动作的其中一个。

[0050] 第一个可能的动作是:在步骤 554,通过将 MBC 保存模式子部分转换为 SBC 保存模式来延长 MBC 保存模式子部分的生命期。因此,当前保存在将被转换的 MBC 保存模式子部分中的任意数据被移动或者被编程到可用的 MBC 保存模式子部分。然后,在步骤 556,改变在地址映射表中对应的模式标签位以指示该子部分被设置为 SBC 保存模式。当数据被编程到页面时,编程页面的标签位字段。

[0051] 第二个可能的动作是:在步骤 558,通过将 SBC 保存模式子部分转换为 MBC 保存模式来回收 SBC 保存模式子部分。这是与步骤 554 中讨论的过程相反的过程。在两个条件下进行回收,一个是 SBC 编程/擦除周期的数量低于小于标准 SBC 极限值的预定数值,其中标准 SBC 极限值能够是 100000 个周期。这是由于被编程接近 100000 个周期的 SBC 存储器单元将退化到它们将不能在 MBC 保存模式中可靠地保存数据的点的事实。因此,使用减小的 SBC 到 MBC 的回收极限值。选择该减小的极限值以使得子部分将可靠地持续 10000 个编程/擦除周期的标准 MBC 极限值。在一个实施例中,减小的 SBC 到 MBC 的回收极限值对应于 MBC 极限值。例如,如果 MBC 极限值是 10000 个周期,假定 SBC 存储器单元已经持续 10000 个 SBC 编程/擦除周期或更少,则 SBC 存储器单元能够被转换为 MBC 保存模式。第二个条

件是保存在 SBC 子部分中的数据不再使用,即数据已经被擦除且不被重新编程到同一个子部分。当子部分被擦除时,更新地址映射表以指示该子部分为空闲的。一旦满足这两个条件,在步骤 556 中,改变地址映射表中的模式标签状态。因此,回收这样的 SBC 子部分用于高密度保存是有利的。

[0052] 第三个可能的动作是:当 SBC 子部分已经达到其 SBC 编程/擦除周期极限值,则在步骤 560,报废该 SBC 子部分。在此情形下,该子部分被简单地标出并且不再被闪速存储器系统使用。不可用的子部分的标出是闪速存储器系统中公知的操作。但是,在此时间点,子部分将已经在 MBC 和 SBC 保存模式二者中保存数据,由此最大化子部分的生命期。

[0053] 先前所描述的实施例假设多模式闪速存储器将其所有子部分缺省配置为在 MBC 保存模式中保存数据。但是,任意 MBC 保存模式子部分能够由主机系统转换为 SBC 保存模式。图 14 是说明用于 MBC 和 SBC 保存模式数据的主机系统可选择编程的方法的流程图。此方法能够作为图 13 的生命期延长方法中的步骤 550 的子程序来执行。开始于步骤 600,闪速存储器控制器接收来自主机的编程指令并识别被编程的数据的类型。例如,数据的类型能够是诸如 JPEG 的图像文件、诸如电子表格或文本文档的各种应用数据文件、和可执行程序。由于每个文件将具有特定的扩展名,闪速存储器控制器将识别特定的数据类型。然后,在步骤 602,闪速存储器控制器确定数据文件是否要求高可靠性。这能够例如通过检查包括被认为要求高可靠性的所有数据类型的表来完成。例如,可执行程序能够被认为要求高可靠性。注意到,主机系统能够预选择要求高可靠性的数据类型。

[0054] 如果在表格中没有出现该数据类型,则方法进行到步骤 604,多模式闪速存储器装置在 MBC 保存模式中编程数据。更具体地,闪速存储器控制器从其地址映射表中识别将模式标签设置为 MBC 保存模式的空闲的子部分,并发出合适的 MBC 编程命令到多模式闪速存储器装置。当接收到该命令,多模式闪速存储器装置将以图 10 中先前所描述的方式进行内部编程操作。在步骤 606,一旦内部编程验证已经确定数据已经被成功地编程,就增加对应于选择的页面的地址映射表中的编程/擦除计数器。

[0055] 返回步骤 602,如果该数据类型出现在表格中,则方法进行到步骤 608,其中闪速存储器控制器检查是否存在可用的空闲 SBC 保存模式子部分。如果空闲的 SBC 保存模式子部分可用,则在步骤 610,指示多模式闪速存储器装置在 SBC 保存模式中编程数据到对应的物理位置。否则,在步骤 612 通过将必要的 MBC 保存模式子部分的模式标签的状态反转,将该必要的 MBC 保存模式子部分转换为 SBC 保存模式。然后执行步骤 610 用于在 SBC 保存模式中编程数据。在步骤 610 的 SBC 保存模式编程之后,在步骤 606,增加对应的编程/擦除计数器。因此,用户的多模式闪速存储器装置中选择性地在 MBC 或 SBC 保存模式中编程数据。

[0056] 先前所讨论的方法将数据文件类型分类为高或低可靠性类型。在替代的实施例中,数据文件类型能够被分类为不同的可靠性级别。然后主机系统能够设置阈值用于确定哪些可靠性级别被分类为高可靠性数据。

[0057] 如先前所讨论的,闪速存储器系统能够自动地执行生命期延长算法。图 15 是说明用于将 MBC 保存模式子部分自动地转换为 SBC 保存模式子部分的一种方法的流程图。在步骤 650,闪速存储器控制器首先接收编程指令。例如,编程指令将修改保存在多模式闪速存储器装置的相同的子部分中的现存的文件。在步骤 652,用于选择的子部分的编程/擦除计



计数器与 MBC 保存模式的预定的周期极限值相比较。如果计数器值小于该极限值,则在步骤 654,数据被简单地编程到多模式闪速存储器装置中的相同的子部分。否则,在步骤 656,已经达到极限值并且数据被编程到新的子部分。然后,在步骤 658,擦除初始的子部分以清除数据。最后,在步骤 658,将地址映射表中初始子部分的模式标签的状态反转,由此,将它们指定为 SBC 保存模式子部分。由于在子部分期满并且不再使用之前存在能够执行的预定数量的 SBC 编程 / 擦除周期,所以在步骤 662,转换为 SBC 保存模式的子部分将其编程 / 擦除计数器复位。

[0058] 替代的所修改的顺序是编程数据、增加计数器且随后将编程 / 擦除计数器与预定周期极限值相比较。如果计数器数值小于该周期极限值,则不采取进一步的动作。否则,将最近编程的数据移动或重新编程到可用的 MBC 保存模式子部分。在系统空闲的任何时候能够进行该重新编程。然后,擦除初始的子部分并且将模式标签位反转。

[0059] 用于编程数据到 SBC 保存模式子部分的步骤大体上与图 15 中所示的相同。MBC 编程 / 擦除极限值由 SBC 编程 / 擦除极限值代替,并且如果 SBC 子部分编程 / 擦除计数器等于 SBC 编程 / 擦除极限值,则 SBC 保存模式子部分被简单地报废以不再使用。然后 SBC 数据被编程到可用的 SBC 保存模式子部分。如果仅 MBC 保存模式子部分可用,则执行图 14 的方法,以将所需要的 MBC 保存模式子部分转换为 SBC 保存模式,并且编程数据。

[0060] 在上面提及的实施例中,能够使用一个计数器来记录 MBC 编程 / 擦除周期,并且当转换为 SBC 保存模式时,被再次使用来记录 SBC 编程 / 擦除周期。根据可选实施例,如果能够回收 SBC 子部分,则提供分开的 SBC 和 MBC 编程 / 擦除计数器。

[0061] 图 16 的方法概述了用于回收 SBC 保存模式子部分的步骤。此方法能够在闪速存储器系统运行的任何时间执行。该方法开始于步骤 700,识别每个空(即没有用于保存任何数据)的 SBC 保存模式子部分。在步骤 702,将 SBC 编程 / 擦除计数器与 MBC 回收极限值相比较。如果计数器至少是该回收极限值,则在步骤 704 结束过程,并且 SBC 保存模式子部分将不转换为 MBC 保存模式。另一方面,如果 SBC 编程 / 擦除计数器小于该回收极限值,则在步骤 706 检查锁定位的状态。被设置为有效状态的锁定位指示通过图 14 的自动转换方法已经事先将当前的 SBC 子部分从 MBC 保存模式转换为 SBC 保存模式。换句话说,如果 SBC 保存模式子部分已经用尽了其 MBC 编程 / 擦除周期,则没有理由从 SBC 保存模式回收它来进一步用作 MBC 保存模式子部分。如果没有设置锁定位,则在步骤 708,改变其对应的模式标签的状态。在步骤 710,设置锁定位以防止曾经被转换回到 SBC 保存模式的该子部分的进一步的回收。

[0062] 先前所讨论的方法呈现了用于在多模式闪速存储器装置中编程数据,和用于在编程操作期间延长多模式闪速存储器装置的生命期的技术。在这些操作中,模式标签被用于确定数据是以 MBC 保存模式还是 SBC 保存模式被编程,并且用于执行模式之间的自动转换。一旦被编程,则模式标签用于确定被执行的读出操作的类型。图 17 是概括用于从多模式闪速存储器装置读出数据的方法的流程图。

[0063] 开始于步骤 750,闪速存储器控制器接收读出指令。该读出指令将包括期望数据的逻辑地址。然后,在步骤 752,对于对应于该逻辑地址的模式标签状态位的状态,闪速存储器控制器检查其地址映射表。如果模式标签的状态是第一状态,例如逻辑“1”,则产生 MBC 保存模式读出命令 CMD,并且将其提供给多模式闪速存储器装置。作为响应,在步骤 754,多模

式闪速存储器装置将解码该命令,并发出 RD\_MBC 命令。然后在步骤 756 执行 MBC 读出。否则,在步骤 758,多模式闪速存储器装置发出 RD\_SBC 命令,并且然后在步骤 760 执行 SBC 读出。不考虑读出命令的具体类型,数据将从存储器阵列读出并且被提供回到闪速存储器控制器。因此,用户能够从相同的多模式闪速存储器装置存取在 SBC 和 MBC 保存模式中编程的数据。

[0064] 在所有先前所讨论的实施例中,对于用户透明地进行由闪速存储器控制器和多模式闪速存储器装置执行的选择性的 MBC 或 SBC 过程。由于 SBC/MBC 保存模式操作的所有决定由闪速存储器控制器来完成,所以不存在用户所要求的附加的指令或指令的修改。因此,存在实施具有主机系统的先前所描述的闪速存储器系统所要求的最小开销。

[0065] 因此,多模式闪速存储器装置的先前所描述的实施例能够被控制以便选择性地以 SBC 保存模式或 MBC 保存模式来编程数据,使得在两个保存模式中编程的数据同时共存在相同的存储器阵列中。能够在基于被编程的数据的类型的用户控制下完成选择性的编程和/或通过预设算法自动地完成选择性的编程。通过以这两种类型的保存模式来保存数据,多模式闪速存储器装置的生命期相对于专用于仅在 MBC 保存模式中保存数据的闪速存储器装置被延长了。先前所描述的实施例中所称的子部分能够是存储体、存储块或页面。

[0066] 在之前的描述中,用于解释目的,阐明了多个细节,以提供实施例的全面的理解。但是本领域的技术人员都清楚,这些具体的细节不是为了实现实施例所必须的。在其它实例中,公知的电子结构和电路以框图形式示出,以不使实施例的方面变得模糊。例如,没有提供关于此处所描述的实施例是以软件程序、硬件电路、固件或其组合来实现的具体细节。

[0067] 上面所描述的实施例仅意欲示例。本领域的技术人员在不脱离由后附的权利要求书所单独限定的范围的情况下能够对特定实施例进行改变、修改和变化。

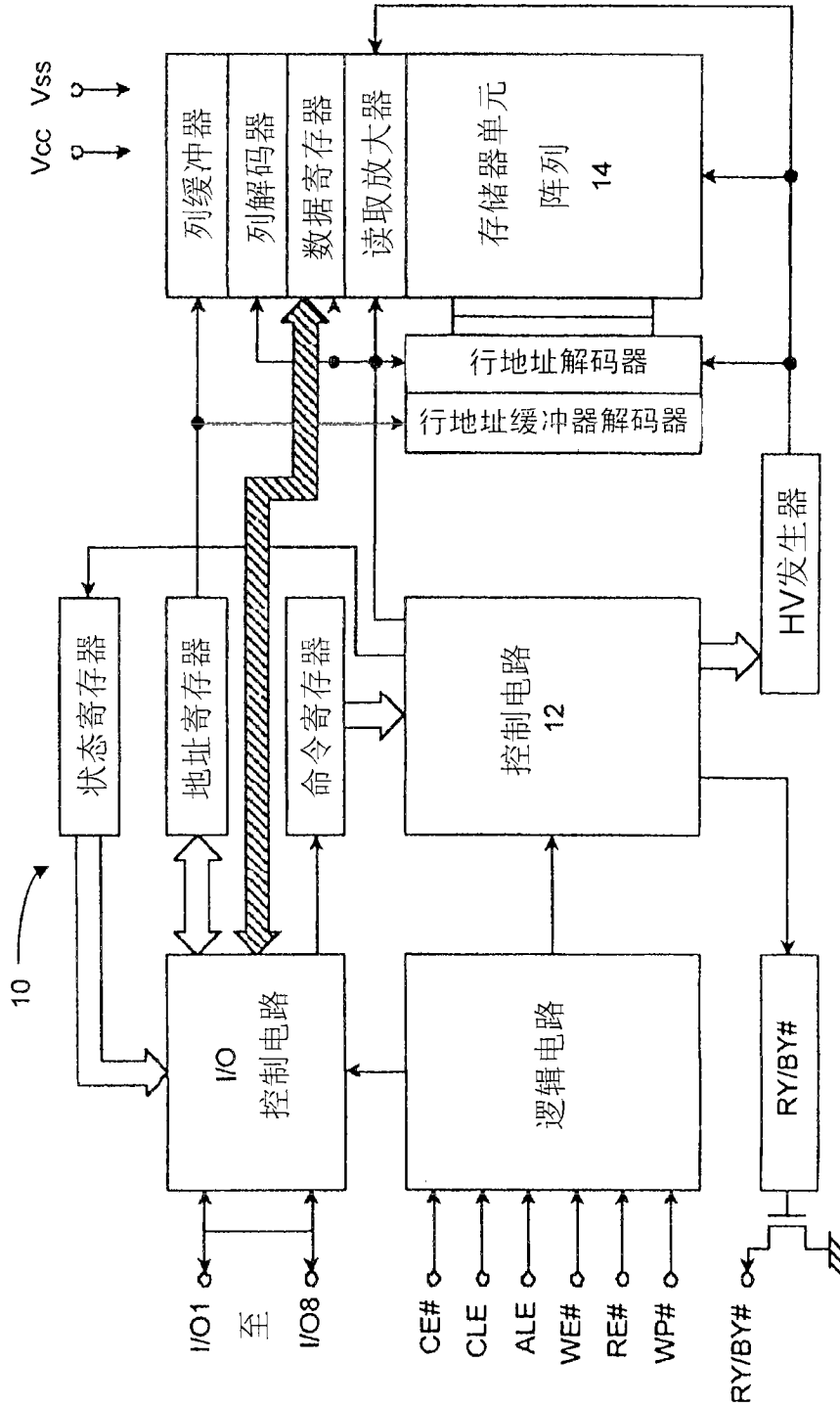


图 1(现有技术)

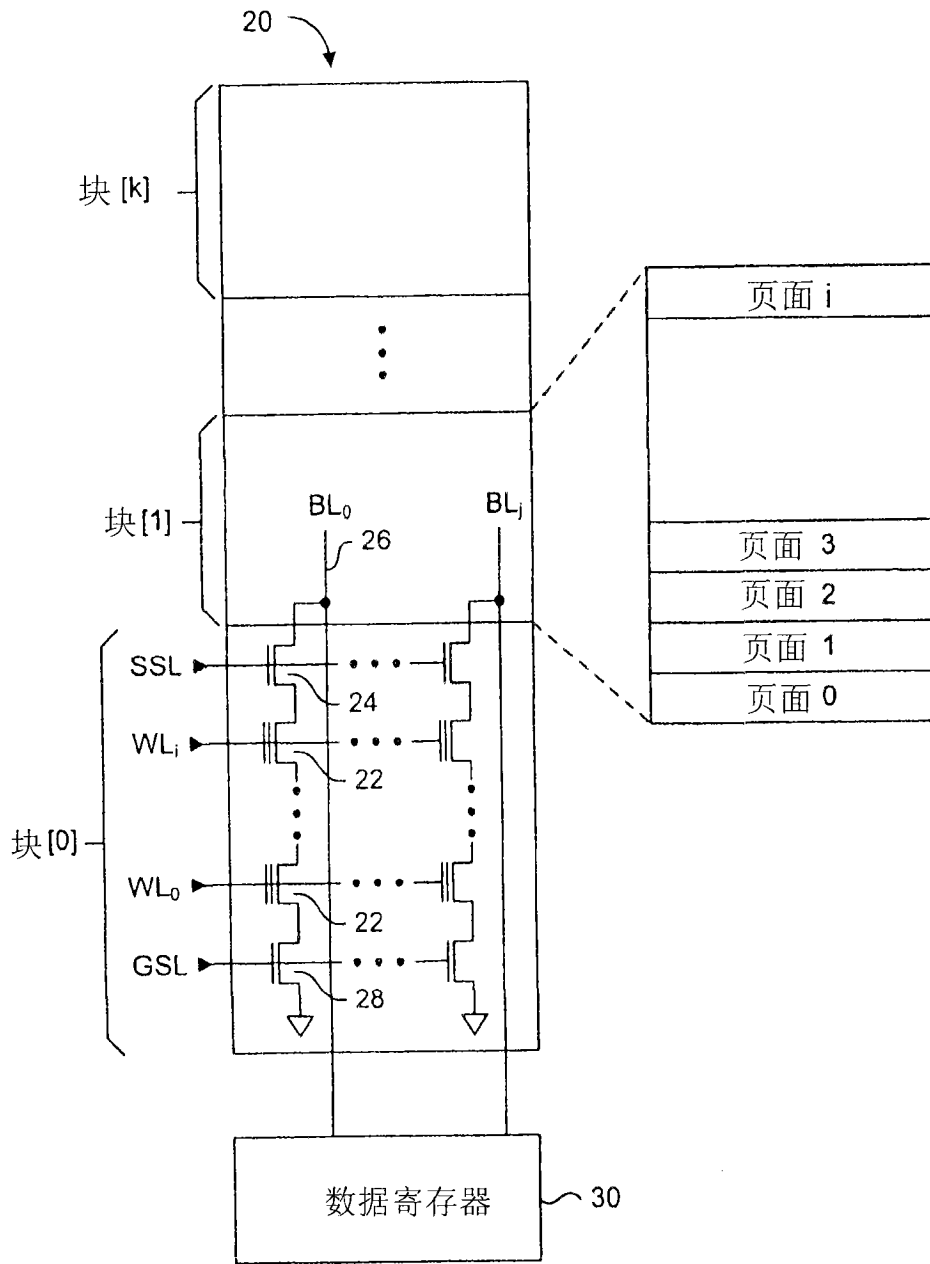


图 2(现有技术)

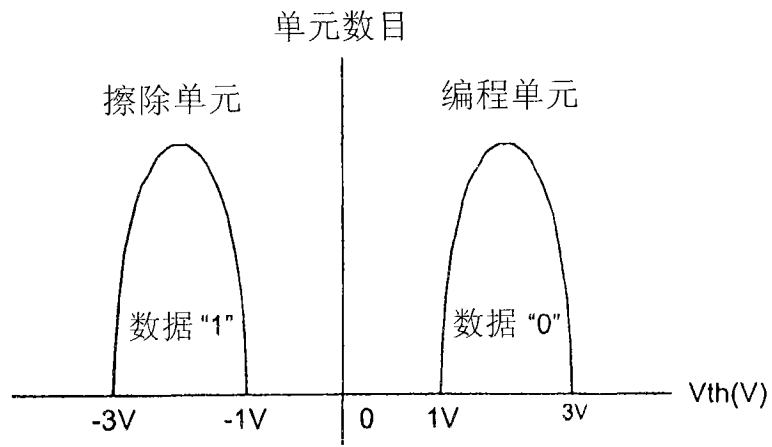


图 3

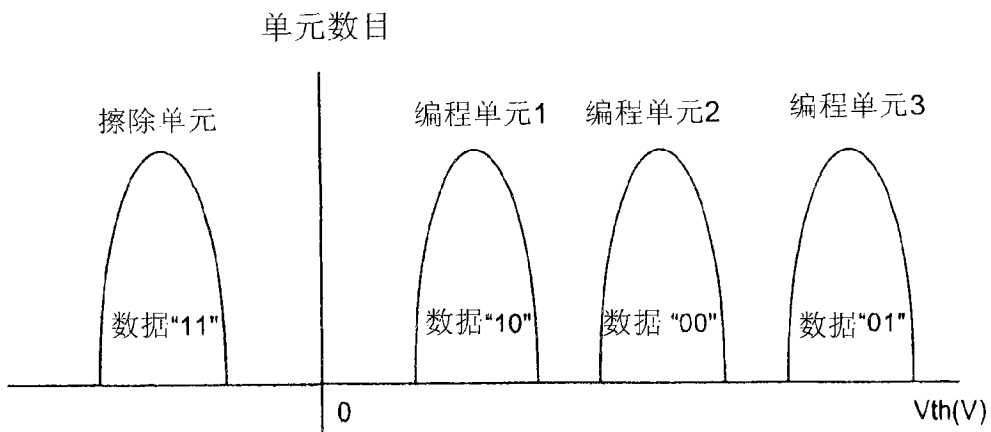


图 4

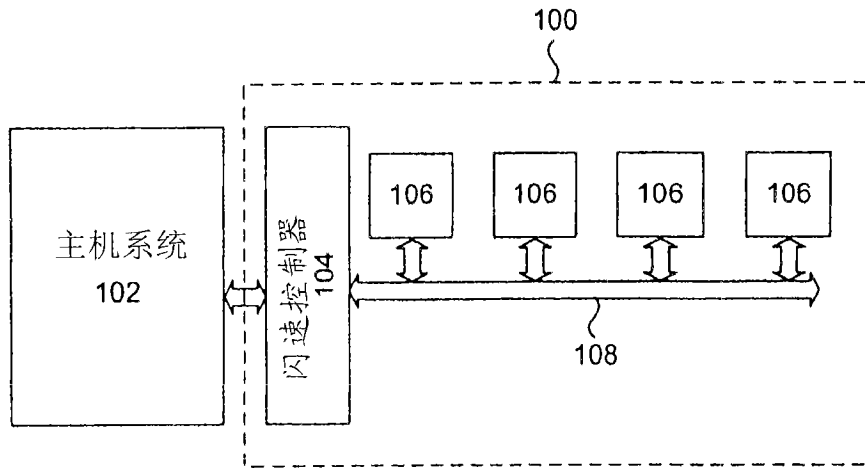


图 5

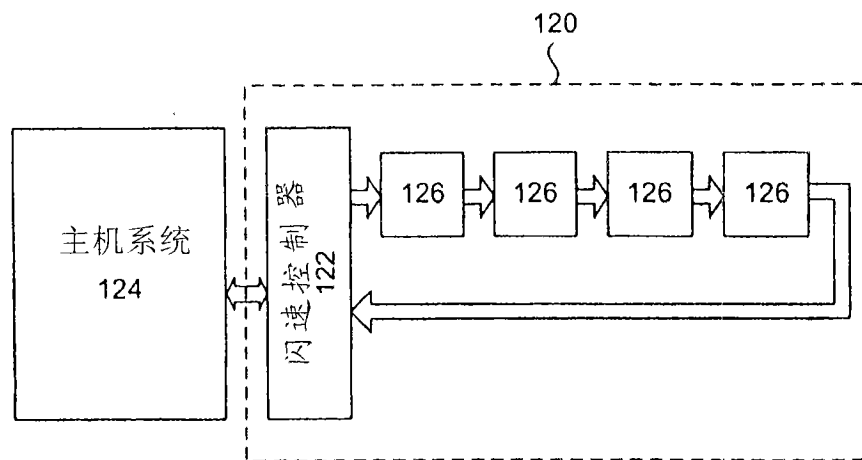


图 6

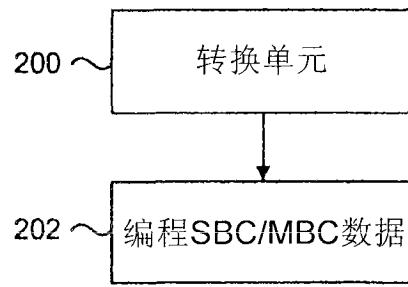


图 7

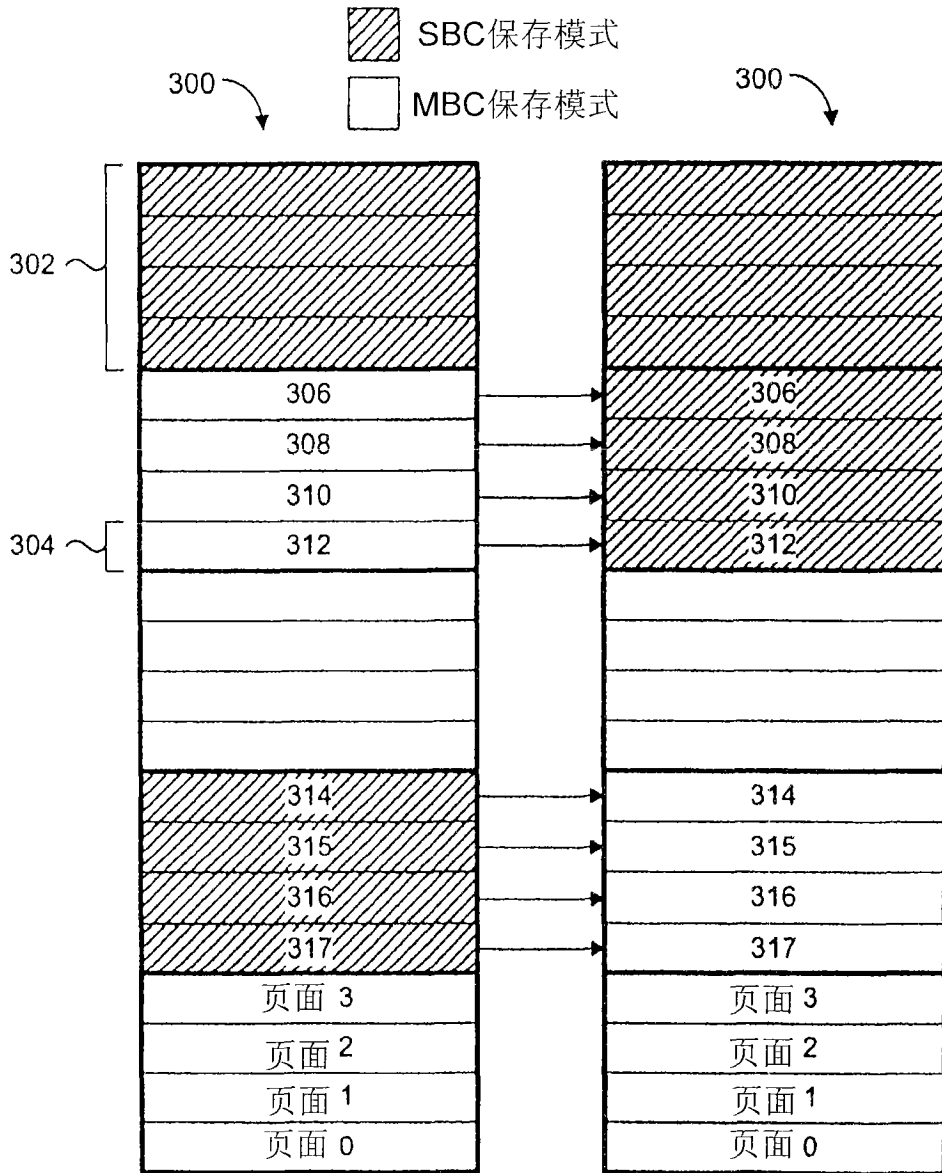


图8a

图8b



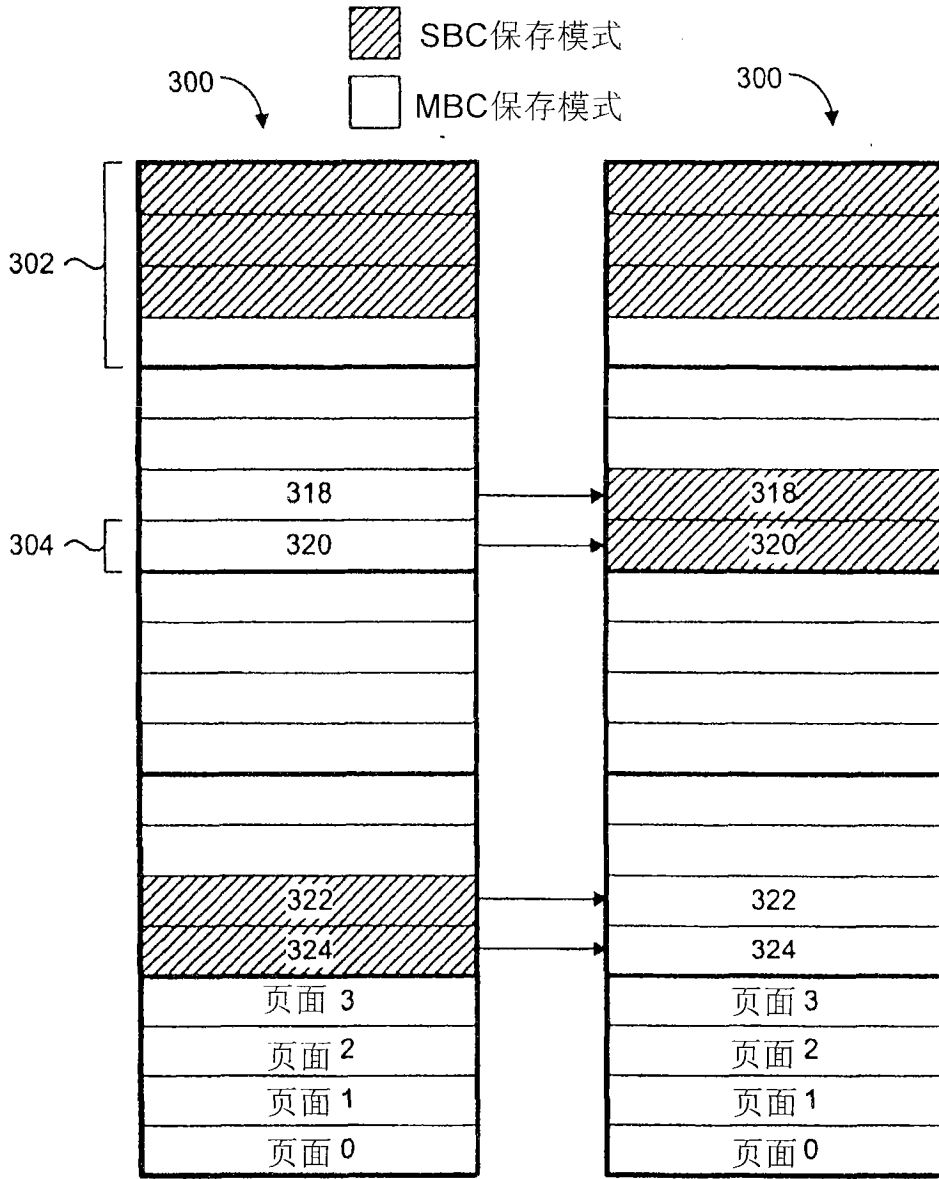


图 8c

图 8d

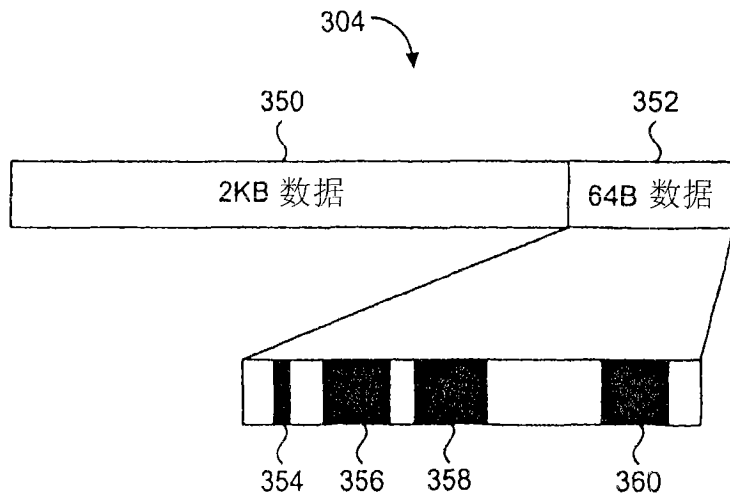


图 9

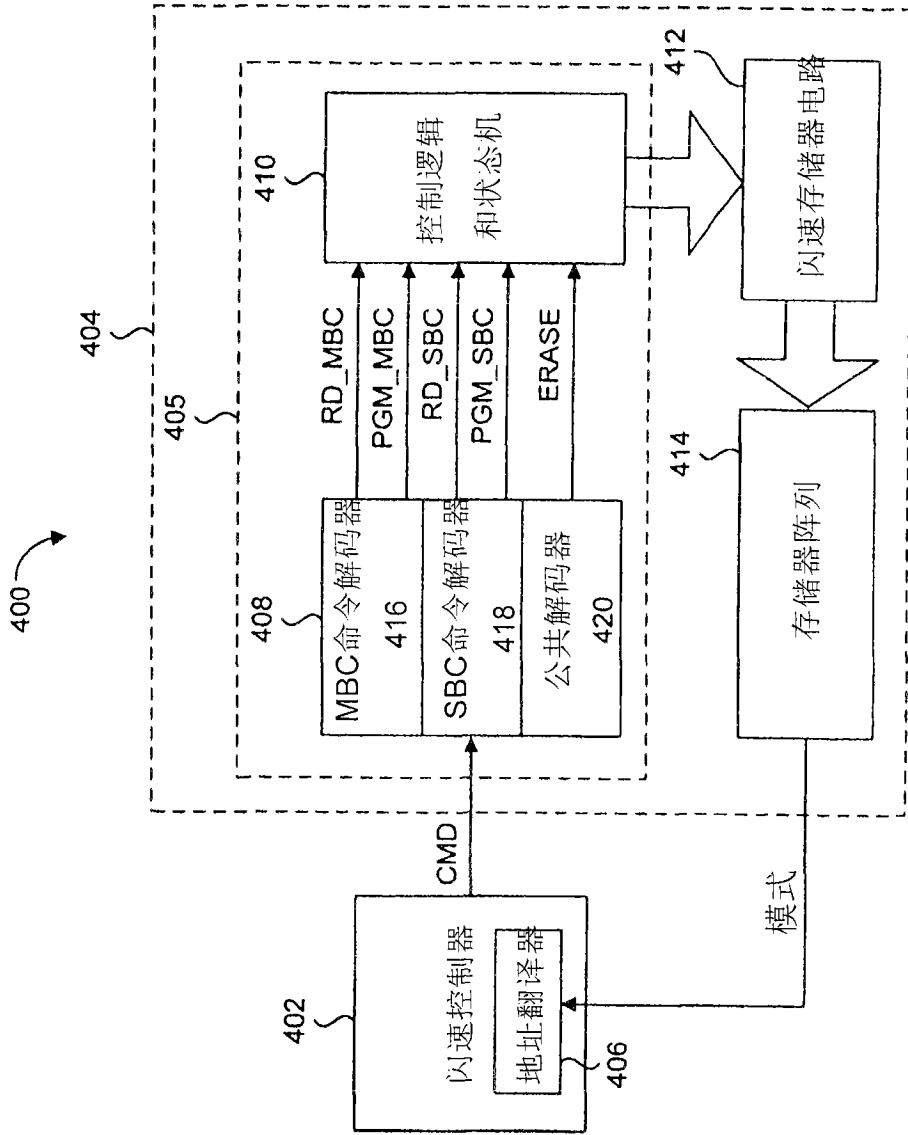


图 10

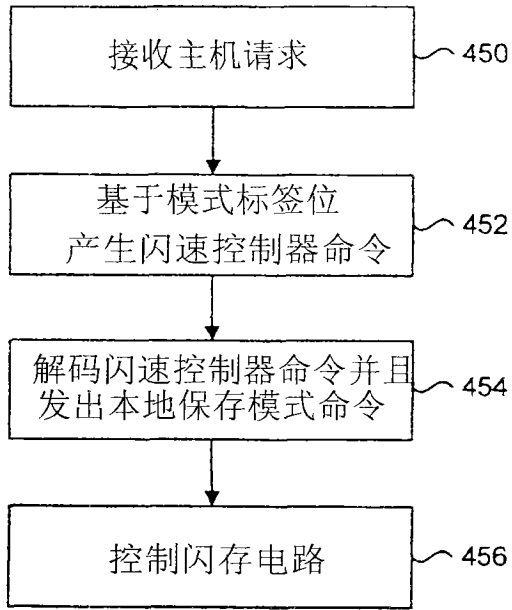


图 11

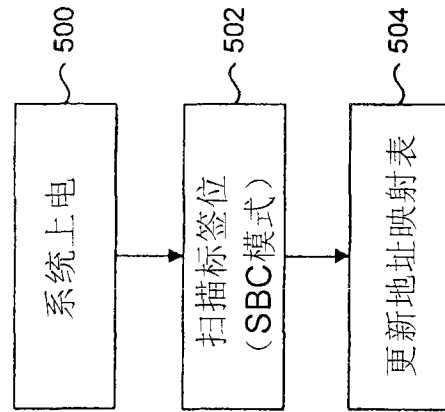


图 12

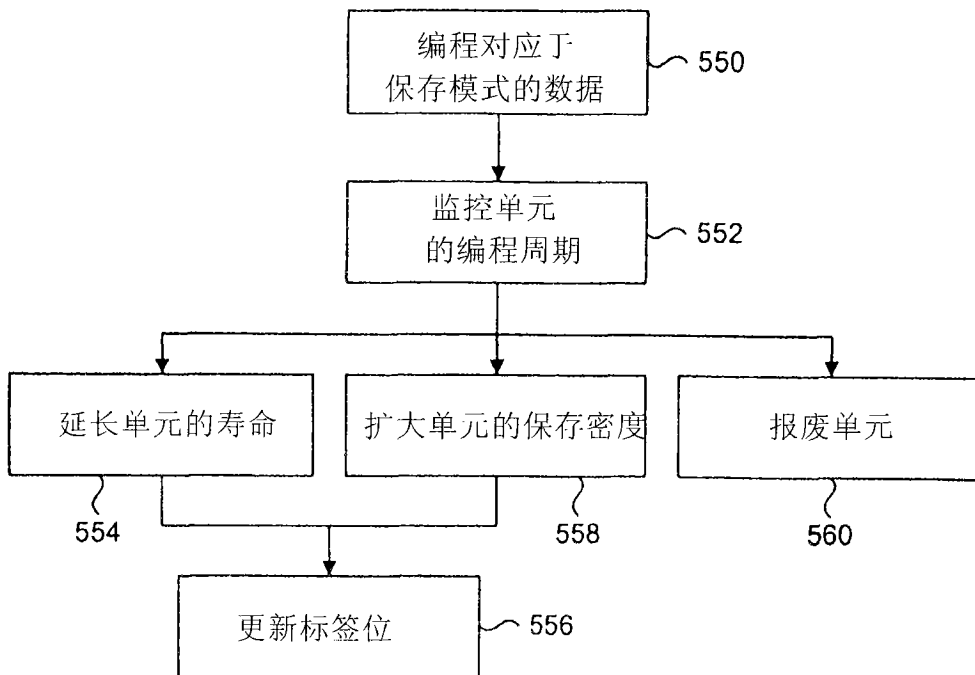


图 13

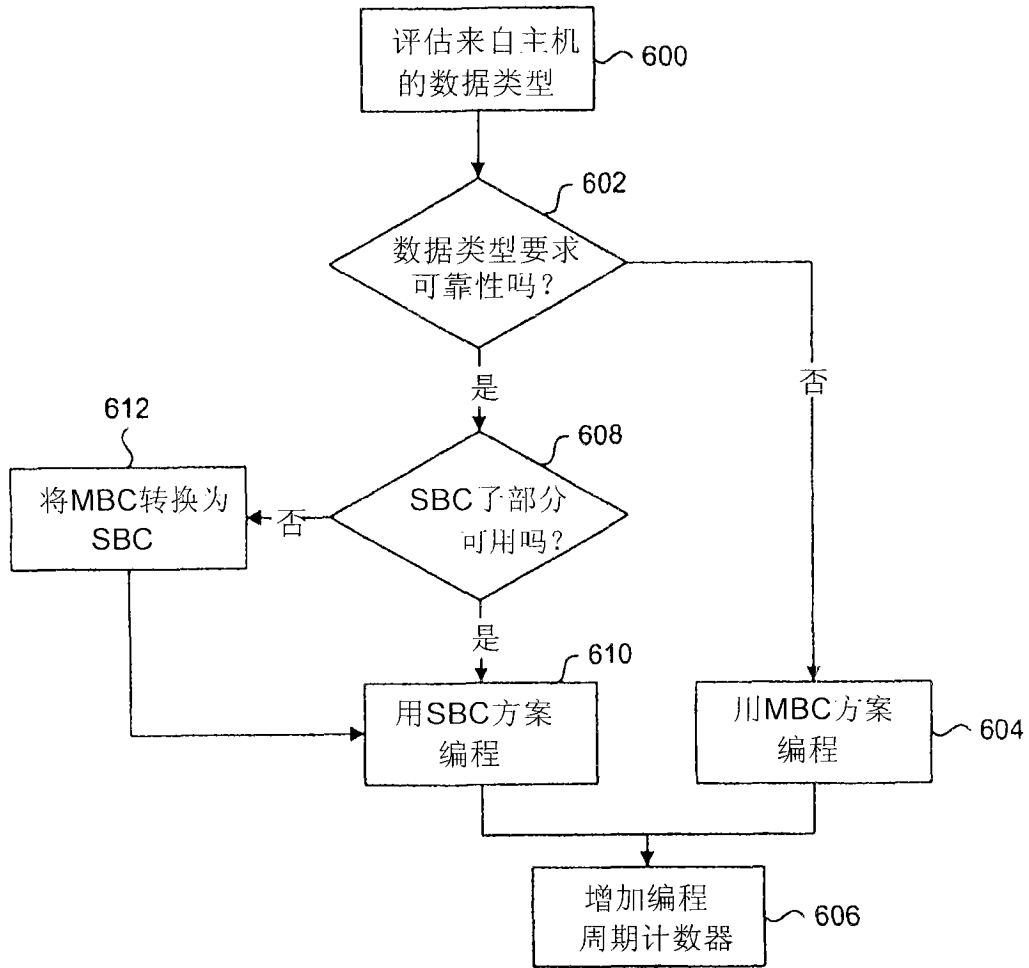


图 14

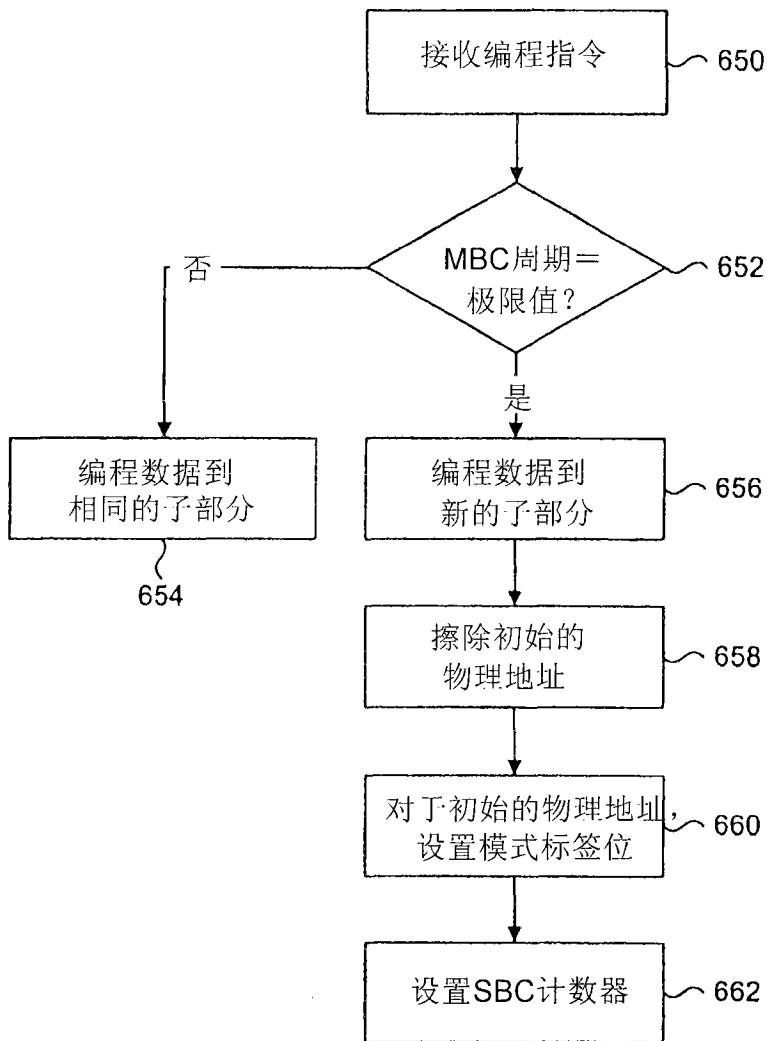


图 15

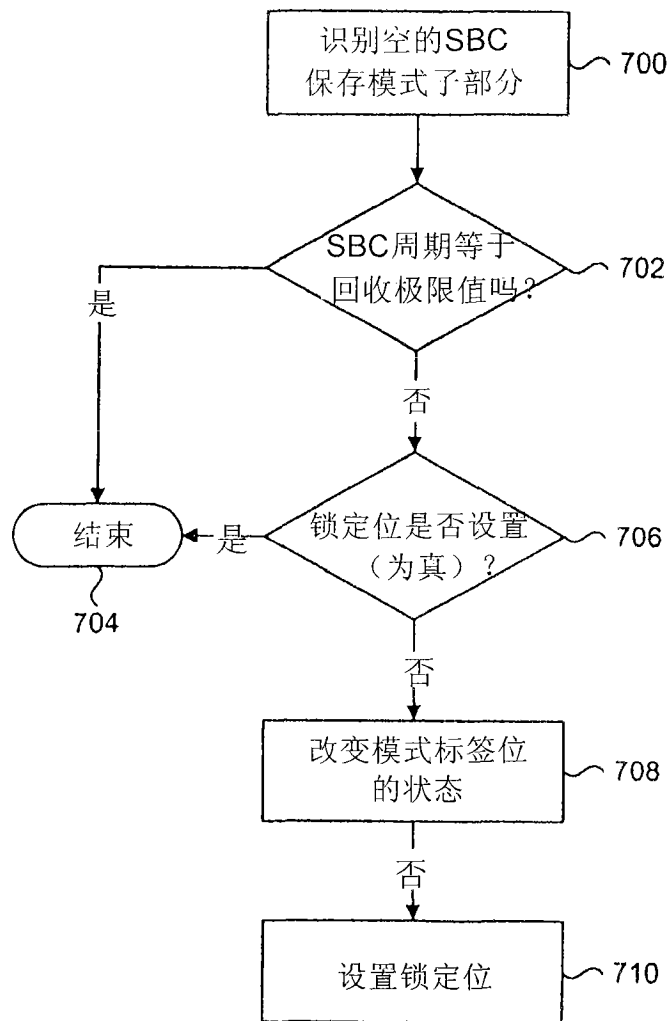


图 16

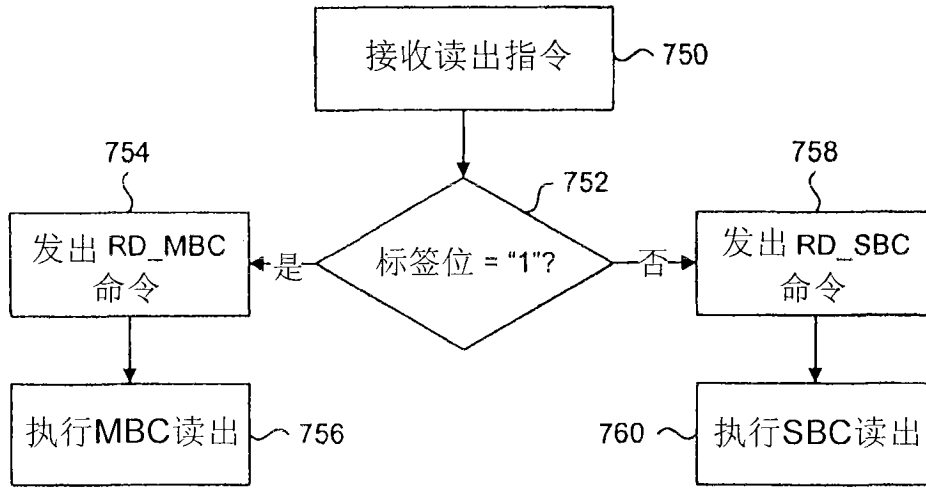


图 17