(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G11C 11/22

(11) 공개번호 특2002-0000839
(43) 공개일자 2002년01월05일

(21) 출원번호 10-2001-0036841
(22) 출원일자 2001년06월27일

(30) 우선권주장 특원2000-192467 2000년06월27일 일본(JP)

(71) 출원인 마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 가토요시히사
일본국시가켄오츠시오기노사토1-27-3
시마다야스히로
일본국교토후무코시데라도쵸미나미카키우치10-1-410

(74) 대리인 김영철

심사청구 : 없음

(54) 반도체기억장치 및 그 구동방법

요약

본 발명은 축적용 트랜지스터에 기입되어 있는 데이터의 소거동작을 행하지 않고, 데이터의 재기입을 할 수 있도록 하는 것이다.

메모리 셀 어레이의 열방향으로 연장되는 제 1 웰영역 W_1, W_2 및 제 2 웰영역 V_1, V_2가 교대로 설치되어 있다. 선택 트랜지스터 P가 형성되어 있는 제 2 웰영역 V_1, V_2에 DC전압 $-V_p$를 인가하는 동시에, 축적 트랜지스터 Q가 형성되어 있는 제 1 웰영역 W_1, W_2는 접지해 놓는다. 1행째의 워드선 WL_1에 $+V_p$를 인가하는 한편, 2행째의 워드선 WL_2에 $-V_p$를 인가하고, 1행째의 선택 트랜지스터 P_{11}, P_{12}를 온으로 함으로서 1행째의 어드레스를 선택한다. 1열째의 동작전압공급선 GL_1에 2치 데이터에 대응하여 $+V_p$또는 $-V_p$을 인가하는 한편, 2열째의 동작전압공급선 GL_2는 접지한다. 이로 인해, 어드레스(11)가 지정되는 동시에, 어드레스(11)의 MFMIS형 트랜지스터의 제어게이트·웰 사이에 $\pm V_p$의 전압이 인가되기 때문에 어드레스(11)의 MFMIS형 트랜지스터에 2치 데이터가 기입된다.

대표도
도 1

색인어
메모리 셀 어레이, 선택 트랜지스터, 축적 트랜지스터

명세서

도면의 간단한 설명

도 1은 제 1 실시예에 관한 반도체기억장치에서의 메모리 셀이 매트릭스형상으로 배치되어 이루어지는 메모리 셀 어레이의 평면도

도 2는 제 1 실시예에 관한 반도체기억장치에서의 메모리 셀이 매트릭스형상으로 배치되어 이루어지는 메모리 셀 어레이의 메모리 셀에 대하여 기입동작 및 판독동작을 할 때의 인가전압을 나타내는 도면

도 3은 MFMIS형 트랜지스터를 구성하는 MIS 트랜지스터와, 제어게이트에 +8V 또는 -8V가 인가되어 강유전체막의 분극이 반전하고 있는 MFMIS 트랜지스터에서의 I_{ds} - V_G 특성을 나타내는 도면

도 4는 제 1 실시예에 관한 반도체기억장치에서의 메모리 셀이 배치된 메모리 셀 어레이가 탑재되어 있는 반도체 칩의 평면도

도 5는 제 1 실시예에 관한 반도체기억장치의 단면도

도 6는 (a), (b)는 제 1 실시예에 관한 반도체기억장치의 제조공정을 나타내는 단면도

도 7은 (a), (b)는 제 1 실시예에 관한 반도체기억장치의 제조공정을 나타내는 단면도

도 8은 (a), (b)는 제 1 실시예에 관한 반도체기억장치의 제조공정을 나타내는 단면도

도 9는 제 1 실시예에 관한 반도체기억장치의 제조공정을 나타내는 단면도

도 10은 제 1 실시예에 관한 반도체기억장치의 제조공정을 나타내는 단면도

도 11은 제 2 실시예에 관한 반도체기억장치에서의 메모리 셀이 매트릭스형상으로 배치되어 이루어지는 메모리 셀 어레이의 평면도

도 12는 제 2 실시예에 관한 반도체기억장치에서의 메모리 셀이 매트릭스형상으로 배치되어 이루어지는 메모리 셀 어레이의 메모리 셀에 대하여 기입동작 및 판독동작을 행할 때의 인가전압을 나타내는 도면

도 13은 제 2 실시예에 관한 반도체기억장치에서의 메모리 셀이 배치된 메모리 셀 어레이가 탑재되어 있는 반도체 칩의 평면도

도 14는 종래의 비휘발성 반도체기억장치의 회로도

도 15는 종래의 비휘발성 반도체기억장치에 대하여 기입동작 및 판독동작을 행할 때의 인가전압을 나타내는 도면

* 도면의 주요 부분에 대한 부호의 설명 *

WL_1, WL_2: 워드선 SL_1, SL_2: 소스선

GL_1, GL_2: 동작전압 공급선 BL_1, BL_2: 비트선

Q_{11}, Q_{12}, Q_{21}, Q_{22} : 축적 트랜지스터 C_{11}, C_{12}, C_{21}, C_{22} : 강유전체 콘덴서

P_{11}, P_{12}, P_{21}, P_{22} : 선택 트랜지스터 W_1, W_2: 제 1 웰영역

V_1, V_2: 제 2 웰영역 1 : 반도체기판

2 : 메모리 셀 어레이 3 : 행드라이버

4 : 열드라이버 5 : I/F회로

6A, 6B : DC-DC 컨버터 10 : 반도체기판

11 : 소자분리영역 12 : 제 1 웰영역

13 : 제 2 웰영역 14 : 제 1 게이트절연막

15 : 제 2 게이트절연막 16 : 제 1 게이트전극

17 : 제 2 게이트전극 18 : 제 1 저농도 불순물층

19 : 제 2 저농도 불순물층 20 : 사이드 월

21 : 레지스트 패턴 22 : 제 1 고농도 불순물층

23 : 제 2 고농도 불순물층 24 : 제 1 콘택트층

25 : 제 2 콘택트층 26 : 제 1 층간절연막

27 : 제 1 접속 플러그 28 : 배리어층

29 : 하부전극 30 : 강유전체막

31 : 상부전극 32 : 제 2 층간절연막

33 : 제 2 접속 플러그 34 : 제 3 접속 플러그

35 : 배리어층

36A, 36B, 36C, 36D, 36E, 36F, 36G : 하층배선

37 : 제 3 층간절연막 38 : 제 4 접속 플러그

39 : 배리어층 40 : 상층배선

41 : 제 1 보호막 42 : 제 2 보호막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비휘발성의 반도체기억장치 및 그 구동방법에 관한 것으로, 특히, 강유전체막의 위에 형성된 게이트전극을

갖는 전계효과형 트랜지스터로 이루어지는 MFS형 트랜지스터, 강유전체막과 유전체막의 적층막의 위에 형성된 게이트 전극을 갖는 전계효과형 트랜지스터로 이루어지는 MFIS형 트랜지스터, 또는 전계효과형 트랜지스터의 게이트전극의 위에 강유전체 콘덴서가 설치되어 이루어지는 MFMIS형 트랜지스터로 구성되고, 데이터가 축적되는 축적 트랜지스터를 갖는 반도체기억장치 및 그 구동방법에 관한 것이다.

강유전체막을 갖는 1 트랜지스터형의 비휘발성 반도체기억장치로서는 MFS형 트랜지스터, MFIS형 트랜지스터 및 MFMIS형 트랜지스터의 3종류가 알려져 있다.

MFS형 트랜지스터란 Metal(금속)/Ferroelectric(강유전체)/Semic온ductor(반도체)의 적층구조를 의미하고, 반도체기판 상의 채널영역의 위에 직접 형성된 강유전체막으로 이루어지는 게이트절연막를 갖는 트랜지스터이다.

MFIS형 트랜지스터란 Metal(금속)/Ferroelectric(강유전체)/Insulator(절연체)/Semic온ductor(반도체)의 적층구조를 의미하고, 강유전체막으로 이루어지는 게이트절연막과 반도체기판과의 사이에 버퍼층으로 되는 유전체막을 갖는 트랜지스터이며, MFS형 트랜지스터보다도 계면특성이 개선되어 있다.

MFMIS형 트랜지스터란 Metal(금속)/Ferroelectric(강유전체)/Metal(금속)/

Insulator(절연체)/Semic온ductor(반도체)의 적층구조를 의미하고, M0S구조를 갖는 전계효과형 트랜지스터의 게이트전극의 위에 강유전체 콘덴서가 설치된 트랜지스터이며, 전계효과형 트랜지스터의 게이트전극의 위에 절연막을 통해 강유전체 콘덴서가 형성된 제 1 구조와 전계효과형 트랜지스터의 게이트전극이 강유전체 콘덴서의 하부전극을 겸하는 제 2 구조가 알려져 있다.

그런데, 강유전체막을 갖는 1 트랜지스터형의 비휘발성 반도체기억장치(비휘발성 메모리)를 데이터축적용 트랜지스터로서 사용하는 메모리 셀에서는 예컨대, 일본국 특허 제2921812호 공보에 나타나 있는 바와 같이, MFS 트랜지스터로 이루어지는 데이터축적용 트랜지스터에 게이트선택용 트랜지스터 및 소스선택용 트랜지스터가 각각 접속됨으로서 1개의 메모리 셀이 구성되어 있다.

도 14는 일본국 특허 제2921812호 공보에 나타나 있는 1 트랜지스터형의 비휘발성 반도체기억장치의 회로구성을 나타내고 있으며, 도 14에 있어서 WL은 기입용 워드선이고, RL은 판독용 워드선이고, GL은 동작전압공급선이고, BL은 비트선이고, Q_1은 데이터축적용 트랜지스터이고, Q_2는 기입용 트랜지스터이고, Q_3은 판독용 트랜지스터이다.

데이터축적용 트랜지스터 Q_1의 게이트는 기입용 트랜지스터 Q_2를 통해 동작전압 공급선 GL에 접속되고, 데이터축적용 트랜지스터 Q_1의 드레인은 판독용 트랜지스터 Q_3을 통해 비트선 BL에 접속되며, 데이터축적용 트랜지스터 Q_1의 소스는 접지되어 있다. 이러한 회로구성을 갖는 복수의 메모리 셀이 실리콘기판 상에 배치됨으로써 메모리 셀 어레이가 구성되어 있다.

이하, 상기의 회로구성을 갖는 메모리 셀에 대하여 데이터의 소거(ERASE), 데이터의 기입(WRITE) 및 데이터의 판독(READ)을 행하는 동작에 관해서 도 15를 참조하면서 설명한다.

우선, 반도체기판 상의 웰영역에 음전위를 인가하여, 데이터축적용 트랜지스터 Q_1의 게이트·기판사이에 전압을 인가함으로써, 강유전체막의 분극방향을 한 방향으로 가지런히 한다. 이로 인해, 모든 메모리 셀의 데이터가 소거된다.

다음에, 데이터의 기입동작을 할 때에는 기입용 트랜지스터 Q_2에 의해 선택된 소정의 어드레스에 있는 메모리 셀의 데이터축적용 트랜지스터 Q_1에 대하여, 게이트·기판사이에 전압을 인가하여 강유전체막의 분극방향을 반전(온상태)시키던지, 또는 게이트·기판사이에 전압을 인가하지 않고 강유전체막의 분극방향을 유지(오프상태)한다. 즉, 입력데이터에 따라서 분극반전(온상태) 또는 분극유지(오프상태)라는 두 종류의 분극상태를 발생시킴으로써 데이터를 기입한다. 강유전체막의 분극상태는 전압을 인가하지 않은 상태라도 유지되기 때문에 비휘발성의 반도체기억장치로서 기능한다.

다음에, 데이터의 판독동작은 판독용 트랜지스터 Q_3을 온하여, 비트선 BL으로부터 데이터축적용 트랜지스터 Q_1의 채널을 통해 접지선에 흐르는 전류(드레인·소스간전류)에 따르는 전압강하를 검출함으로서 행한다. 데이터축적용 트랜지스터 Q_1의 강유전체막의 분극상태에 따라서 채널저항이 변화하기 때문에 기입된 데이터가 판독된다.

또, 일본국 특개평 5-205487호 공보에는 데이터축적용 트랜지스터의 웰영역이 메모리 셀마다 분리된 구조를 갖는 비휘발성 반도체기억장치가 제안되어 있다. 이 반도체기억장치의 기본적인 회로구성은 상술한 반도체기억장치와 같고, 데이터를 축적하는 축적용 트랜지스터가 되는 제 1 전계효과형 트랜지스터의 웰영역과 축적용 트랜지스터를 선택하는 선택용 트랜지스터의 웰영역과는 공통이다.

발명이 이루고자 하는 기술적 과제

그런데, 상기 종래의 반도체기억장치에 있어서는 축적용 트랜지스터가 되는 전계효과형 트랜지스터의 웰영역에 전압을 인가하여, 강유전체막의 분극방향을 한 방향으로 가지런히 함으로써, 웰영역을 공유하는 축적용 트랜지스터에 축적되어 있는 전체 데이터를 일괄해서 소거한 뒤, 축적용 트랜지스터마다 데이터의 기입동작을 행하기 때문에 데이터의 재기입(데이터의 개서)동작에 장시간을 갖는다는 문제가 있다.

또한, 복수의 축적용 트랜지스터가 공유하고 있고 부하용량이 큰 웰영역에 대하여 전압을 인가함으로서, 복수의 축적용 트랜지스터의 데이터를 소거하기 때문에 데이터의 소거를 행할 때의 동작속도가 느리다는 문제도 있다.

상기를 감안해서, 본 발명은 축적용 트랜지스터에 기입되어 있는 데이터의 소거동작을 행하지 않고, 데이터의 재기입을 할 수 있도록 하여 데이터의 재기입(개서)에 요하는 시간의 단축을 꾀하는 것을 목적으로 한다.

발명의 구성 및 작용

상기의 목적을 달성하기 위해서, 본 발명에 관한 반도체기억장치는 강유전체막의 위에 형성된 게이트전극을 갖는 전계효과형 트랜지스터로 이루어지는 MFS형 트랜지스터, 강유전체막과 유전체막의 적층막의 위에 형성된 게이트전극을 갖는 전계효과형 트랜지스터로 이루어지는 MFIS형 트랜지스터, 또는 전계효과형 트랜지스터의 게이트전극의 위에 강유전체 콘덴서가 설치되어 이루어지는 MFMIS형 트랜지스터로 구성되어 있고, 데이터가 축적되는 축적 트랜지스터와, 전계효과형 트랜지스터로 구성되어 있고, 축적 트랜지스터를 선택하는 선택 트랜지스터를 구비한 반도체기억장치를 대상으로 하여, 축적 트랜지스터를 구성하는 제 1 전계효과형 트랜지스터의 제 1 웰영역과, 선택 트랜지스터를 구성하는 제 2 전계효과형 트랜지스터의 제 2 웰영역과는 서로 분리되어 있고, 제 1 전계효과형 트랜지스터의 제 1 웰영역에 DC전압을 공급하는 제 1 전압공급선과, 제 1 전압공급선에 대하여 독립으로 설치되어 제 2 전계효과형 트랜지스터의 제 2 웰영역에 DC전압을 공급하는 제 2 전압공급선을 구비하고 있다.

본 발명에 관한 반도체기억장치에 의하면, 축적 트랜지스터를 구성하는 제 1 전계효과형 트랜지스터의 제 1 웰영역과, 선택 트랜지스터를 구성하는 제 2 전계효과형 트랜지스터의 제 2 웰영역과는 서로 분리되어 있는 동시에, 제 1 전계효과형 트랜지스터의 제 1 웰영역에 DC전압을 공급하는 제 1 전압공급선과, 제 2 전계효과형 트랜지스터의 제 2 웰영역에 DC전압을 공급하는 제 2 전압공급선을 구비하고 있기 때문에, 축적 트랜지스터를 구성하는 제 1 전계효과형 트랜지스터의 제 1 웰영역에 선택 트랜지스터를 구성하는 제 2 전계효과형 트랜지스터의 제 2 웰영역에 대하여 독립으로 제 1 DC전압을 인가한 상태로 축적 트랜지스터의 제 1 전계효과형 트랜지스터의 제어 게이트에 제 1 웰영역에 인가되는 제 1 DC전압에 대하여 양 또는 음의 극성이 되는 제 2 DC전압을 인가하여 데이터를 기입할 수 있다. 따라서, 축적 트랜지스터에 기입되어 있는 데이터의 소거동작을 행하지 않고, 원하는 축적 트랜지스터에 데이터의 기입을 할 수 있기 때문에, 요컨대, 복수의 축적 트랜지스터가 공유하고 있어 부하용량이 큰 웰영역에 전압을 인가하여 축적 트랜지스터의 데이터를 소거하는 동작을 행하지 않고 데이터의 기입을 할 수 있기 때문에, 데이터의 개서 동작에 요하는 시간을 단축할 수 있다.

본 발명에 관한 반도체기억장치에 있어서, 제 2 전계효과형 트랜지스터의 내압은 제 1 전계효과형 트랜지스터의 내압보다도 높은 것이 바람직하다.

이와 같이 하면, 큰 전압이 인가되는 제 2 전계효과형 트랜지스터에서는 동작속도가 상대적으로 늦어지지만 내압을 높게 할 수 있는 동시에, 큰 전압이 인가되지 않은 제 1 전계효과형 트랜지스터에서는 동작속도를 빠르게 할 수 있다.

본 발명에 관한 반도체기억장치에 있어서, 축적 트랜지스터는 MFMIS형 트랜지스터로 이루어지고, 제 2 전계효과형 트랜지스터의 게이트절연막의 두께는 제 1 전계효과형 트랜지스터의 게이트절연막의 두께보다도 큰 것이 바람직하다.

이와 같이 하면, 제 2 전계효과형 트랜지스터의 내압을 제 1 전계효과형 트랜지스터의 내압보다도 확실히 높일 수 있다.

본 발명에 관한 반도체기억장치에 있어서, 축적 트랜지스터는 MFMIS형 트랜지스터로 이루어지고, 제 1 전계효과형 트랜지스터 및 제 2 전계효과형 트랜지스터는 LDD구조를 갖고 있으며, 제 2 전계효과형 트랜지스터의 저농도 불순물층의 길이는 제 1 전계효과형 트랜지스터의 저농도 불순물층의 길이보다도 큰 것이 바람직하다.

이와 같이 하면, 제 2 전계효과형 트랜지스터의 내압을 제 1 전계효과형 트랜지스터의 내압보다도 확실히 높일 수 있다.

본 발명에 관한 반도체기억장치에 있어서, 축적 트랜지스터는 MFMIS형 트랜지스터로 이루어지고, 제 2 전계효과형 트랜지스터의 게이트전극의 게이트길이는 제 1 전계효과형 트랜지스터의 게이트전극의 게이트길이보다도 큰 것이 바람직하다.

이와 같이 하면, 제 2 전계효과형 트랜지스터의 내압을 제 1 전계효과형 트랜지스터의 내압보다도 확실히 높일 수 있다.

본 발명에 관한 반도체기억장치에 있어서, 제 1 전계효과형 트랜지스터, 제 2 전계효과형 트랜지스터 및 제 1 및 제 2 전계효과형 트랜지스터를 구동하는 구동회로는 동일의 반도체기판 상에 형성되어 있고, 구동회로에 공급되는 구동용 전압과 제 2 전계효과형 트랜지스터의 제 2 웰영역에 공급되는 DC전압은 동일의 전압전원으로부터 공급되는 것이 바람직하다.

이와 같이 하면, 제 2 전계효과형 트랜지스터의 제 2 웰영역에 공급되는 DC전압을 생성할 필요가 없기 때문에, 반도체기판 상에 형성되는 DC전압 생성회로의 구성을 간략화 할 수 있는 동시에 그 면적을 저감할 수 있다.

본 발명에 관한 반도체기억장치에 있어서, 제 1 전계효과형 트랜지스터의 제 1 웰영역과 제 2 전계효과형 트랜지스터의 제 2 웰영역은 서로 다른 도전형을 갖고 있는 것이 바람직하다.

이와 같이 하면, 구동회로에 공급되는 구동용전압과 제 2 전계효과형 트랜지스터의 제 2 웰영역에 공급되는 DC전압을 동일의 전압전원으로부터 공급하는 것이 용이하게 되기 때문에, 반도체기판 상에 형성되는 DC전압 생성회로를 확실히 간략화 할 수 있다.

본 발명에 관한 반도체기억장치의 구동방법은 강유전체막의 위에 형성된 게이트전극을 갖는 전계효과형 트랜지스터로 이루어지는 MFS형 트랜지스터, 강유전체막과 유전체막의 적층막의 위에 형성된 게이트전극을 갖는 전계효과형 트랜지스터로 이루어지는 MFIS형 트랜지스터, 또는 전계효과형 트랜지스터의 게이트전극의 위에 강유전체 콘덴서가 설치되어 이루어지는 MFMIS형 트랜지스터로 구성되고, 데이터가 축적되는 축적 트랜지스터와, 전계효과형 트랜지스터로 구성되어 축적 트랜지스터를 선택하는 선택 트랜지스터를 구비하며, 축적 트랜지스터를 구성하는 제 1 전계효과형 트랜지스터의 제 1 웰영역과 선택 트랜지스터를 구성하는 제 2 전계효과형 트랜지스터의 제 2 웰영역이 서로 분리되어 있는 반도체기억장치의 구동방법을 대상으로 하고, 제 1 전계효과형 트랜지스터의 제 1 웰영역에 제 1 DC전압을 인가하는 동시에, 제 1 전계효과형 트랜지스터의 제어 게이트에 제 1 DC전압에 대하여 양 또는 음의 극성이 되는 제 2 DC전압을 인가함으로서 축적 트랜지스터에 데이터를 기입하는 공정을 구비하고 있다.

본 발명에 관한 반도체기억장치의 구동방법에 의하면, 축적 트랜지스터를 구성하는 제 1 전계효과형 트랜지스터의 제 1 웰영역에 제 1 DC전압을 인가한 상태로 제 1 전계효과형 트랜지스터의 제어 게이트에 제 1 DC전압에 대하여 양 또는 음의 극성이 되는 제 2 DC전압을 인가하여 데이터를 기입하기 때문에, 축적 트랜지스터에 기입되어 있는 데이터의 소거동작을 행하지 않고, 원하는 축적 트랜지스터에 데이터를 기입할 수 있다. 따라서, 복수의 축적 트랜지스터가 공유하고 있으며 부하용량이 큰 웰영역에 전압을 인가하여 축적 트랜지스터의 데이터를 소거하는 동작을 행하지 않고 데이터를 기입할 수 있기 때문에, 데이터의 개서 동작에 요하는 시간을 단축할 수 있다.

본 발명에 관한 반도체장치의 구동방법에 있어서, 제 2 전계효과형 트랜지스터의 내압은 제 1 전계효과형 트랜지스터의 내압보다도 높은 것이 바람직하다.

이와 같이 하면, 큰 전압이 인가되는 제 2 전계효과형 트랜지스터에서는 동작속도가 상대적으로 늦어지지만 내압을 높게 할 수 있는 동시에, 큰 전압이 인가되지 않은 제 1 전계효과형 트랜지스터에 있어서는 동작속도를 빠르게 할 수 있다.

본 발명에 관한 반도체기억장치의 구동방법에 있어서, 제 1 및 제 2 전계효과형 트랜지스터를 구동하는 구동회로에 공급되는 DC전압과 제 2 전계효과형 트랜지스터의 제 2 웰영역에 공급되는 DC전압은 동일의 전압전원으로부터 공급되는 것이 바람직하다.

이와 같이 하면, 제 2 전계효과형 트랜지스터의 제 2 웰영역에 공급되는 DC전압을 생성할 필요가 없기 때문에, 반도체기판 상에 형성되는 DC전압 생성회로의 구성을 간략화 할 수 있는 동시에 그 면적을 저감할 수 있다.

본 발명에 관한 반도체기억장치의 구동방법에 있어서, 제 1 전계효과형 트랜지스터의 제 1 웰영역과 제 2 전계효과형 트랜지스터의 제 2 웰영역은 서로 다른 도전형을 갖고 있는 것이 바람직하다.

이와 같이 하면, 구동회로에 공급되는 구동용 전압과 제 2 전계효과형 트랜지스터의 제 2 웰영역에 공급되는 DC전압을 동일의 전압전원으로부터 공급하는 것이 용이하게 되기 때문에, 반도체기판 상에 형성되는 DC전압 생성회로를 확실히 간략화 할 수 있다.

(발명의 실시예)

(제 1 실시예)

이하, 본 발명의 제 1 실시예에 관한 반도체기억장치 및 그 구동방법에 관해 도 1 도 4를 참조하면서 설명한다. 한편, 제 1 실시예에 있어서는 반도체기억장치는 데이터를 축적하는 축적 트랜지스터로서, MFMIS형 트랜지스터를 사용하고 있으나, 이것 대신에 MFS형 트랜지스터 또는 MFIS형 트랜지스터를 사용해도 된다.

도 1은 제 1 실시예에 관한 반도체기억장치로 이루어지는 메모리 셀이 2행× 2열의 매트릭스형상으로 배치된 메모리 셀 어레이의 평면구조를 도시하고 있고, 도 1에서 WL_1, WL_2는 워드선이고, SL_1, SL_2는 소스선이고, GL_l, GL_2는 동작전압 공급선이고, BL_1, BL_2는 비트선이고, Q_{11}, Q_{12}, Q_{21}, Q_{22}는 데이터축적용의 전계효과형 트랜지스터(이하, 간단히 축적 트랜지스터라 한다.)이고, C_{11}, C_{12}, C_{21}, C_{22}는 강유전체 콘덴서이고, P_{11}, P_{12}, P_{21}, P_{22}는 축적 트랜지스터 Q_{11}, Q_{12}, Q_{21}, Q_{22}를 선택하는 선택용의 전계효과형 트랜지스터(이하, 간단히 선택 트랜지스터라 한다.)이다. 한편, 동일의 메모리 셀에 설치되어 있는 각 축적 트랜지스터 Q_{11}, Q_{12}, Q_{21}, Q_{22}와, 각 강유전체 콘덴서 C_{11}, C_{12}, C_{21}, C_{22}에 의해 MFMIS형 트랜지스터가 구성되어 있다.

도 1에 도시하는 바와 같이 메모리 셀 어레이의 열방향으로 연장되는 p형의 제 1 웰영역 W_1, W_2 및 p형의 제 2 웰영역 V_1, V_2이 행방향으로 교대로 설치되어 있으며, 축적 트랜지스터 Q는 제 1 웰영역 W에 형성되어 있는 동시에, 선택 트랜지스터 P는 제 2 웰영역 V에 형성되어 있다.

축적 트랜지스터 Q의 게이트전극(부유게이트)에는 강유전체 콘덴서 C의 하부전극이 접속되고, 강유전체 콘덴서 C의 상부전극(제어게이트)은 선택 트랜지스터 P를 통해 동작전압 공급선 GL에 접속되고, 선택 트랜지스터 P의 게이트는 워드선 WL에 접속되어 있다. 따라서, 선택 트랜지스터 P는 워드선 WL에 의해 온·오프제어됨으로써, 동작전압 공급선 GL로부터의 신호를 축적 트랜지스터의 제어게이트에 전달한다.

축적 트랜지스터 Q의 드레인은 비트선 BL에 접속되어 있는 동시에, 축적 트랜지스터 Q의 소스는 소스선 SL에 접속되어 있고, 비트선 BL과 소스선 SL의 전위차에 의해 데이터의 판독이 행해진다.

이하, 제 1 실시예에 관한 반도체기억장치로 이루어지는 메모리 셀 어레이에서의 어드레스(11)(1행째 또는 1열째)의 메모리 셀에 대하여 기입동작 및 판독동작을 행하는 방법에 관해서 도 2를 참조하면서 설명한다.

(기입 동작)

우선, 준비동작으로서 선택 트랜지스터 P가 형성되어 있는 제 2 웰영역 V_1, V_2에 예를 들면 -8V의 DC전압 $-V_p$($V_1=V_2=-V_p$)을 인가하는 동시에, 축적 트랜지스터 Q가 형성되어 있는 제 1 웰영역 W_1, W_2는 접지해 놓는다($W_1=W_2=OV$).

이하, 어드레스(11)의 메모리 셀에 데이터를 기입하는 동작에 관해서 설명한다.

1행째의 워드선 WL_1에 $+V_p$를 인가하는 한편, 2행째의 워드선 WL_2에 $-V_p$를 인가함으로서, 1행째의 선택 트랜지스터 P_{11}, P_{12}를 온으로 한다. 이로 인해, 1행째의 어드레스가 선택된다.

모든 소스선 SL_1, SL_2을 접지하는 동시에, 모든 비트선 BL_1, BL_2를 접지한다.

1열째의 동작전압 공급선 GL_1에 2치 데이터에 대응하여 $+V_p$또는 $-V_p$을 인가하는 한편, 2열째의 동작전압 공급선 GL_2는 접지한다. 이로 인해, 1열째의 어드레스가 지정된다.

이와 같이 하면, 어드레스(11)가 지정되는 동시에, 어드레스(11)의 MFMIS형 트랜지스터의 제어게이트·웰 사이에 예컨대 ±8V인 $\pm V_p$의 전압이 인가되기 때문에, 어드레스(11)의 MFMIS형 트랜지스터에 2치 데이터가 기입된다. 이 경우, 2행째의 선택 트랜지스터 P_{21}, P_{22}는 오프이기 때문에 2행째의 MFMIS형 트랜지스터에는 데이터는 기입되지 않는다. 또한, 2열째의 동작전압 공급선 GL_2는 접지되어 있기 때문에, 2열째의 MFMIS형 트랜지스터의 데이터는 개서할 수 없다.

(판독 동작)

이하, 어드레스(11)의 메모리 셀에 기입된 데이터를 판독하는 동작에 관해서 설명한다.

1행째의 워드선 WL_1에 V_p를 인가하는 한편, 2행째의 워드선 WL_2에 $-V_p$를 인가함으로써, 1행째의 선택 트랜지스터 P_{11}, P_{12}를 온으로 한다. 이로 인해, 1행째의 어드레스가 선택된다.

모든 소스선 SL_1, SL_2에 OV를 인가하는 동시에, 1열째의 비트선 BL_1에 예컨대 0.6V의 V_d를 인가하는 한편, 2열째의 비트선 BL_2에 OV를 인가한다. 이로 인해 1열째의 어드레스가 선택된다.

1열째의 동작전압 공급선 GL_1에 예컨대 0.7V의 V_r를 인가하는 한편, 2열째의 동작전압 공급선 GL_2에 OV를 인가한다.

이와 같이 하면, 어드레스(11)의 MFMIS형 트랜지스터의 제어 게이트에 V_r이 인가되는 동시에, 그 MFMIS형 트랜지스터의 드레인·소스 사이에 V_d가 인가되기 때문에, 어드레스(11)의 MFMIS형 트랜지스터에 기입되어 있는 2치 데이터가 $\pm V_p$에 따라서 정해지는 드레인·소스 사이의 전류의 변화로서 검출된다. 이 경우, 2행째의 선택 트랜지스터 P_{21}, P_{22}는 오프이기 때문에 2행째의 MFMIS형 트랜지스터의 드레인·소스 사이에는 전류가 흐르지 않는 동시에, 2열째의 MFMIS형 트랜지스터의 드레인·소스 사이에는 전압이 인가되지 않기 때문에 전류가 흐르지 않는다.

도 3은 MFMIS형 트랜지스터를 구성하는 MIS트랜지스터 및 제어 게이트에 +8V 또는 -8V가 인가되어 강유전체막의 분극이 반전하고 있는 MFMIS 트랜지스터에서의 I_{ds} - V_G 특성을 도시하고 있다. 제어 게이트에 예를 들면 +8V의 전압을 인가하여 데이터를 기입했을 때에는 임계값은 마이너스측으로 이동하는 동시에, 제어 게이트에 예컨대 -8V의 전압을 인가하여 데이터를 기입하였을 때에는 임계값은 플러스측으로 이동한다. 따라서, 제어 게이트에 0.7V의 V_r을 인가하면, +8V를 인가하였을 때와 -8V를 인가하였을 때에서는 I_{ds} 비 요컨대 온·오프비는 1×10^3 이상으로 되기 때문에, MFMIS형 트랜지스터에 기입되어 있는 2치 데이터를 1×10^3 이상의 온·오프비로서 나타나는 드레인·소스 사이의 전류의 변화로서 판독할 수 있다.

도 4는 제 1 실시예에 관한 반도체기억장치로 이루어지는 메모리 셀 어레이가 탑재된 반도체 칩(1)의 평면구조를 도시하고 있고, 반도체 칩(1)의 위에는 메모리 셀 어레이(2), 행드라이버(3), 열드라이버(4), I/F 회로(5) 및 DC-DC 컨버터(6A)가 형성되어 있다.

외부로부터 반도체 칩(1) 상의 VDD 단자에 도입된 전원전압 및 반도체 칩(1) 상의 GND 단자에 도입된 접지전압은 메모리 셀 어레이(2)를 구동하는 구동회로인 행드라이버(3) 및 열드라이버(4)에 각각 공급된다.

또한, VDD 단자에 도입된 전원전압은 DC-DC 컨버터(6A)에 공급되고, DC-DC 컨버터(6A)는 DC전압 $+V_p$, DC전압 $-V_p$, DC전압 V_d 및 DC전압 V_r을 생성한다. DC-DC 컨버터(6A)에 의해 생성된 DC전압 $+V_p$는 행드라이버(3) 및 열드라이버(4)에 보내지고, DC-DC 컨버터(6A)에 의해 생성된 DC전압 $-V_p$는 열드라이버(4)에 보내지고, DC-DC 컨버터(6A)에 의해 생성된 DC전압 V_d 및 DC전압 V_r은 열드라이버 -4에 보내진다.

기입동작의 준비시에 있어서, DC-DC 컨버터(6A)에 의해 생성된 DC전압 $-V_p$는 메모리 셀 어레이(2)의 제 2 웰영역 V에 공급되는 동시에, GND단자에 도입된 접지전압은 메모리 셀 어레이(2)의 제 1 웰영역 W에 직접 공급된다.

한편, GND단자에 도입된 접지전압을 메모리 셀 어레이(2)의 제 1 웰영역 W에 DC전압 OV로서 공급하는 전압공급선이 제 1 전압공급선를 구성하고 있는 동시에, DC-DC 컨버터(6A)에 의해 생성된 DC전압 $-V_p$를 메모리 셀 어레이(2)의 제 2 웰영역 V에 DC전압 $-V_p$으로서 공급하는 전압공급선이 제 2 전압공급선을 구성하고 있다.

도 5는 제 1 실시예에 관한 반도체기억장치의 단면구조를 나타내고 있고, 반도체기판(10)의 표면에 소자분리영역(11)이 형성되고, 반도체기판(10)의 표면부에서의 소자분리영역(11)에 둘러싸인 영역에 상대적으로 좁은 폭을 갖는 p형의 제 1 웰영역(12) 및 상대적으로 넓은 폭을 갖는 p형의 제 2 웰영역(13)이 각각 형성되어 있다.

제 1 웰영역(12)의 위에는 26.5nm의 두께를 갖는 제 1 게이트절연막(14)을 통해 0.6㎛의 게이트길이를 갖는 제 1 게이트전극(16)이 형성되어 있는 동시에, 제 2 웰영역(13)의 위에는 40nm의 두께를 갖는 제 2 게이트절연막(15)을 통해 1.5㎛의 게이트길이를 갖는 제 2 게이트전극(17)이 형성되어 있는 동시에, 제 1 및 제 2 게이트전극(16, 17)의 측면에는 사이드 월(20)이 각각 형성되어 있다.

제 1 웰영역(12)의 표면부에는 0.2㎛의 길이를 갖는 n형의 제 1 저농도 불순물층(18)과, n형의 고농도 불순물층(22)이 형성되어 있는 동시에, 제 2 웰영역(13)의 표면부에는 1.5㎛의 길이를 갖는 n형의 제 2 저농도 불순물층(19)과, n형의 고농도 불순물층(23)이 형성되어 있다. 또한, 제 1 웰영역(12)의 표면부에는 p형의 고농도 불순물층으로 이루어지는 제 1 콘택트층(24)이 형성되어 있는 동시에, 제 2 웰영역(13)의 표면부에는 p형의 고농도불순물층으로 이루어지는 제 2 콘택트층(25)이 형성되어 있다.

이상 설명한 제 1 저농도 불순물층(18), 제 1 고농도 불순물층(22), 제 1 게이트절연막(14) 및 제 1 게이트전극(16)에 의해서 축적 트랜지스터 P가 구성되어 있는 동시에, 제 2 저농도 불순물층(19), 제 2 고농도 불순물층(23), 제 2 게이트절연막(15) 및 제 2 게이트전극(17)에 의해서 선택 트랜지스터 Q가 구성되어 있고, 축적 트랜지스터 Q의 동작전압은 5V로 설정할 수 있는 동시에 선택 트랜지스터 P의 동작전압은 21V로 설정할 수 있다.

제 2 게이트절연막(15)의 두께가 제 1 게이트절연막(14)의 두께보다도 크다는 제 1 특징, 제 2 게이트전극(17)의 게이트길이가 제 1 게이트전극(16)의 게이트길이보다도 크다는 제 2 특징 및 제 2 저농도 불순물층(19)의 길이가 제 1 저농도 불순물층(18)의 길이보다도 크다는 제 3 특징 중의 적어도 하나의 특징에 의해서, 선택 트랜지스터 P의 내압이 축적 트랜지스터 Q의 내압보다도 크다는 구성이 실현된다.

제 1 및 제 2 게이트전극(16, 17)을 덮도록 제 1 층간절연막(26)이 형성되고, 그 제 1 층간절연막(26)의 위에, TiN막으로 이루어지는 배리어층(28), Ir막, IrO_2막 및 Pt막으로 이루어지는 하부전극(29), 2O온m의 두께를 갖는 $SrBi_2Ta_2O_9$막으로 이루어지는 강유전체막(3O) 및 Pt막으로 이루어지는 상부전극(31)이 형성되어 있다. 이들 하부전극(29), 강유전체막(30) 및 상부전극(31)에 의해서 강유전체 콘덴서 C가 구성되어 있고, 강유전체 콘덴서 C의 상부전극(31)은 축적 트랜지스터 Q의 제 1 게이트전극(16)과 제 1 접속 플러그(27)에 의해 접속되어 있다.

강유전체 콘덴서 C를 덮도록 제 2 층간절연막(32)이 형성되고, 이 제 2 층간절연막(32)의 위에, TiN막으로 이루어지는 배리어층(35)을 통해 Al막으로 이루어지는 하층배선 36A, 36B, 36C, 36D, 36E, 36F, 36G가 형성되어 있다. 하층배선 36A와 제 1 콘택트층(24)과는 제 2 접속 플러그(33)에 의해 접속되고, 하층배선 36B와 제 1 고농도 불순물층(22) 중의 한쪽과는 제 2 접속 플러그(33)에 의해 접속되며, 하층배선 36C와 상부전극(31)과는 제 3 접속 플러그(34)에 의해 접속되고, 하층배선 36D와 제 1 고농도 불순물층(22) 중의 다른 쪽과는 제 2 접속 플러그(33)에 의해 접속되고, 하층배선 36E와 제 2 고농도 불순물층(23) 중의 한쪽과는 제 2 접속 플러그(33)에 의해 접속되고, 하층배선 36F와 제 2 고농도 불순물층(23) 중의 다른 쪽과는 제 2 접속 플러그(33)에 의해 접속되고, 하층배선 36G와 제 2 콘택트층(25)과는 제 2 접속 플러그(33)에 의해 접속되어 있다.

하층배선 36A, 36B, 36C, 36D, 36E, 36F, 36G를 덮도록 제 3 층간절연막(37)이 형성되고, 이 제 3 층간절연막(37)의 위에, TiN막으로 이루어지는 배리어층(39)을 통해 Al막으로 이루어지는 상층배선(40)이 형성되어 있고, 하층배선 36D와 상층배선(40)과는 제 4 접속 플러그(38)에 의해 접속되어 있다.

상층배선(40)을 덮도록 SiO_2막으로 이루어지는 제 1 보호막(41)이 형성되고, 이 제 1 보호막(41)의 위에 SiN_x막으로 이루어지는 제 2 보호막(42)이 형성되어 있다.

이하, 제 1 실시예에 관한 반도체기억장치의 제조방법에 관해서, 도 6의 (a), (b), 도 7의 (a), (b), 도 8의 (a), (b), 도 9 및 도 10을 참조하면서 설명하기로 한다.

우선, 도 6의 (a)에 도시하는 바와 같이, Si로 이루어지는 반도체기판(10)의 표면에 LOCOS법에 의해 SiO_2로 이루어지는 소자분리영역(11)을 형성한 뒤, 반도체기판(1O)의 표면부에서의 소자분리영역(11)에 둘러싸인 영역에 p형의 불순물을 이온주입하여, 상대적으로 좁은 폭을 갖는 p형의 제 1 웰영역(12) 및 상대적으로 넓은 폭을 가지는 p형의 제 2 웰영역(13)을 형성한다.

다음에, 반도체기판(10)에 열산화법을 실시해, 제 1 및 제 2 웰영역(12, 13)의 표면에 26.5nm의 두께를 갖는 SiO_2막을 형성한 뒤, 상기 SiO_2막에서의 제 1 웰영역(12)의 표면에 형성되어 있는 부분을 에칭에 의해 선택적으로 제거하여, 도 6의 (b)에 도시하는 바와 같이, 제 2 웰영역(13)의 표면에 26.5nm의 두께를 갖는 SiO_2막으로 이루어지는 제 2 게이트절연막(15)를 형성한다.

다음에, 다시 반도체기판(10)에 열산화법을 실시해, 도 7의 (a)에 도시하는 바와 같이, 제 1 웰영역(12)의 표면에 13.5nm의 두께를 갖는 SiO_2막으로 이루어지는 제 1 게이트절연막(14)를 형성하는 동시에, 제 2 웰영역(13)의 표면에 형성되어 있는 제 2 게이트절연막(15)의 두께를 40nm로 증대시킨다.

다음에, 제 1 및 제 2 게이트절연막(14, 15)의 위에 300nm의 두께를 갖는 폴리실리콘막을 퇴적한 뒤, 그 폴리실리콘막에 인이온을 도핑하고, 그 후, 인도프된 폴리실리콘막을 패터닝함으로서, 도 7의 (b)에 도시하는 바와 같이, 제 1 절연막(14)의 위에 0.6㎛의 게이트길이를 갖는 제 1 게이트전극(16)을 형성하는 동시에, 제 2 절연막(15)의 위에 1.5

㎛의 게이트길이를 갖는 제 2 게이트전극(17)을 형성한다. 다음에, 제 1 게이트전극(16)을 마스크로 하여 제 1 웰영역(12)의 표면부에 n형의 불순물 이온을 도핑하여 n형의 제 1 저농도 불순물층(18)을 형성하는 동시에, 제 2 게이트전극(17)을 마스크로 하여 제 2 웰영역(13)의 표면부에 n형의 불순물 이온을 도핑하여 n형의 제 2 저농도 불순물층(19)을 형성한다.

다음에, 반도체기판(10)의 위에 전면에 걸쳐 SiO_2막을 퇴적한 뒤, 상기 SiO_2막에 대하여 이방성 에칭을 실시함으로써, 도 8의 (a)에 나타나는 바와 같이, 제 1 및 제 2 게이트전극(16, 17)의 측면에 사이드 월(20)을 형성한다. 다음에, 반도체기판(10)의 위에 고농도 불순물층의 형성영역에 개구부를 갖는 레지스트 패턴(21)을 형성한 뒤, 상기 레지스트 패턴(21)을 마스크로 하여 n형의 불순물 이온을 도핑하여, 제 1 웰영역(12)에 제 1 고농도 불순물층(22)을 형성하는 동시에, 제 2 웰영역(13)에 제 2 고농도 불순물층(23)을 형성한다. 이 경우, 레지스트 패턴(21)은 제 2 게이트전극(17)을 덮고 있지만 제 1 게이트전극(16)을 덮고 있지 않기 때문에, 제 2 저농도 불순물층(19)에서의 제 2 게이트전극측의 영역의 길이(1.5㎛)는 제 1 저농도 불순물층(18)에서의 제 1 게이트전극측의 영역의 길이(0.2㎛)보다도 크다.

이로 인해, 제 1 저농도 불순물층(18), 제 1 고농도 불순물층(22), 제 1 게이트절연막(14) 및 제 1 게이트전극(16)으로 이루어지는 축적 트랜지스터 Q가 형성되는 동시에, 제 2 저농도 불순물층(19), 제 2 고농도 불순물층(23), 제 2 게이트절연막(15) 및 제 2 게이트전극(17)으로 이루어지는 선택 트랜지스터 P가 형성된다.

다음에, 도시는 생략하였으나, 반도체기판(10)의 위에 콘택트층의 형성영역에 개구부를 갖는 레지스트 패턴을 형성한 뒤, 상기 레지스터 패턴을 마스크로 하여 p형의 불순물 이온을 도핑함으로써, 도 8의 (b)에 도시하는 바와 같이, 제 1 웰영역(12)에 제 1 콘택트층(24)을 형성하는 동시에, 제 2 웰영역(13)에 제 2 콘택트층(25)을 형성한다. 다음에, 900℃의 온도하에서 어닐처리를 행한 뒤, 반도체기판 10의 위에 전면에 걸쳐 SiO_2막으로 이루어지는 제 1 층간절연막(26)을 형성한다.

다음에, 도 9에 도시하는 바와 같이, 제 1 층간절연막(26)에 플러그구멍을 형성한 뒤, 제 1 층간절연막(26)의 위에 폴리실리콘막을 퇴적하고, 그 후, 상기 폴리실리콘막에서의 플러그구멍으로부터 노출하고 있는 부분을 제거하여, 제 1 층간절연막(26)에 제 2 게이트전극(17)과 접속하는 제 1 접속 플러그(27)을 형성한다.

다음에, 스패터법에 의해, 제 1 층간절연막(26)의 위에 TiN막, Ir막, IrO_2막 및 Pt막을 순차 퇴적하여 적층막을 형성한 뒤, 그 적층막을 패터닝하여, TiN막으로 이루어지는 배리어층(28) 및 Ir막, IrO_2막 및 Pt막으로 이루어지는 하부전극(29)을 형성한다. 다음에, 스핀 도포법에 의해 하부전극(29)의 위에 10온m의 두께를 갖는 제 1의 $SrBi_2Ta_2O_9$막(이하, SBT막이라 한다.)을 형성한 뒤, 800℃의 어닐을 행하여 결정화하고, 그 후, 스핀 도포법에 의해 제 1 SBT막의 위에 10온m의 두께를 갖는 제 2 SBT막을 형성한 뒤, 800℃의 어닐을 행하여 결정화한다. 다음에, 스패터법에 의해, 제 2 SBT막의 위에 Pt막을 퇴적한 뒤, 그 Pt막, 제 2 SBT막 및 제 1 SBT막을 패터닝하여, 제 1 및 제 2 SBT막으로 이루어지는 강유전체막 30 및 Pt막으로 이루어지는 상부전극(31)을 형성한다.

이로 인해, 하부전극(29), 강유전체막(30) 및 상부전극(31)으로 이루어지는 강유전체 콘덴서 C가 형성되는 동시에, 축적 트랜지스터 Q의 제 1 게이트전극(16)과 강유전체 콘덴서 C의 상부전극(31)이 제 1 접속 플러그(27)에 의해 접속된다.

다음에, 도 10에 나타나는 바와 같이, 강유전체 콘덴서 C를 덮도록 SiO_2막으로 이루어지는 제 2 층간절연막(32)을 퇴적한 뒤, CMP법에 의해 제 2 층간절연막(32)을 평탄화한다. 다음에 비어홀을 개구하고, 제 2 층간절연막(32)의 위에 전면에 걸쳐 W막을 퇴적한 뒤, 그 W막에서의 제 2 층간절연막(32)의 위에 노출하고 있는 부분을 제거하여, 제 1 층간절연막(26) 및 제 2 층간절연막(32)에 W막으로 이루어지는 제 2 접속 플러그(33)을 형성하는 동시에, 제 2 층간절연막(32)에 W막으로 이루어지는 제 3 접속 플러그(34)를 형성한다.

다음에, 제 2 층간절연막(32)의 위에 TiN막 및 Al막을 순차 퇴적한 뒤, 그 TiN막 및 Al막을 패터닝하여, TiN막으로 이루어지는 배리어층(35)과, Al막으로 이루어지는 하층배선 36A, 36B, 36C, 36D, 36E, 36F, 36G를 형성한다. 이 경우, 하층배선 36A와 제 1 콘택트층(24)은 제 2 접속 플러그(33)에 의해 접속되고, 하층배선 36B와 제 1 고농도 불

순물층(22) 중의 한쪽과는 제 2 접속 플러그(33)에 의해 접속되고, 하층배선 36C와 상부전극(31)은 제 3 접속 플러그(34)에 의해 접속되고, 하층배선 36D와 제 1 고농도 불순물층(22) 중의 다른 쪽과는 제 2 접속 플러그(33)에 의해 접속되고, 하층배선 36E와 제 2 고농도 불순물층(23) 중의 한쪽과는 제 2 접속 플러그(33)에 의해 접속되고, 하층배선 36F와 제 2 고농도 불순물층(23) 중의 다른쪽과는 제 2 접속 플러그(33)에 의해 접속되고, 하층배선 36G와 제 2 콘택트층(25)은 제 2 접속 플러그(33)에 의해 접속된다.

다음에, 하층배선 36A, 36B, 36C, 36D, 36E, 36F, 36G를 덮도록 SiO_2막으로 이루어지는 제 3 층간절연막(37)을 퇴적한 뒤, CMP법에 의해 제 3 층간절연막(37)을 평탄화하고, 그 후, 제 2 및 제 3 접속 플러그(33, 34)와 같이 하여, 제 3 층간절연막(37)에 제 4 접속 플러그(38)을 형성한다.

다음에, 제 3 층간절연막(32)의 위에 TiN막 및 Al막을 순차 퇴적한 뒤, 상기 TiN막 및 Al막을 패터닝하고, TiN막으로 이루어지는 배리어층(39)과, Al막으로 이루어지는 상층배선(40)을 형성한다. 이 경우, 하층배선 36D와 상층배선(40)과는 제 4 접속 플러그(38)에 의해 접속된다.

다음에, 상층배선(40)을 덮도록 SiO_2막으로 이루어지는 제 1 보호막(41)을 퇴적한 뒤, 이 제 1의 보호막(41)의 위에 SiN_x막으로 이루어지는 제 2 보호막(42)을 퇴적하면, 도 5에 나타내는 바와 같은 제 1 실시예에 관한 반도체기억장치가 얻어진다.

(제 2 실시예)

이하, 본 발명의 제 2 실시예에 관한 반도체기억장치 및 그 구동방법에 관해서, 도 11 도 13을 참조하면서 설명한다. 한편, 제 2 실시예에서는 반도체기억장치는 데이터를 축적하는 축적 트랜지스터로서, MFMIS형 트랜지스터를 사용하고 있지만, 이것 대신에 MFS형 트랜지스터 또는 MFIS형 트랜지스터를 사용해도 된다.

도 11은 제 2 실시예에 관한 반도체기억장치로 이루어지는 메모리 셀이 2행×2열의 매트릭스형상으로 배치된 메모리 셀의 평면구조를 도시하고 있고, 도 11에서 WL_1, WL_2는 워드선이고, SL_1, SL_2는 소스선이고, GL_1, GL_2는 동작전압공급선이고, BL_1, BL_2는 비트선이고, Q_{11}, Q_{12}, Q_{21}, Q_{22}는 축적 트랜지스터이고, C_{11}, C_{12}, C_{21}, C_{22}는 강유전체 콘덴서이고, P_{11}, P_{12}, P_{21}, P_{22}는 선택 트랜지스터이다. 한편, 축적 트랜지스터 Q_{11}, Q_{12}, Q_{21}, Q_{22}와 강유전체 콘덴서 C_{11}, C_{12}, C_{21}, C_{22}에 의해 MFMIS형 트랜지스터가 구성되어 있다.

메모리 셀 어레이의 열방향으로 연장되는 n형의 제 1 웰영역 W_1, W_2및 p형의 제 2 웰영역 V_1, V_2가 행방향으로 교대로 설치되어 있고, 축적 트랜지스터 Q는 제 1 웰영역 W에 형성되어 있는 동시에, 선택 트랜지스터 P는 제 2 웰영역 V에 형성되어 있다.

제 1 실시예와 마찬가지로 축적 트랜지스터 Q의 게이트전극(부유게이트)에는 강유전체 콘덴서 C의 하부전극이 접속되고, 강유전체 콘덴서 C의 상부전극(제어게이트)은 선택 트랜지스터 P를 통해 동작전압공급선 GL에 접속되고, 선택 트랜지스터 P의 게이트는 워드선 WL에 접속되어 있다.

또한, 축적 트랜지스터 Q의 드레인은 비트선 BL에 접속되어 있는 동시에, 축적 트랜지스터 Q의 소스는 소스선 SL에 접속되어 있고, 비트선 BL과 소스선 SL과의 전위차에 의해 데이터의 판독이 행해진다.

이하, 제 2 실시예에 관한 반도체기억장치로 이루어지는 메모리 셀 어레이에서의 어드레스(11)(1행째 또한 1열째)의 메모리 셀에 대하여 기입동작 및 판독동작을 행하는 방법에 관해서 도 12를 참조하면서 설명한다.

(기입 동작)

우선, 기입동작의 준비로서 선택 트랜지스터 P가 형성되어 있는 제 2 웰영역 V에 예컨대 +8V의 DC전압 V_p($V_1=V_2=V_p$)를 인가하는 동시에, 축적 트랜지스터 Q가 형성되어 있는 제 1 웰영역 W를 접지해 놓는다($W_1=W_2=0V$).

이하, 어드레스(11)의 메모리 셀에 데이터를 기입하는 동작에 관해서 설명하기로 한다. 1행째의 워드선 WL_1에 $-V_p$를 인가하는 한편, 2행째의 워드선 WL_2를 접지함으로써, 1행째의 선택 트랜지스터 P_{11}, P_{12}를 온으로 한다. 이로 인해, 1행째의 어드레스가 선택된다.

모든 소스선 SL_1, SL_2를 접지하는 동시에, 모든 비트선 BL_1, BL_2를 접지한다.

1열째의 동작전압 공급선 GL_1에 2치 데이터에 대응하여 $+V_p$또는 $-V_p$을 인가하는 한편, 2열째의 동작전압 공급선 GL_2는 접지한다. 이로 인해, 1열째의 어드레스가 선택된다.

이와 같이 하면, 어드레스(11)가 지정되는 동시에, 어드레스(11)의 MFMIS형 트랜지스터의 제어 게이트·웰 사이에, 예컨대 ±8V인 $\pm V_p$의 전압이 인가되기 때문에 어드레스(11)의 MFMIS형 트랜지스터에 2치 데이터가 기입된다. 이 경우, 2행째의 선택 트랜지스터 P_{21}, P_{22}는 오프이기 때문에 2행째의 MFMIS형 트랜지스터에는 데이터는 기입되지 않는다. 또한, 2열째의 동작전압 공급선 GL_2는 접지되어 있기 때문에, 2열째의 MFMIS형 트랜지스터의 데이터는 개서되지 않는다.

(판독동작)

1행째의 워드선 WL_1에 $-V_p$를 인가하는 한편, 2행째의 워드선 WL_2에 0V를 인가함으로서, 1행째의 선택 트랜지스터 P_{11}, P_{12}를 온으로 한다. 이로 인해, 1행째의 어드레스가 선택된다.

모든 소스선 SL_1, SL_2에 0V를 인가하는 동시에, 1열째의 비트선 BL_1에 예컨대 0.6V의 V_d를 인가하는 한편, 2열째의 비트선 BL_2에 0V를 인가한다. 이로 인해 1열째의 어드레스가 선택된다.

1열째의 동작전압 공급선 GL_1에 예컨대 0.7V의 V_r을 인가하는 한편, 2열째의 동작전압 공급선 GL_2에 0V를 인가한다.

이와 같이 하면, 어드레스(11)의 MFMIS형 트랜지스터의 제어 게이트에 V_r이 인가되는 동시에, 그 MFMIS형 트랜지스터의 드레인·소스 사이에 V_d가 인가되기 때문에, 어드레스(11)의 MFMIS형 트랜지스터에 기입되어 있는 2치 데이터가 $\pm V_p$에 따라서 정해지는 드레인·소스 사이의 전류의 변화로서 검출된다. 이 경우, 2행째의 선택 트랜지스터 P_{21}, P_{22}는 오프이기 때문에 2행째의 MFMIS형 트랜지스터의 드레인·소스 사이에는 전류가 흐르지 않는 동시에, 2열째의 MFMIS형 트랜지스터의 드레인·소스 사이에는 전압이 인가되지 않기 때문에 전류가 흐르지 않는다.

도 13은 제 2 실시예에 관한 반도체기억장치로 이루어지는 메모리 셀 어레이가 탑재된 반도체 칩(1)의 평면구조를 나타내고 있고, 반도체 칩(1)의 위에는 메모리 셀 어레이(2), 행드라이버(3), 열드라이버(4), I/F회로(5) 및 DC-DC 컨버터(6B)가 형성되어 있다.

외부로부터 반도체 칩(1) 상의 VDD단자에 도입된 전원전압 및 외부로부터 반도체기판(1) 상의 GND단자에 도입된 접지전압은 메모리 셀 어레이(2)를 구동하는 구동회로인 행드라이버(3) 및 열드라이버(4)에 각각 공급된다.

또한, VDD단자에 도입된 전원전압은 DC-DC 컨버터(6B)에 공급되고, DC-DC 컨버터(6B)는 DC전압 $-V_p$, DC전압 V_d 및 DC전압 V_r을 생성한다. DC-DC 컨버터(6B)에 의해 생성된 DC전압 $-V_p$는 행드라이버(3) 및 열드라이버(4)에 보내지고, DC-DC 컨버터(6B)에 의해 생성된 DC전압 V_d 및 DC 전압 V_r은 열드라이버(4)에 보내진다.

기입의 준비동작시에 있어서, VDD단자에 도입된 전원전압 V_p는 메모리 셀 어레이(2)의 제 2 웰영역 V에 직접 공급되는 동시에, GND단자에 도입된 접지전압은 메모리 셀 어레이(2)의 제 1 웰영역 W에 직접 공급된다.

한편, GND단자에 도입된 접지전압을 메모리 셀 어레이(2)의 제 1 웰영역 W에 공급하는 전압공급선이 제 1 전압공급선을 구성하는 동시에, VDD단자에 도입된 전원전압을 메모리 셀 어레이(2)의 제 2 웰영역 V에 공급하는 전압공급선이 제 2 전압공급선을 구성한다.

제 2 실시예에 의하면, VDD단자에 도입된 전원전압은 메모리 셀 어레이(2)의 제 2 웰영역 V에 DC전압 V_p로서 직접 공급되기 때문에, DC-DC 컨버터(6B)는 DC전압 $+V_p$를 생성할 필요가 없기 때문에, 제 2 실시예에서의 DC-DC 컨버터(6B)의 면적을 제 1 실시예에서의 DC-DC 컨버터(6A)의 면적보다도 작게 할 수 있다.

발명의 효과

본 발명에 관한 반도체기억장치 또는 그 구동방법에 의하면, 축적 트랜지스터를 구성하는 제 1 전계효과형 트랜지스터의 제 1 웰영역에 제 1 DC전압을 인가한 상태로, 제 1 전계효과형 트랜지스터의 제어 게이트에 제 1 DC전압에 대하여 양 또는 음의 극성이 되는 제 2 DC전압을 인가하여 데이터를 기입할 수 있기 때문에, 축적 트랜지스터에 기입되어 있는 데이터의 소거동작을 행하지 않고, 원하는 축적 트랜지스터에 데이터를 기입할 수 있다. 따라서, 복수의 축적 트랜지스터가 공유하고 있고 부하용량이 큰 웰영역에 전압을 인가하여 축적 트랜지스터의 데이터를 소거하는 동작을 행하지 않고 데이터를 기입할 수 있기 때문에, 데이터의 재기입동작에 요하는 시간을 단축할 수 있다.

(57) 청구의 범위

청구항 1.

강유전체막의 위에 형성된 게이트전극을 갖는 전계효과형 트랜지스터로 이루어지는 MFS형 트랜지스터, 강유전체막과 유전체막의 적층막의 위에 형성된 게이트전극을 갖는 전계효과형 트랜지스터로 이루어지는 MFIS형 트랜지스터, 또는 전계효과형 트랜지스터의 게이트전극의 위에 강유전체 콘덴서가 설치되어 이루어지는 MFMIS형 트랜지스터로 구성되어 있고, 데이터가 축적되는 축적 트랜지스터와, 전계효과형 트랜지스터로 구성되어 있고, 상기 축적 트랜지스터를 선택하는 선택 트랜지스터를 구비한 반도체기억장치에 있어서,

상기 축적 트랜지스터를 구성하는 제 1 전계효과형 트랜지스터의 제 1 웰영역과, 상기 선택 트랜지스터를 구성하는 제 2 전계효과형 트랜지스터의 제 2 웰영역과는 서로 분리되어 있고,

상기 제 1 전계효과형 트랜지스터의 제 1 웰영역에 DC 전압을 공급하는 제 1 전압공급선과,

상기 제 1 전압공급선에 대하여 독립으로 설치되고, 상기 제 2 전계효과형 트랜지스터의 제 2 웰영역에 DC 전압을 공급하는 제 2 전압공급선을 구비하고 있는 것을 특징으로 하는 반도체기억장치.

청구항 2.

제 1항에 있어서,

상기 제 2 전계효과형 트랜지스터의 내압은 상기 제 1 전계효과형 트랜지스터의 내압보다도 높은 것을 특징으로 하는 반도체기억장치.

청구항 3.

제 2항에 있어서,

상기 축적 트랜지스터는 상기 MFMIS형 트랜지스터로 이루어지고,

상기 제 2 전계효과형 트랜지스터의 게이트절연막의 두께는 상기 제 1 전계효과형 트랜지스터의 게이트절연막의 두께보다도 큰 것을 특징으로 하는 반도체기억장치.

청구항 4.

제 2항에 있어서,

상기 축적 트랜지스터는 상기 MFMIS형 트랜지스터로 이루어지고,

상기 제 1 전계효과형 트랜지스터 및 상기 제 2 전계효과형 트랜지스터는 LDD 구조를 갖고 있고,

상기 제 2 전계효과형 트랜지스터의 저농도 불순물층의 길이는 상기 제 1 전계효과형 트랜지스터의 저농도 불순물층의 길이보다도 큰 것을 특징으로 하는 반도체기억장치.

청구항 5.

제 2항에 있어서,

상기 축적 트랜지스터는 상기 MFMIS형 트랜지스터로 이루어지고,

상기 제 2 전계효과형 트랜지스터의 게이트전극의 게이트길이는 상기 제 1 전계효과형 트랜지스터의 게이트전극의 게이트길이보다도 큰 것을 특징으로 하는 반도체기억장치.

청구항 6.

제 1항에 있어서,

상기 제 1 전계효과형 트랜지스터, 상기 제 2 전계효과형 트랜지스터와 상기 제 1 및 제 2 전계효과형 트랜지스터를 구동하는 구동회로는 동일의 반도체기판 상에 형성되어 있고,

상기 구동회로에 공급되는 구동용 전압과 상기 제 2 전계효과형 트랜지스터의 제 2 웰영역에 공급되는 DC전압은 동일의 전압전원으로부터 공급되는 것을 특징으로 하는 반도체기억장치.

청구항 7.

제 1항 또는 6항에 있어서,

상기 제 1 전계효과형 트랜지스터의 제 1 웰영역과 상기 제 2 전계효과형 트랜지스터의 제 2 웰영역은 서로 다른 도전형을 갖고 있는 것을 특징으로 하는 반도체기억장치.

청구항 8.

강유전체막의 위에 형성된 게이트전극을 갖는 전계효과형 트랜지스터로 이루어지는 MFS형 트랜지스터, 강유전체막과 유전체막의 적층막의 위에 형성된 게이트전극을 갖는 전계효과형 트랜지스터로 이루어지는 MFIS형 트랜지스터, 또는 전계효과형 트랜지스터의 게이트전극의 위에 강유전체 콘덴서가 설치되어 이루어지는 MFMIS형 트랜지스터로 구성되고, 데이터가 축적되는 축적 트랜지스터와, 전계효과형 트랜지스터로 구성되어 상기 적층 트랜지스터를 선택하는 선택 트랜지스터를 구비하고, 상기 축적 트랜지스터를 구성하는 제 1 전계효과형 트랜지스터의 제 1 웰영역과 상기 선택 트랜지스터를 구성하는 제 2 전계효과형 트랜지스터의 제 2 웰영역이 서로 분리되어 있는 반도체기억장치의 구동방법에 있어서,

상기 제 1 전계효과형 트랜지스터의 제 1 웰영역에 제 1 DC전압을 인가하는 동시에, 상기 제 1 전계효과형 트랜지스터의 제어 게이트에 상기 제 1 DC전압에 대하여 양 또는 음의 극성으로 이루어지는 제 2 DC전압을 인가함으로써, 상기 축적 트랜지스터에 데이터를 기입하는 공정을 구비하고 있는 것을 특징으로 하는 반도체 기억장치의 구동방법.

청구항 9.

제 8항에 있어서,

상기 제 2 전계효과형 트랜지스터의 내압은 상기 제 1 전계효과형 트랜지스터의 내압보다도 높은 것을 특징으로 하는 반도체기억장치의 구동방법.

청구항 10.

제 8항에 있어서,

상기 제 1 및 제 2 전계효과형 트랜지스터를 구동하는 구동회로에 공급되는 구동용전압과 상기 제 2 전계효과형 트랜지스터의 제 2 웰영역에 공급되는 DC전압은 동일의 전압전원으로부터 공급되는 것을 특징으로 하는 반도체기억장치의 구동방법.

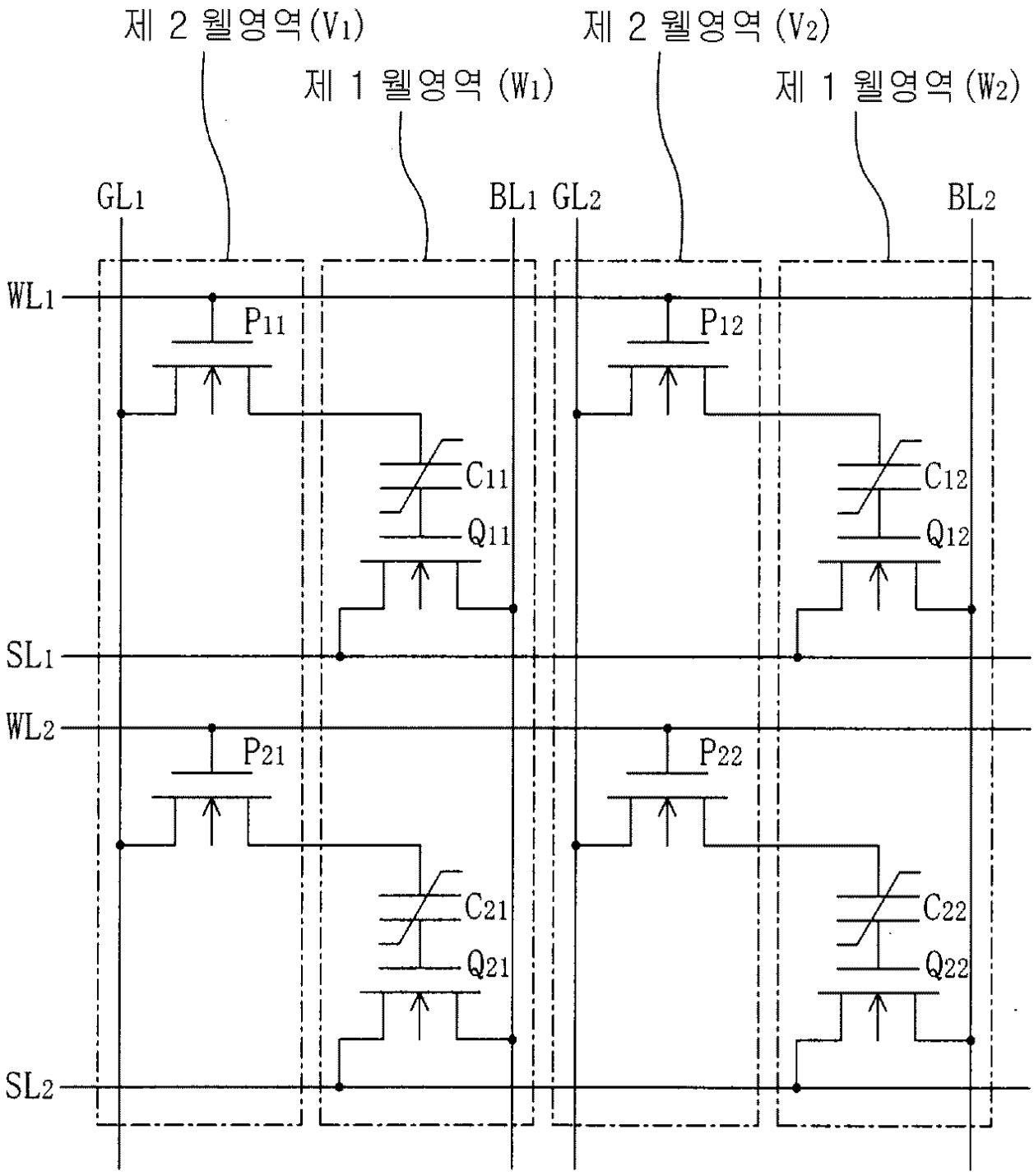
청구항 11.

제 8항 또는 10항에 있어서,

상기 제 1 전계효과형 트랜지스터의 제 1 웰영역과 상기 제 2 전계효과형 트랜지스터의 제 2 웰영역은 서로 다른 도전형을 갖고 있는 것을 특징으로 하는 반도체기억장치의 구동방법.

도면

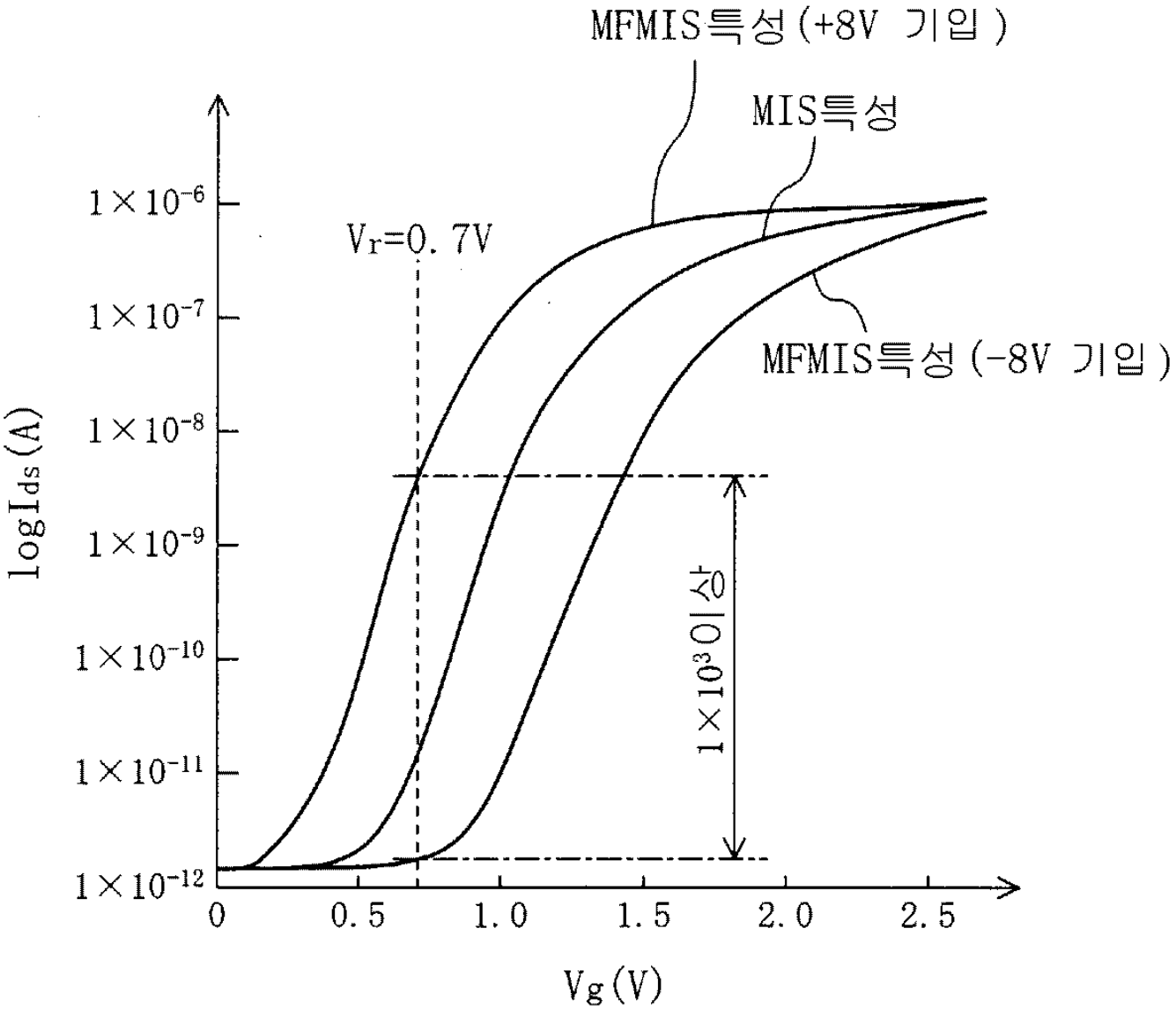
도면 1


제 2 웰영역(V1)
제 2 웰영역 (V2)
제 1 웰영역 (W1)
제 1 웰영역 (W2)
GL1
BL1
GL2
BL2
WL1
WL2
SL1
SL2
P11
P12
P21
P22
C11
C12
C21
C22
Q11
Q12
Q21
Q22

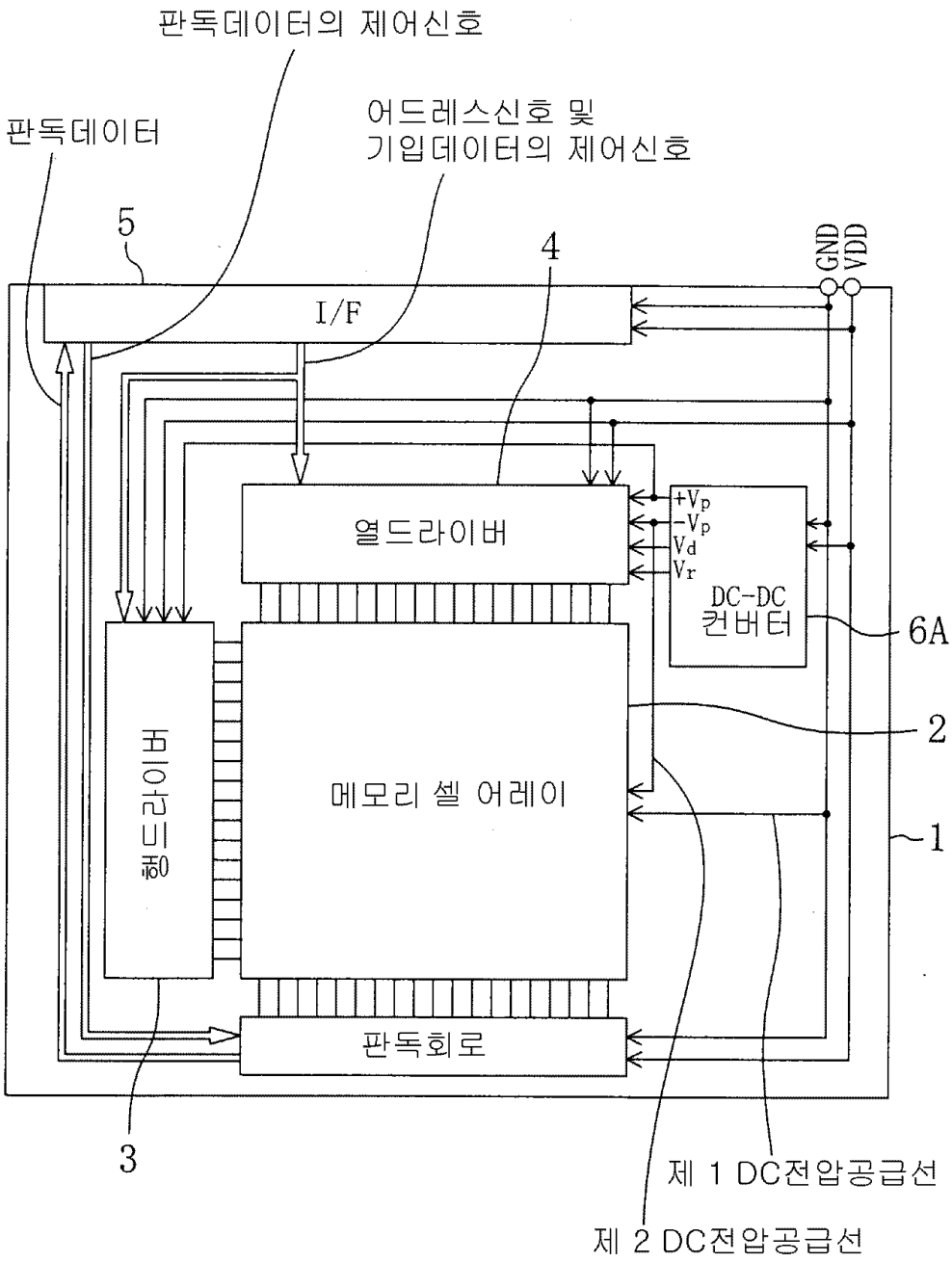
도면 2

	동작		신호
	기입	판독	
WL_1	V_p	V_p	AC
SL_1	0	0	AC
GL_1	$\pm V_p$	V_r	AC
BL_1	0	V_d	AC
V_1	$-V_p$	$-V_p$	DC
W_1	0	0	DC
WL_2	$-V_p$	$-V_p$	AC
SL_2	0	0	AC
GL_2	0	0	AC
BL_2	0	0	AC
V_2	$-V_p$	$-V_p$	DC
W_2	0	0	DC

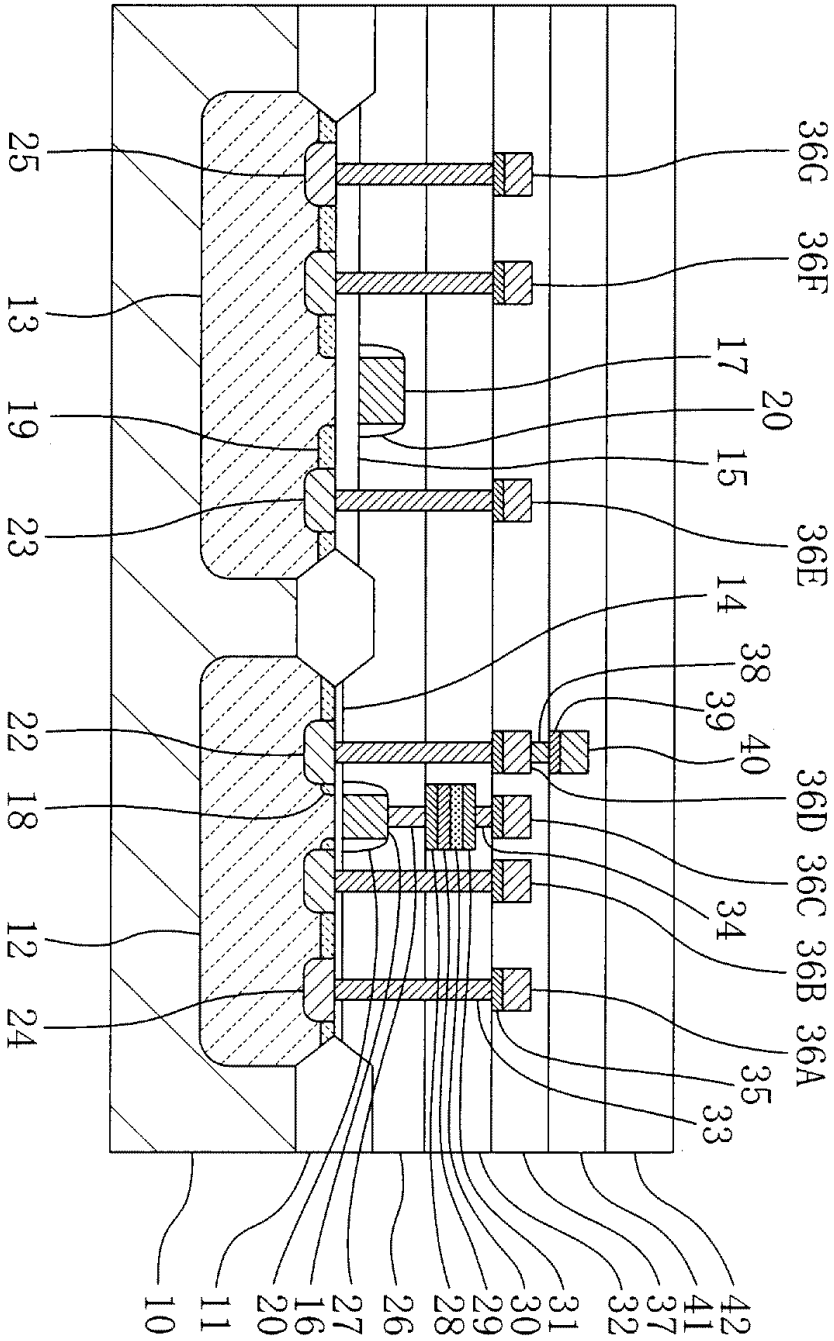
도면 3


MFMIS특성(+8V 기입)
MIS특성
MFMIS특성(-8V 기입)
Vr=0.7V
1×10³이상
log Ids(A)
1×10⁻⁶
1×10⁻⁷
1×10⁻⁸
1×10⁻⁹
1×10⁻¹⁰
1×10⁻¹¹
1×10⁻¹²
0
0.5
1.0
1.5
2.0
2.5
Vg(V)

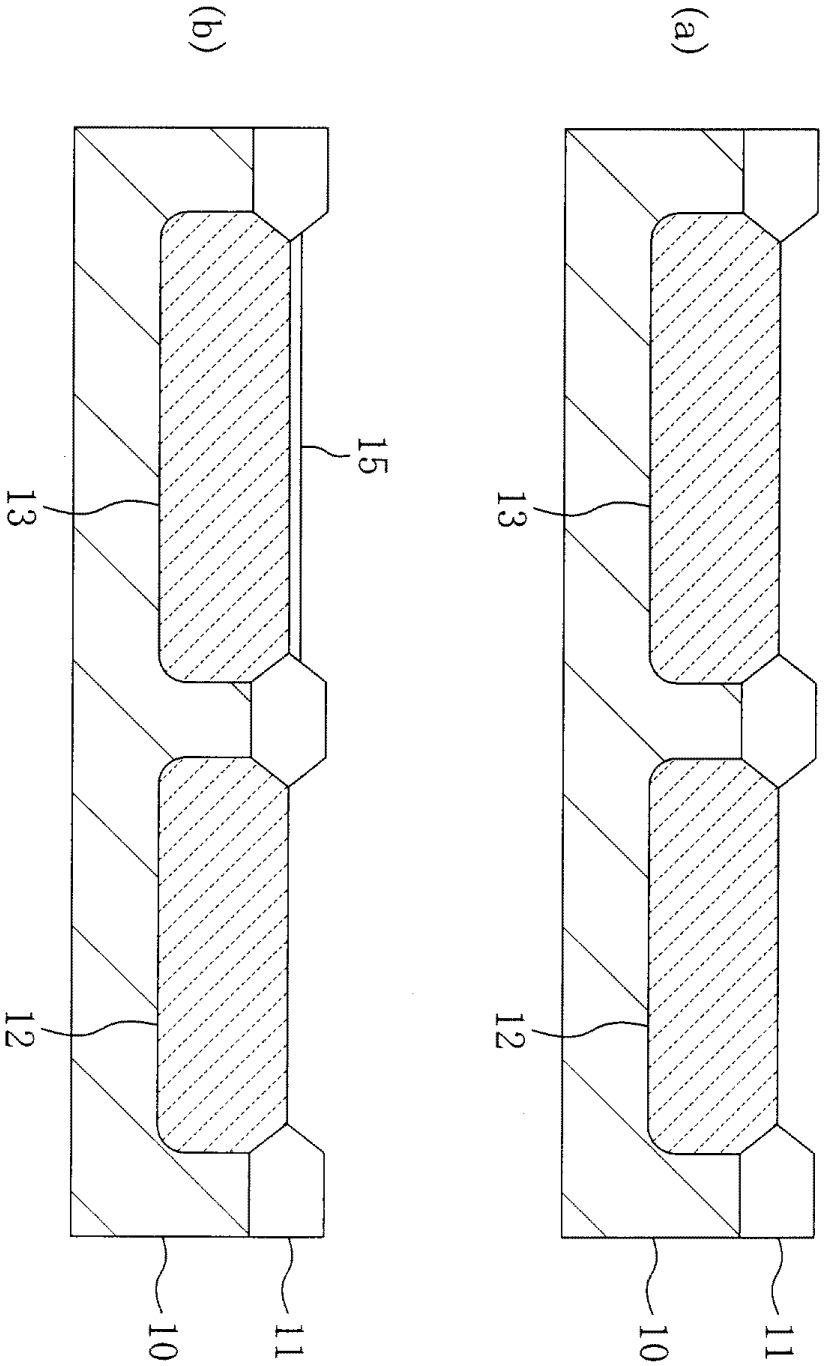
도면 4


판독데이터의 제어신호
판독데이터
어드레스신호 및
기입데이터의 제어신호
5
4
GND
VDD
I/F
열드라이버
+Vp
-Vp
Vd
Vr
DC-DC
컨버터
6A
2
메모리 셀 어레이
1
판독회로
3
제 1 DC전압공급선
제 2 DC전압공급선

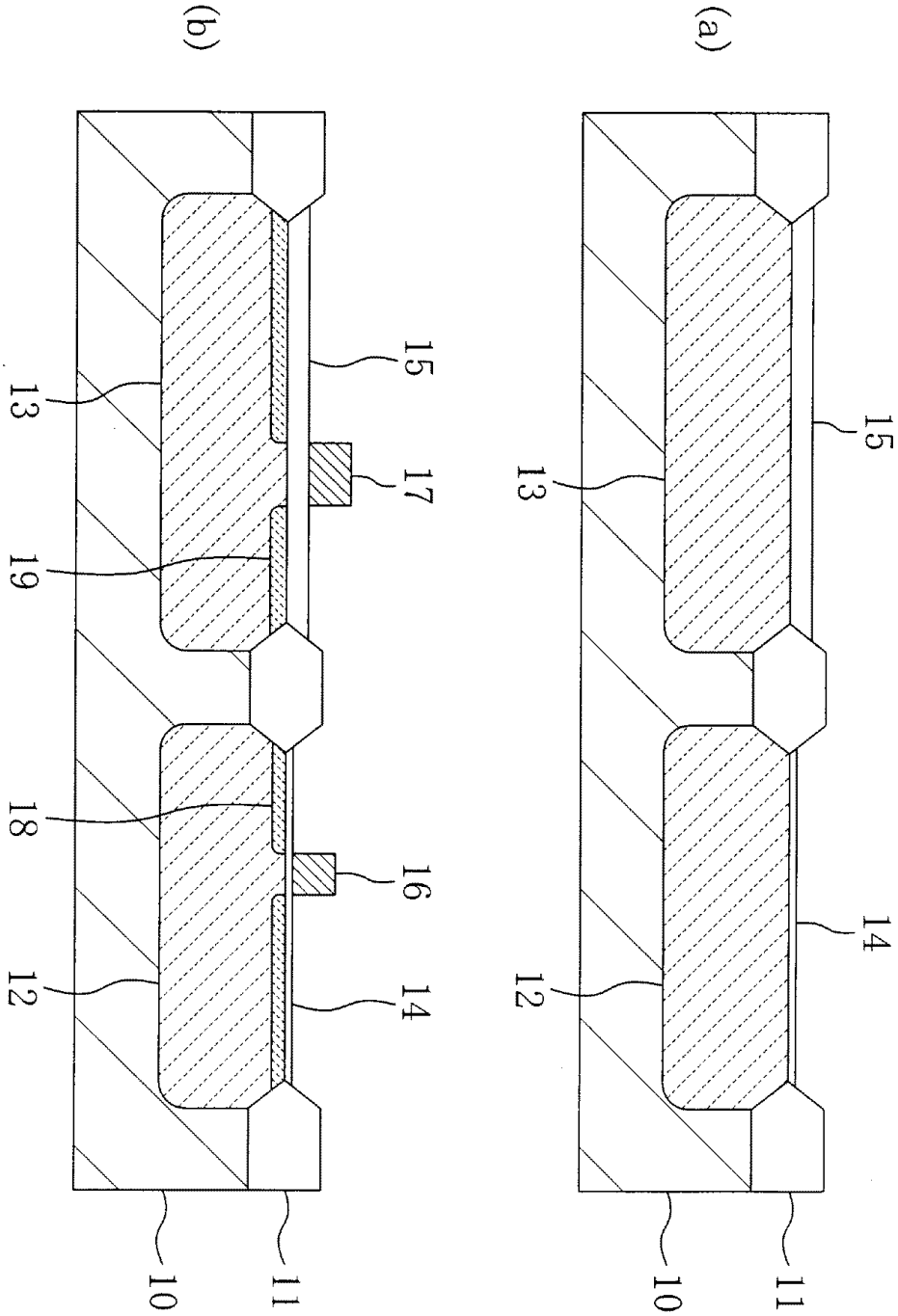
도면 5


25
13
19
23
22
18
12
24
36G
36F
17
20
15
36E
14
38
39
40
36D
36C
34
36B
36A
35
33
10
11
20
16
27
26
28
29
30
31
32
37
41
42

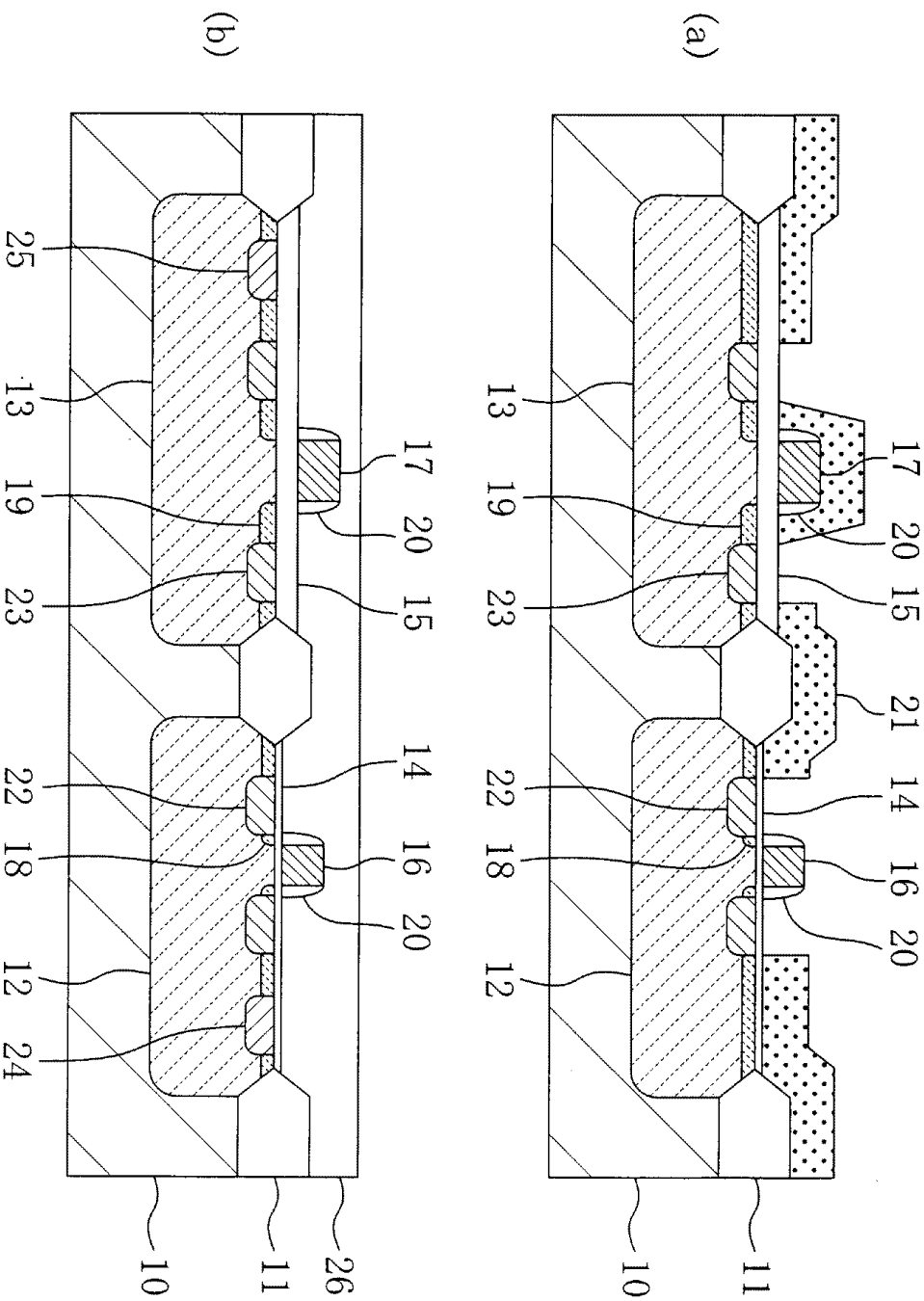
도면 6



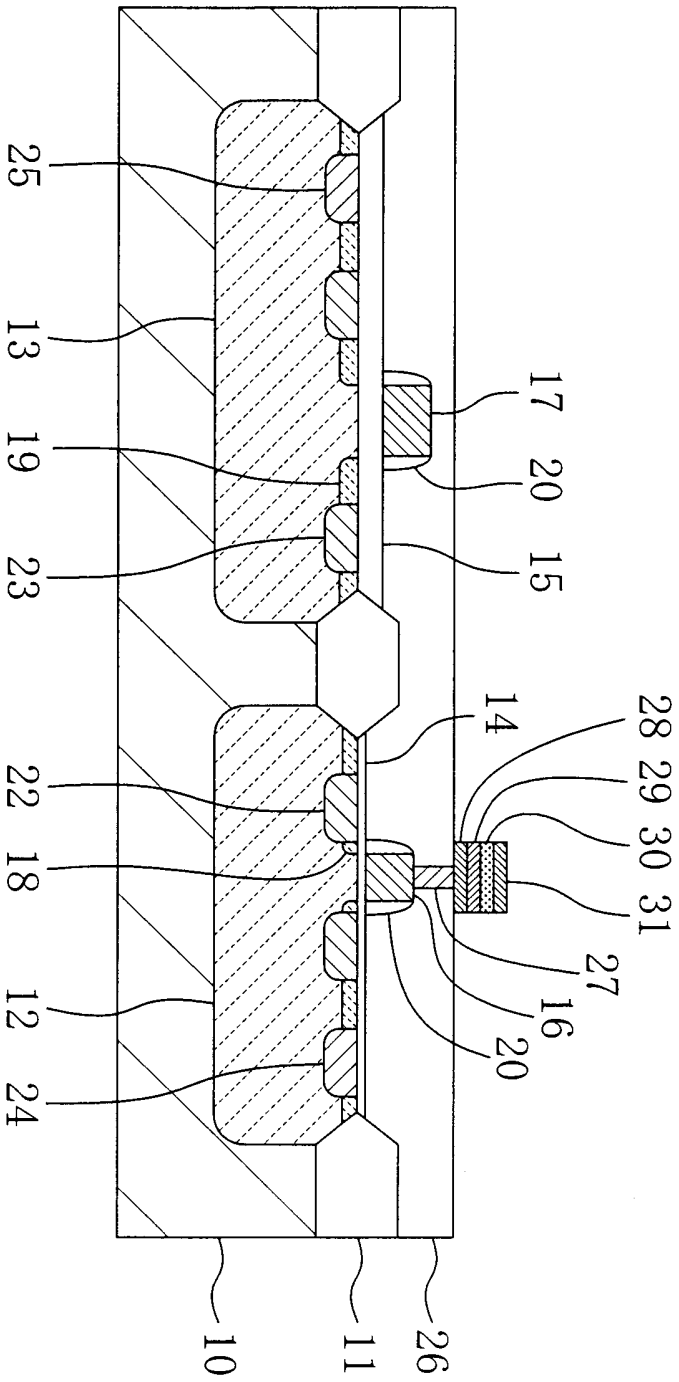
도면 7



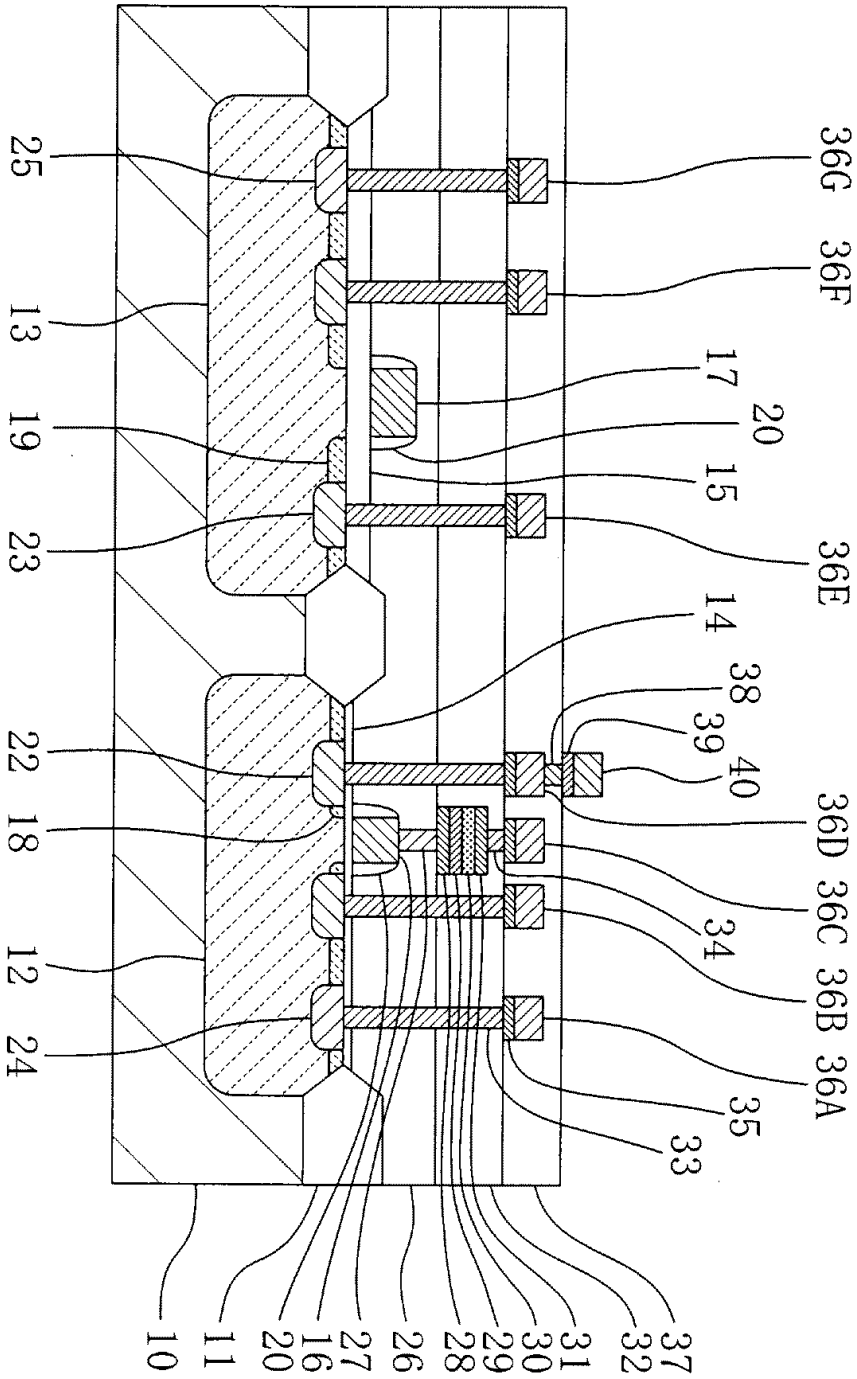
도면 8


(a)
13
19
23
22
18
12
17
20
15
21
14
16
20
10
11
(b)
25
13
19
23
22
18
12
24
17
20
15
14
16
20
10
11
26

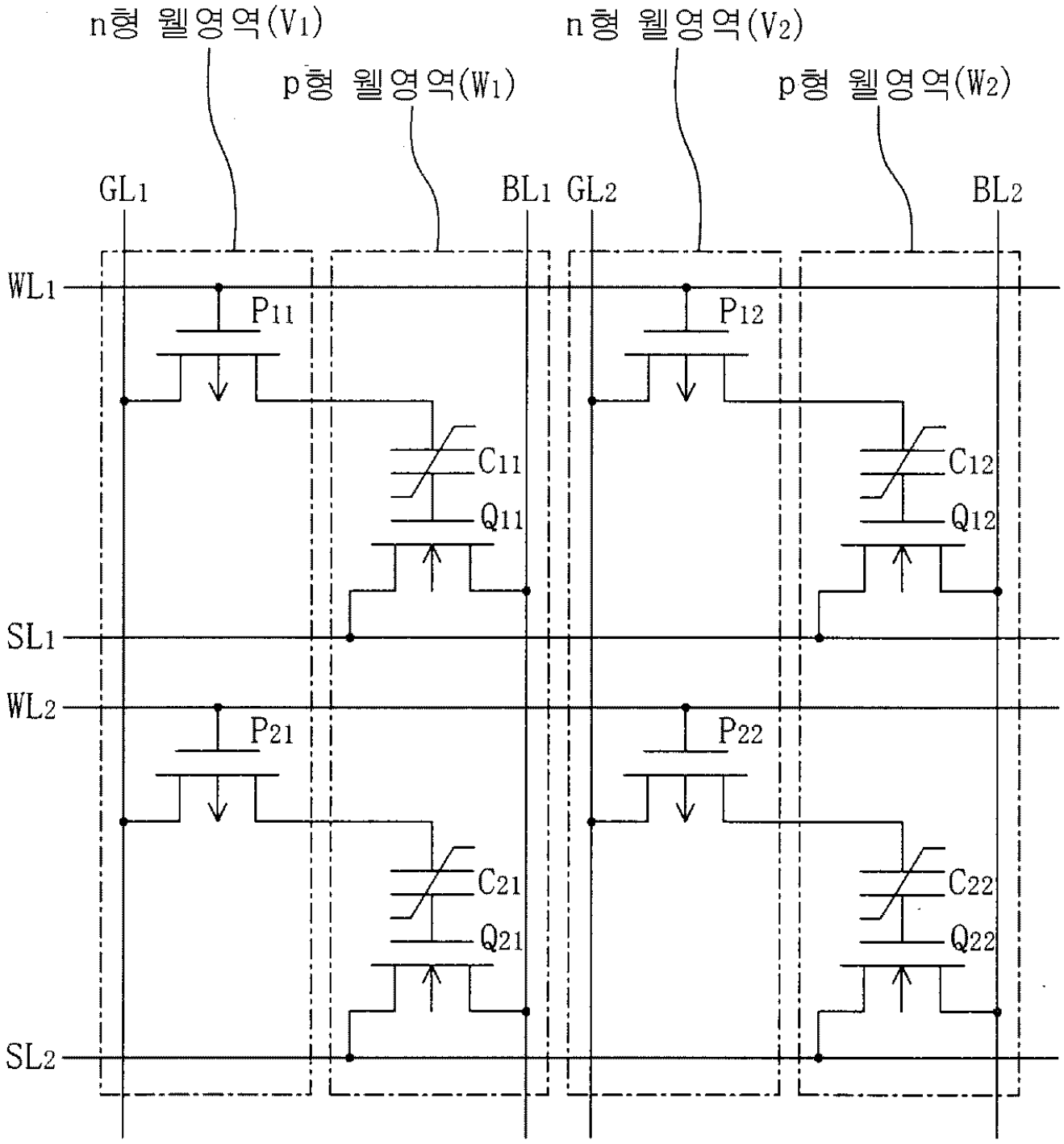
도면 9



도면 10


25
13
19
23
22
18
12
24
36G
36F
17
20
15
36E
14
38
39
40
36D
36C
34
36B
36A
35
33
10
11
20
16
27
26
28
29
30
31
32
37

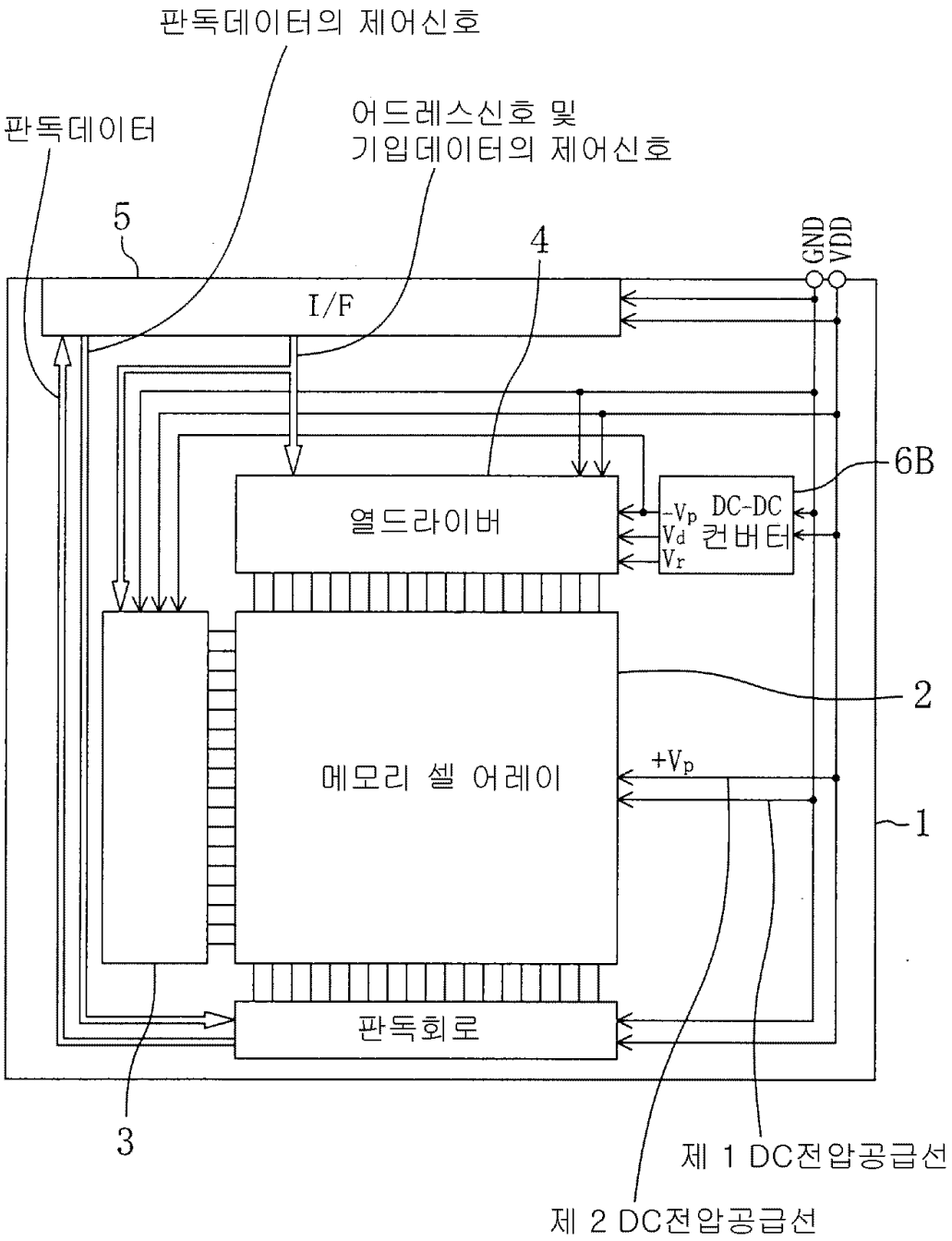
도면 11


n형 웰영역(V1)
p형 웰영역(W1)
n형 웰영역(V2)
p형 웰영역(W2)
GL1
BL1
GL2
BL2
WL1
WL2
SL1
SL2
P11
P12
P21
P22
C11
C12
C21
C22
Q11
Q12
Q21
Q22

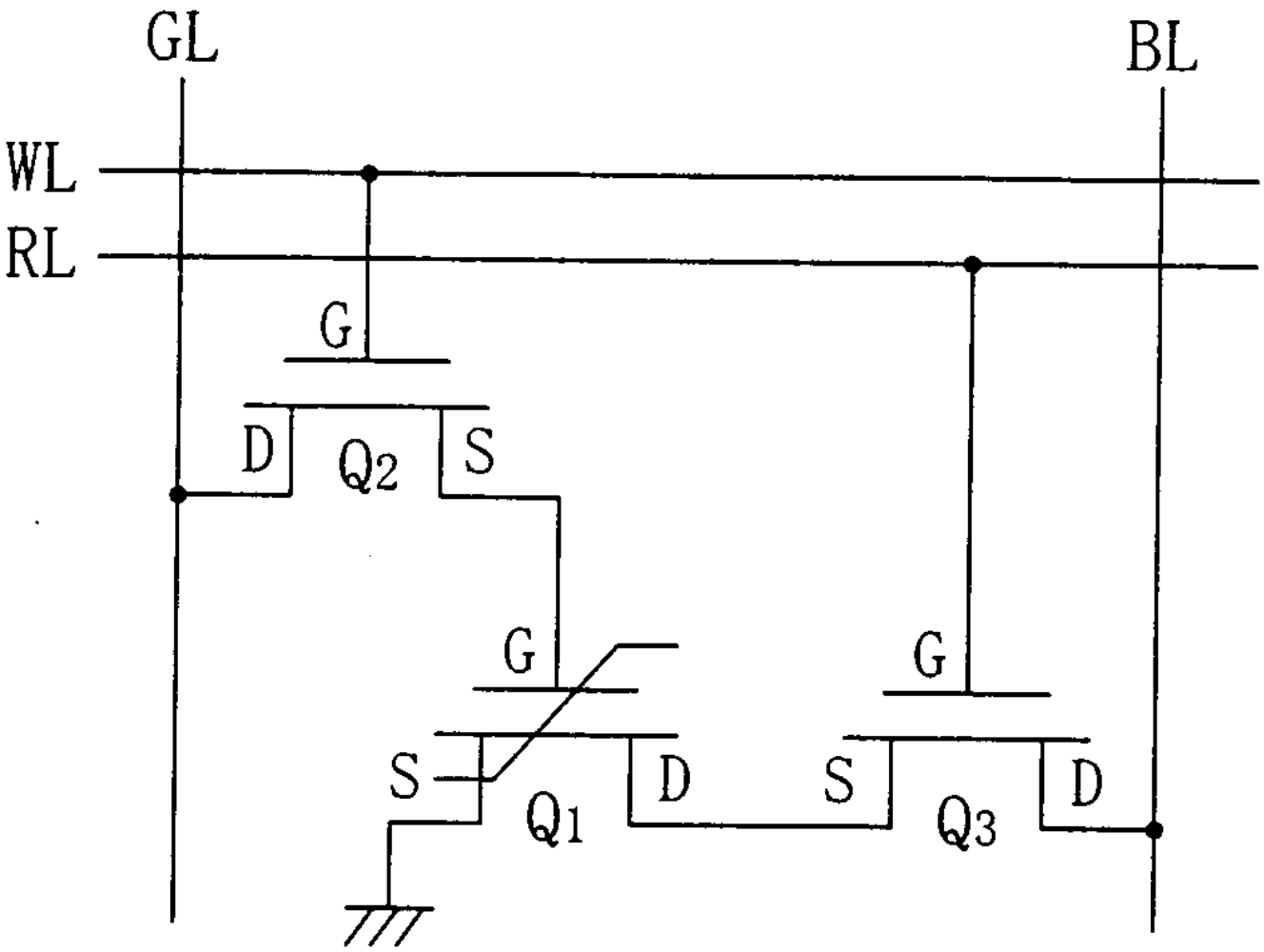
도면 12

	동작		신호
	기입	판독	
WL_1	$-V_p$	$-V_p$	AC
SL_1	0	0	AC
GL_1	$\pm V_p$	V_r	AC
BL_1	0	V_d	AC
V_1	V_p	V_p	DC
W_1	0	0	DC
WL_2	0	0	AC
SL_2	0	0	AC
GL_2	0	0	AC
BL_2	0	0	AC
V_2	V_p	V_p	DC
W_2	0	0	DC

도면 13


판독데이터의 제어신호
판독데이터
어드레스신호 및
기입데이터의 제어신호
5
4
GND
VDD
I/F
6B
열드라이버
-Vp DC-DC
Vd 컨버터
Vr
2
메모리 셀 어레이
+Vp
1
판독회로
3
제 1 DC전압공급선
제 2 DC전압공급선

도면 14



도면 15

	동작			신호
	소거	기입	판독	
WL	V_G	V_G	0	AC
RL	0	0	V_G	AC
GL	0	V_p	0	AC
BL	0	0	V_d	AC
기판	$-V_{GE}$	0	0	DC