

圖 2

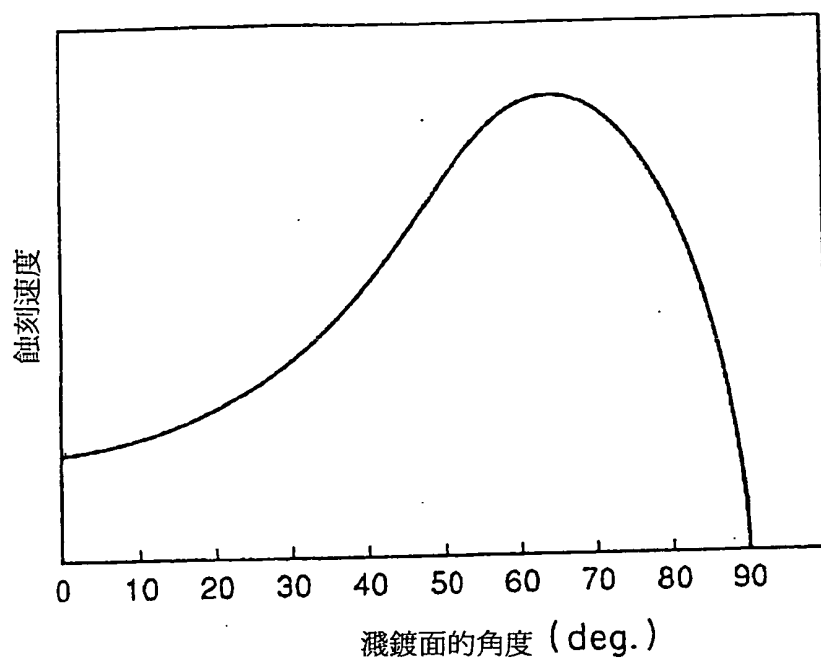


圖 3

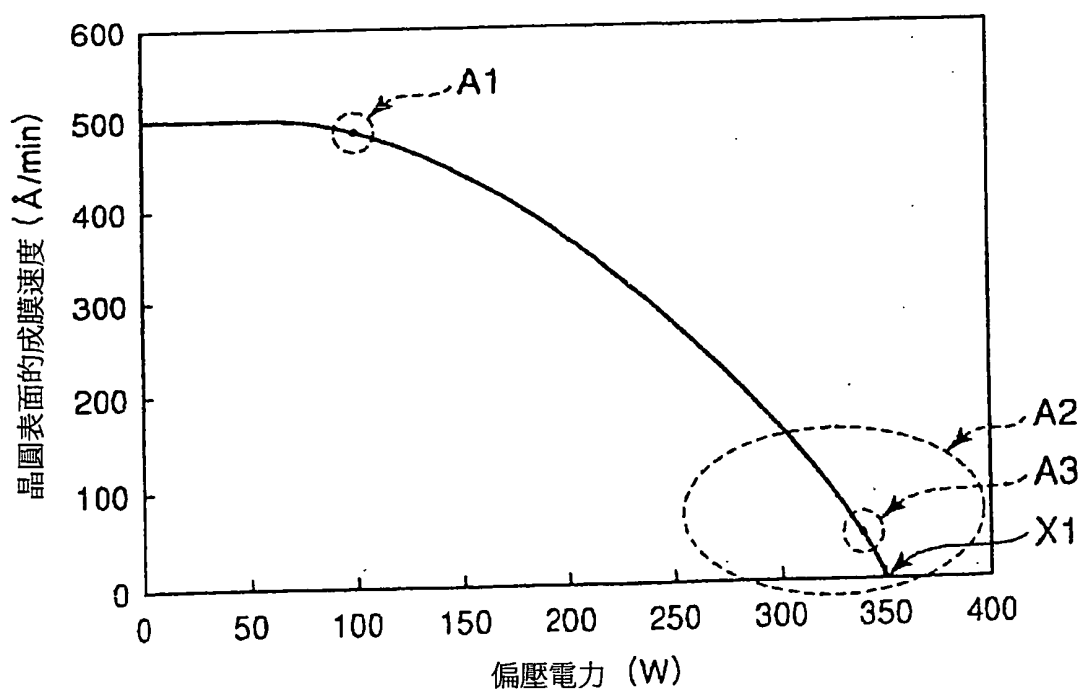


圖4

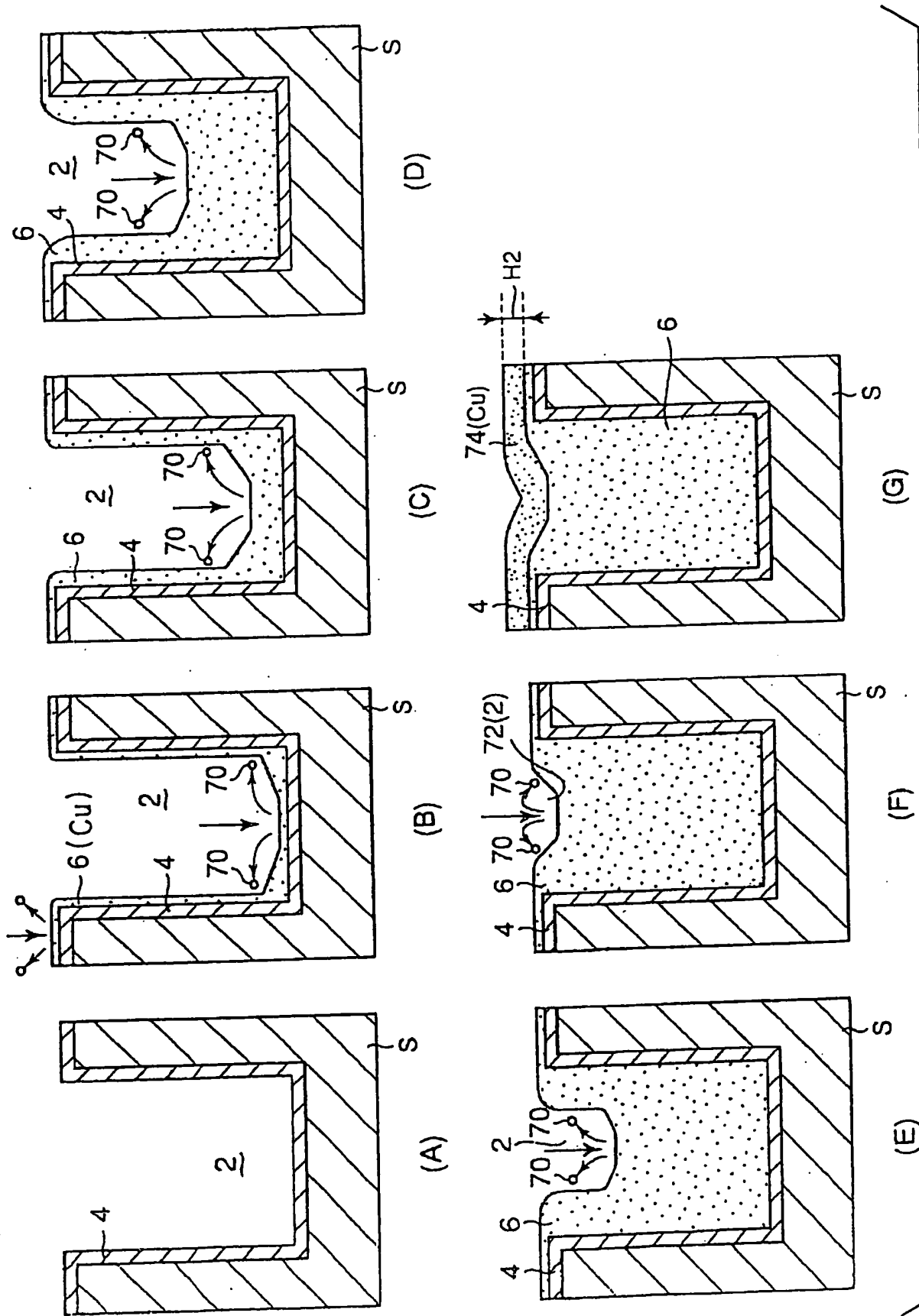


圖5

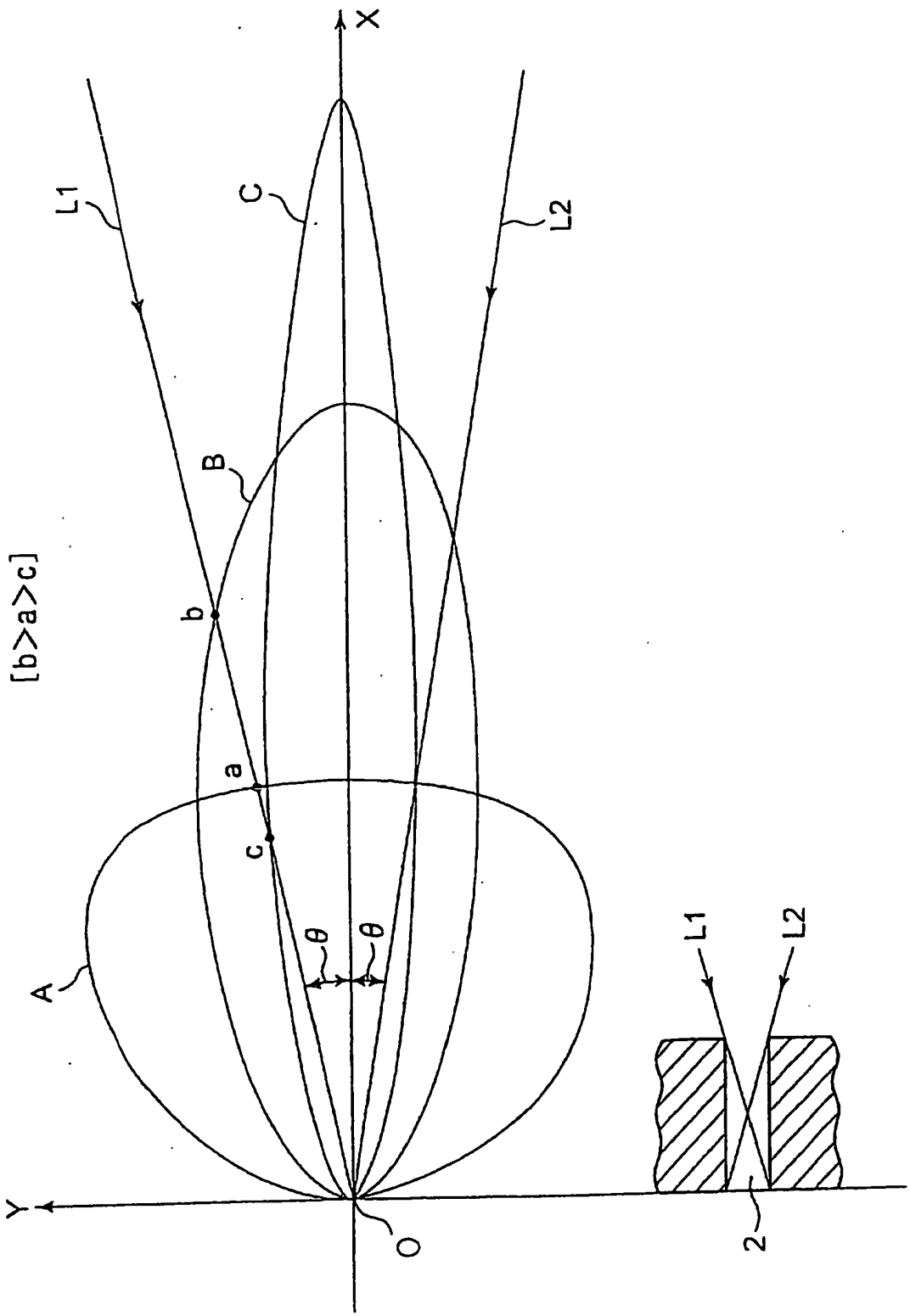
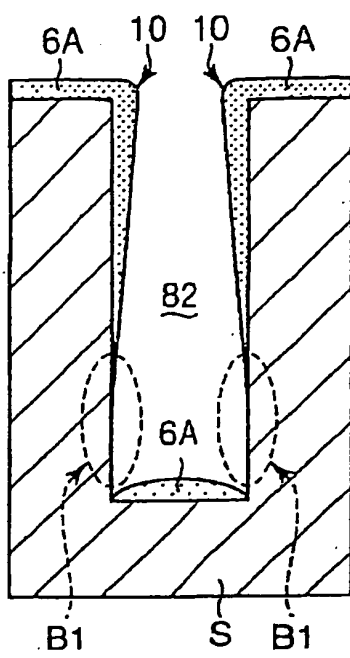
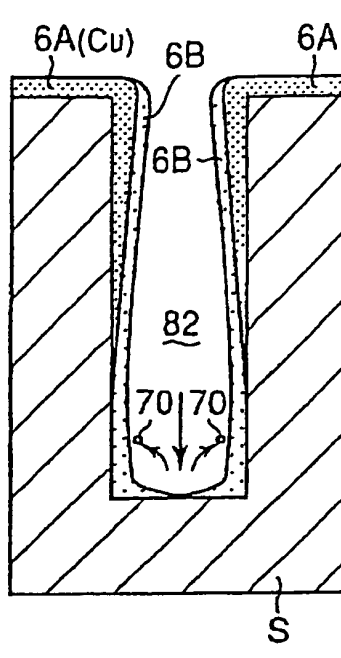


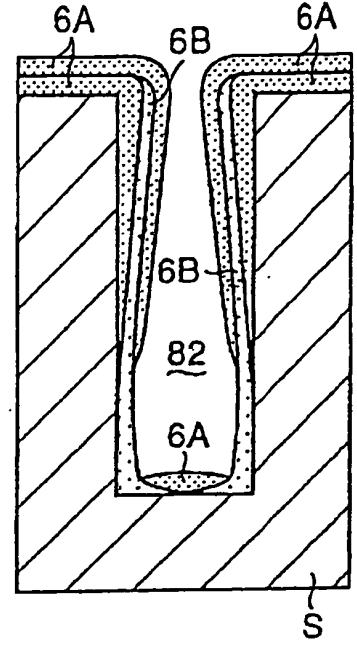
圖6



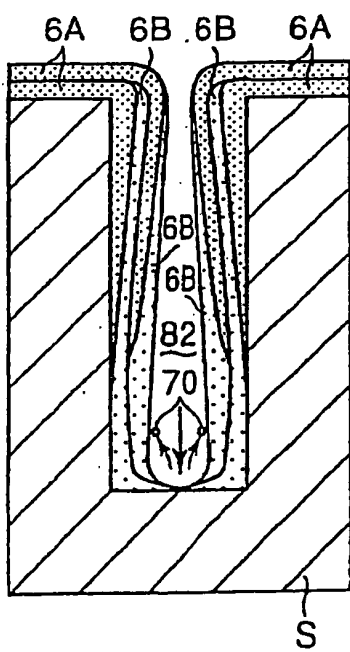
(A)



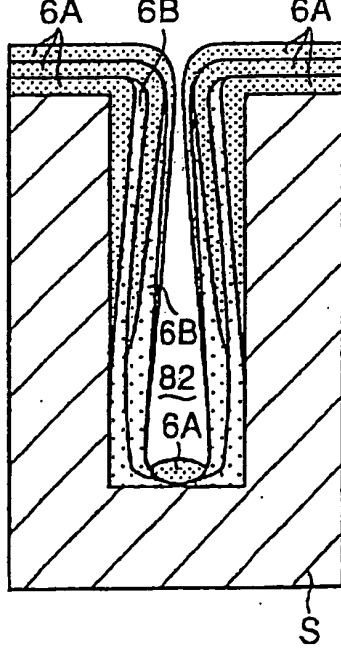
(B)



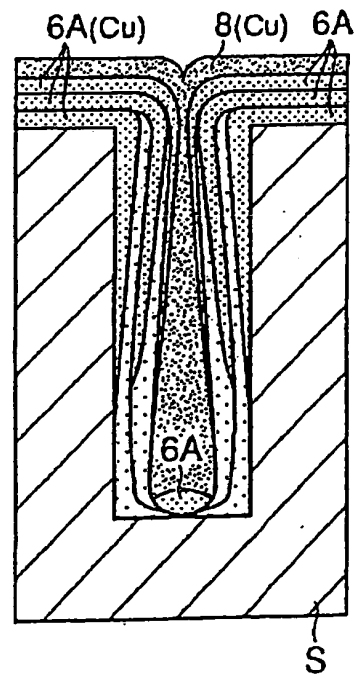
(C)



(D)



(E)



(F)

圖7

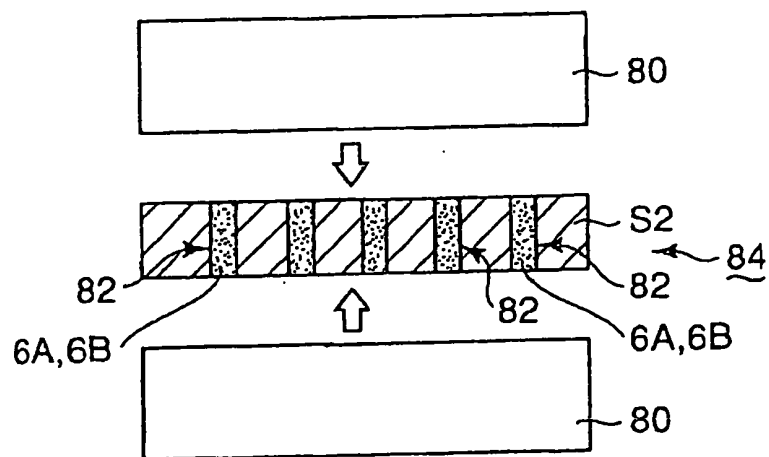
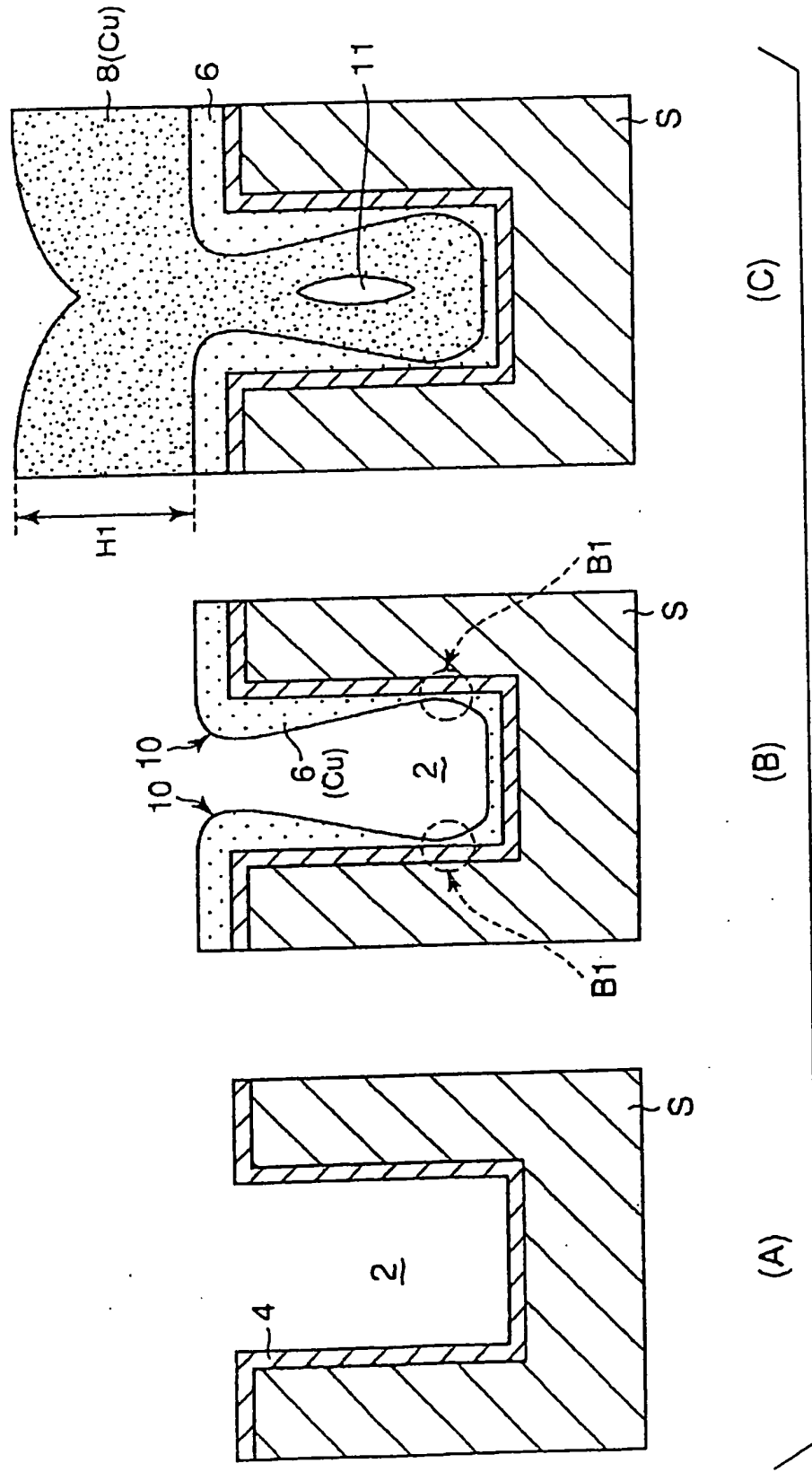


圖8

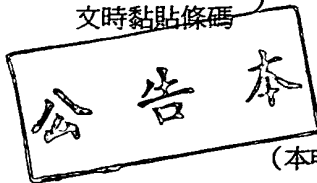


I378153

第 94136551 號專利申請案

(此處由本局於收
文時黏貼條碼)

中文說明書修正本(含申請專利範圍)民國 97 年 8 月 27 日修正 759287



發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94136551

※申請日期：94 年 10 月 19 日

※IPC 分類：C23C 16/13

一、發明名稱：

(中) 電漿濺鍍之成膜方法及成膜裝置
(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 東京威力科創股份有限公司
(英) TOKYO ELECTRON LIMITED
代表人：(中) 1. 佐藤潔
(英) 1. SATO, KIYOSHI
地 址：(中) 日本國東京都港區赤坂五丁目三番六號
(英) 3-6, Akasaka 5-chome, Minato-ku, Tokyo 107-8481 Japan
國籍：(中英) 日本 JAPAN

三、發明人：(共 4 人)

1. 姓 名：(中) 鈴木健二
(英) SUZUKI, KENJI
國 籍：(中) 日本
(英) JAPAN

2. 姓 名：(中) 池田太郎
(英) IKEDA, TARO
國 籍：(中) 日本
(英) JAPAN

3. 姓 名：(中) 波多野達夫
(英) HATANO, TATSUO
國 籍：(中) 日本
(英) JAPAN

4. 姓 名：(中) 水澤寧
(英) MIZUSAWA, YASUSHI
國 籍：(中) 日本

(英) JAPAN

四、聲明事項：◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2004/10/19 ; 2004-304922 ☒ 有主張優先權

(英) JAPAN

四、聲明事項：◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2004/10/19 ; 2004-304922 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係有關利用電漿濺渡在開口於半導體晶圓等的被處理體表面的凹部中埋置金屬的技術之改良。

【先前技術】

通常，在製造半導體裝置時，係在半導體晶圓重複成膜處理或圖案蝕刻（Pattern etching）處理等之各種處理來製造企望之裝置（Device）。由於半導體裝置要求更高高度積體化與高度微細化，線寬與孔徑正逐漸微細化。因為微細化各種尺寸會發生減小配線材料與埋置材料的電阻之必要，因此有使用電阻非常小而廉價的銅做為配線材料與埋置材料的趨勢（特開2000-77365號公報照）。要使用銅做為配線材料與埋置材料時，考慮到其密接性等通常使用金屬鉭膜或氮化鉭膜等做為其下面的阻障層（barrier layer）。

要在槽與孔等的凹部埋入銅時，首先，須在電漿濺鍍裝置內，包含整個凹部裡內的全部晶圓表面形成由銅膜所構成之薄的種子膜（Seed film）。然後，在整個晶圓表施加鍍銅處理，並在整體凹部內埋置銅。然後，在晶圓表面的多餘銅薄膜，被CMP（化學機械研磨，chemical mechanical polishing）處理等的研磨處理去除。

茲參照圖8說明上述的先前埋置方法。在半導體晶圓S上形成有許多凹部2，該等凹部2係開口於晶圓表面，亦即

(2)

晶圓上面。凹部2為貫穿孔(Via hole)，通孔或槽（槽溝或雙鑲嵌（Dual damascene）構造）等。由設計規則（rule）的細微化，凹部2的深寬比（Aspect ratio）非常大（例如3至4左右），另外凹部2的寬或內徑小到例如120nm左右。

晶圓表面與凹部2內面的全部領域，被電漿濺鍍裝置事先大致均勻地形成有氮化鉭（TaN）膜與鉭膜的積層構造所構成的阻障層4（圖8A參照）。形成種子膜6時，為有效進行銅離子的引入，在半導體晶圓側施加高頻電壓的偏壓電力。然後，藉由3元系鍍銅處理在晶圓表面形成由銅膜構成的金屬膜8，將銅埋入凹部2內。然後，研削去除晶圓表面的多餘金屬膜8，種子膜6以及阻障層4。

利用電漿濺鍍裝置進行成膜時，如上所述，可以藉由在半導體晶圓側施加偏壓電力以促進金屬離子的引入並增加成膜速度。若過度增強偏壓電力，則由於為產生電漿而導入處理容器內的惰性氣體，例如氬氣的離子，晶圓表面被濺鍍而堆積的金屬膜會被削除，因此，偏壓電力不可以太大。

如圖8（B）所示，要形成由銅膜所構成的種子膜（Seed film）6時，凹部2的側壁下部的區域B1部分非常不容易附著種子膜。因此，如果在區域B1長時間持續進行成膜處理直到形成十足厚度的種子膜6時，在凹部2的上端開口部的種子膜6會產生突懸（Overhang）部分10而使開口面積變狹窄。即使在此狀態下進行鍍膜處理，有時凹部2

(3)

不能完全埋入而發生空隙 (void) 11。

爲防止空隙 11 之發生，非進行需要多種添加劑等操作非常煩雜的所謂三元系又稱三進制系統鍍膜處理不可。另外，若進行三元系鍍膜處理時，晶圓上面的金屬膜 8 的厚度 H1 會變得很大。因此，後續的研削處理費時。

【發明內容】

本發明著眼於上述的問題點，並爲有效解決該問題而創。本發明之目的在提供一種技術，使不致發生空隙等之缺點而以金屬埋入開口於被埋體表面的凹部。

本發明的另一目的在減輕埋入後應實施之鍍膜處理之負擔。

本發明的又一目的在減輕埋入及 / 或鍍膜處理後應實施之表面研磨處理之負擔。

利用本發明的第 1 形態，在成膜方法中具有：

將具有表面，與開口於該表面的凹部的被處理體載置於配置在真空處理容器內的載置台之工程；

在上述真空處理器內產生電漿，並利用上述電漿濺鍍配置於上述真空處理容器內的金屬靶以產生金屬離子的工程；以及

對上述載置台施加偏壓電力俾將上述金屬離子引入上述凹部內而堆積於上述凹部，藉此將金屬埋入上述凹部的工程；

上述偏壓電力之大小爲在上述被處理體的上述表面，

(4)

使由上述金屬離子的引入所產生的金屬堆積的堆積率與由上述電漿所產生濺鍍蝕刻的蝕刻率大致上呈均衡者。

將金屬埋入上述凹部後，即可進行鍍膜處理。另外，上述鍍膜處理後，可以進行研磨表面以平坦化之研磨處理。

上述凹部的寬或徑可以設成小於/等於100nm，深寬比可以設成大於/等於3。

上述金屬可以為銅，鋁，鎢之中的任一種。

本發明另具備：

將具有表面，與開口於該表面的凹部的被處理體載體於配置在真空處理器內的載置台的工程；

第1成膜工程，包含：在上述真空處理器內產生電漿，並利用上述電漿濺鍍配置於上述真空處理容器內的金屬靶以產生金屬離子的工程；以及對上述載置台施加偏壓電力俾使上述金屬離子引入上述凹部內而堆積於上述凹部，藉此將金屬埋入上述凹部的工程；以及

第2成膜工程，在上述真空處理容器內產生電漿，並利用上述電漿濺鍍配置於上述真空處理容器內的金屬靶以產生金屬離子的工程；以及對上述載置台施加偏壓電力俾將上述金屬離子引入上述凹部內而堆積於上述凹部，藉此將金屬埋入上述凹部的工程；

上述第1成膜工程與第2成膜工程被交互重複多次；

上述第1成膜工程中的上述偏壓電力之大小為，在上述被處理體之表面，使由上述金屬離子的引入所產生的金

(5)

屬堆積的堆積率遠高於由上述電漿所產生的濺鍍蝕刻的蝕刻率；

上述第2成膜工程中的上述偏壓電力之大小為，在上述被處理體之表面，使由上述金屬離子的引入所產生的金屬堆積的堆積率與由上述電漿所產生的濺鍍蝕刻的蝕刻率大致上呈均衡者。

重複的成膜工程最好在上述第1成膜工程中結束。

也可以在重複進行數次上述第1及第2成膜工程後，進行鍍膜處理。另外，也可以在上述鍍膜處理後，進行研磨表面使其平坦的研磨處理。

在一實施形態中，上述被處理體是用於結合多個IC晶片的中介層（Interposer）的基板。

也可以利用埋入上述被處理體的凹部之金屬膜形成感應線圈。

上述金屬是銅、鋁、鈹之中任一種所構成。

依據本發明的第2形態，其具備：

可抽成真空的處理容器；

用於載置具有表面與開口於該面之凹部的被處理體的載置台；

向上述處理容器內導入特定氣體之氣體導入手段；

使上述處理容器內產生電漿之電漿產生裝置；

設置於上述處理容器內藉由上述電漿應必離子化之金屬靶；

用於對上述載置台供應特定的偏壓電力之偏壓電源；

(6)

以及

用於控制上述偏壓電源之偏壓電源控制部；其特徵為：

上述偏壓電源控制部將上述偏壓電源所輸出之偏壓電力之大小控制成爲，在上述被處理體之上表面，使由上述金屬離子的引入所產生之金屬堆積的堆積率與由上述電漿所產生的濺鍍蝕刻的蝕刻率大致上呈均衡。

本發明爲電漿成膜裝置；其特徵爲另具備：

可抽成真空的處理容器；

用於載置具有表面與開口於該表面之凹部的被處理體的載置台；

向上述處理容器內導入特定氣體之氣體導入手段；

使上述處理容器內產生電漿之電漿產生裝置；

設置於上述處理容器內藉由上述電漿應被離子化之金屬靶；

用於對上述載置台供應特定的偏壓電力之偏壓電源；

用於控制上述偏壓電源之偏壓電源控制部；以及

裝置控制部，用於控制整體裝置以執行以下工程：將導入上述處理容器內之氣體電漿化，並利用該電漿離子化上述金屬靶以形成金屬離子之工程；以及施加偏壓電壓俾使由上述金屬離子之引入所產生之金屬堆積的堆積率與由上述電漿所產生之濺鍍蝕刻的蝕刻率略呈均衡之狀態下在上述凹部堆積金屬膜以埋入之工程。

利用本發明藉由調整施加於載置台的偏壓電力並調整

(7)

由金屬離子之引入而產生的金屬膜的堆積率與由電漿所產生之濺鍍蝕刻的蝕刻率之關係，可以更有埋置被處理體的凹部。

【實施方式】

以下要根據附圖詳細說明本發明有關的成膜方法與成膜裝置的實施形態。

圖1為表示本發明的電漿成膜裝置之一例的剖面圖。在此以ICP（感應耦合電漿（Inductively coupled Plasma））型電漿濺鍍裝置做為電漿成膜裝置之例說明。如圖所示，成膜裝置12具有以例如鋁等形成圓筒狀的處理容器14。處理容器14被接地。處理容器14的底部16設有排氣口18。排氣口18透過節流閥（Throttle valve）66與真空泵68連接。

在處理容器14內設有由例如鋁等所構成的圓板狀的載置台20。載置台20上面設有用於吸附被處理體之半導體晶圓S以保持之靜電夾頭22。靜電夾頭22為吸附晶圓S而施加有直流電壓。載置台20係藉由其中央部向下方延伸的支柱24所支撐。支柱24貫穿處理容器14底部16而連接到未圖示之升降機構。因此，藉由操作升降機構，可以升降載置台20。

可伸縮的金屬伸縮囊26圍繞著支柱24。金屬伸縮囊26上端氣密地接合於載置台20下面，金屬伸縮囊26下端氣密地接合於底部16上面。金屬伸縮囊26一邊保持處理容器14

(8)

內的氣密性，一邊容許載置台20的升降移動。載置台20形成有用於流通冷卻晶圓S的冷媒之冷媒循環路28。冷媒係經由支柱24內未圖示的流路供應到冷媒循環路28，而由冷媒循環路28排出。由容器底部16向上豎立著多支，例如3支（圖1中僅各標示2支）的支撐銷30。與各支撐銷30相對應，在載置台20形成銷插通孔32。

若降下載置台20，則支撐銷30上端部即貫通銷插通孔32而由載置台20突懸，而在狀態下，侵入處理容器14內的未圖示之搬送臂與支撐銷30之間會進行晶圓S的交接。在處理容器14側壁的下部設有開放時容許上述搬送臂之侵入的閘閥（gate valve）34。為對載置台20施加特定之偏壓電力，在靜電夾頭22藉由配線36連接有由可產生例如13.56MHz高頻的高頻電源所構成的偏壓電源38。偏壓電源38所輸出之偏壓電力係由例如微電腦所構成的偏壓電源控制部40所控制。

處理容器14的頂蓬開口部透過O形環等之密封構件44氣密地裝設有例如由氮化鋁等電介質所形成的高頻穿透性的穿透板42。穿透板42上面設有用於在處理容器14內的處理空間52中產生電漿氣體例如氬氣的電漿之電漿產生裝置46。電漿產生裝置46具備：設置於穿透板42上方的電感線圈部48，以及連接到該線圈48用於產生電漿之例如13.56MHz的高頻電源50。

穿透板42的正下方設有由例如鋁所形成的擋板（Baffle plate）54，用於透過穿透板42擴散被導入處理容器

(9)

14內之高頻。在擋板54下方設有向上方縮徑的環狀的金屬靶56宛如包圍處理空間52上部。金屬靶56的內周面呈現圓錐台的錐面形狀。金屬靶56連接有可變直流電源58。金屬靶56也可以使用例如金屬鉭或銅等金屬。金屬靶56係被氬離子所濺鍍，藉此，由金屬靶56射出金屬原子或金屬原子團，該等在通過電漿中時被離子化而成為金屬離子。

另外在該金屬靶56下方設有由例如鋁所構成的圓筒狀保護蓋60宛如包圍處理空間52。保護蓋60被接地，而且其下部彎曲到內側並延伸到載置台20的側部附近。在處理容器14底部設有氣體導入口62以將處理用氣體導入處理器14內部。由氣體導入口62藉由氣體流量控制器與閥等所構成的氣體控制部64供應電漿氣體，例如氬氣。

電漿成膜裝置12之各種功能要件，具體地說，如偏壓電源控制部40，高頻電源50，可變直流電源58，氣體控制部64，節流閥66以及真空泵等係被連接到例如由電腦所構成的裝置控制部100。裝置控制部100控制該等功能要件並使成膜裝置12執行以下的處理。

首先在藉使真空泵68之操作使抽成真空的處理容器14內，透過氣體控制部64流通氬氣，並控制節流閥66將處理容器14內部保持於特定的真空度。然後，透過可變直流電源58對金屬靶56施加DC電力，再透過高頻電源50對感應線圈部48施外高頻電力。

另外，裝置控制部100也對偏壓電源控制部40發出指令，以對載置台20施加特定的偏壓電力。此時，由於施加

(10)

於金屬靶56與感應線圈部48的電力，氬氣會被電漿化。電漿中的氬離子撞擊金屬靶56而金屬靶56被濺鍍。因此由金屬靶56釋出的金屬原子與金屬原子團在通過電漿中時，被離子化而成為金屬離子。金屬離子被吸引到施加過偏壓電力之載置台20而堆積於載置台20上的晶圓S。

此外，若對載置台20施加更大的偏壓時，則不但金屬離子而且電漿中的氬離子也被吸引到載置台20側而同時發生金屬的堆積與濺鍍蝕刻。

裝置控制部100藉由被構築成可以依照特定之處理程式控制各功能要件以進行金屬膜的形成，同時執行儲存於裝置控制部100中附屬的記憶媒體（例如硬碟驅動器，HDD）的控制程式，而控制成膜裝置12的各功能要件。此種程式也可以儲存於軟磁碟（FD），光碟（CD），或快閃記憶體等之記憶媒體，此時，裝置控制部100係藉由執行由此種記憶媒體所讀出的程式來控制成膜裝置12的各功能要件。

其次，要說明利用電漿成膜裝置12所進行的本發明的成膜方法。

[第1實施形態]

圖2為表示濺鍍蝕刻的角度依存性之圖表；圖3為表示在偏壓電力與晶圓表面上的成膜速度之圖表；圖4為表示第1實施形態的各工程之圖。本發明方法的第1實施形態的特徵係在利用電漿濺鍍進行成膜時，藉將偏壓電力控制於

(11)

適當的強度，即可實現因金屬離子的引入而產生的金屬膜的堆積速度，以及由來自電漿氣體的離子（例如氬離子）產生的濺鍍蝕刻的蝕刻速度大致上呈均衡的狀態。因此，對凹部埋入金屬主要是藉由在凹部側壁堆積金屬膜來實現。

具體地說，偏壓電力係在與環狀之金屬靶 56 之虛擬中心軸線正交且位於與凹的入口開口相同高度的平面之「晶圓表面（被處理體表面）」，被設定成金屬膜的堆積速度與濺鍍蝕刻速度略呈均衡。另外，請注意在本說明書中，「晶圓表面」一詞係當成意指晶圓的成膜對象面中，除了凹部內面（凹部側面與底面）的部分。

針對這一點，要更詳細說明。首先，不考慮金屬膜的堆積，僅檢討濺鍍蝕刻的蝕刻速度。濺鍍面（被濺鍍之面）的角度與蝕刻速度的關係如圖 2 的圖表所示。在此，所謂濺鍍面的角度係指濺鍍面的法線為了削除該濺鍍面而與射入該面之離子（具體地說是氬氣）的入射方向所形成的角度。例如，在晶圓表面與凹部底面的濺鍍面的角度為 0 度，而在凹部側面的濺鍍面的角度為 90 度。

由該表格可知，在晶圓表面（濺鍍面的角度 = 0 度）已進行某種程度的濺鍍蝕刻，而在凹部側面（濺鍍面的角度 = 90 度）則幾乎未進行濺鍍蝕刻，另外，在凹部的開口端緣（濺鍍面的角度 = 40 至 80 度），則被濺鍍得相當嚴重。

圖 3 表示對圖 3 所示之 ICP 型濺鍍裝置所構成的電漿成膜裝置上，載置有晶圓 S 的載置台 20 所施加的偏壓電力，

(12)

以及對晶圓表面（濺鍍面的角度=0度）的金屬之成膜速度（亦即，膜成長速度以至於膜厚增加速度）之關係。在電漿產生用高頻電力一定，而偏壓電力不怎麼大時，由於金屬離子的引入所導致的堆積之控制而獲致高的成膜速度，但是一旦偏壓電力變大時，則由來自被偏壓電力加速之電漿氣體之離子的濺鍍效果增大，結果，一度堆積的金屬膜即被濺鍍蝕刻所去除。該蝕刻效果在偏壓電力越大時越大。

因此，在金屬膜的堆積速度（意指假定未發生蝕刻時的堆積速度）與蝕刻速度相同時，堆積與蝕刻相抵而在晶圓表面的成膜速度，亦即膜厚增加速度成為「零」。請參照圖3之圖表的點X1（偏壓電力：350W）。此外，圖3的表格僅表示偏壓電力與成膜速度之一個例子而已，當然在成膜裝置或成膜時間變化時，表格中的數值也會變動。

先前，在利用此種濺鍍裝置進行成膜時，通常不將偏壓電力設得太大（參照圖3的區域A1），即可獲得高的成膜速度。相對地，本發明方法是將偏壓電力設定成金屬堆積速度與濺鍍蝕刻速度大致上呈均衡狀態（相當於圖3的區域A2）。在此，所謂「大致上均衡」不但包含晶圓表面的成膜速度為「零」的情形，而且包含縱使比圖3的區域A1的成膜速度高也以3/10左右為止的低成膜速度來形成的情形。

了解了上述本發明方法的基本原理後，以下具體地說明本發明之方法。

(13)

首先，在載置台 20 降下到下方的狀態下，藉由處理容器 14 的閘極 34 將晶圓 S 搬進處理容器 14 內，使該晶圓 S 支撐於支撐銷 30 上。然後，將載置台 20 上升時，支撐銷 30 上的晶圓 S 即被支撐於載置台 20 上面。晶圓 S 藉由靜電夾頭 22 的靜電吸附力被吸附於載置台 20 上面。

另外，搬進處理容器 14 內的晶圓 S 形成有開口於晶圓表面的貫穿孔（Via hole），通孔及 / 或槽似的凹部 2（參照圖 8）。此外，在晶圓表面與凹部 2 內面利用與圖 1 所示的裝置相同的構造之另一電漿成膜裝置，以利用金屬鉬為靶的濺鍍工程，事先形成有由 TaN/TA 膜等的積層構造的阻障層 4（參照圖 4（A））。凹部 2 的寬（槽的情形）或徑（孔的情形）是非常小到數百 nm 以下，最大的深寬比達到 5 倍左右。

然後，開始成膜處理。在此係利用銅做為金屬靶 56。將處理容器 14 內抽成真空到特定壓力後，在電漿產生源 46 的感應線圈 48 施加高頻電壓，且利用偏壓電源 38 對載置台 20 的靜電夾頭 22 施加特定的偏壓電力。然後，由氣體導入口 62 對處理容器 14 內供應電漿氣體，例如氬氣。

在成膜工程中，將偏壓電力設定於圖 3 中的區域 A2 內。例如，為將晶圓表面的成膜速度大致上設成「零」，將偏壓電力設定於比圖 3 中的點 X1，或 X1 稍低的區域 A3 相對應的值，以進行金屬膜（銅膜）的成膜。偏壓電力的具體數值為 320 至 350 W。由氣體導入口 62 僅供應氬氣。如此一來，如圖 4（B）所示，晶圓表面幾乎沒有金屬膜的堆積，

(14)

而凹部 2 的側面與底面大致上均勻地堆積由銅膜所形成的金屬膜 6。

若在保持上述偏壓電力之狀態下繼續進行成膜處理，則如圖 4 (C) 至圖 4 (F) 所示，除了在晶圓表面實質上不生長金屬膜，或保持以非常低的成膜速度生長金屬膜 6 之狀態之外，在凹部 2 側面，金屬膜 6 保持其膜厚之均勻性慢慢生長，同時，金屬膜 6 也由凹部 2 底部慢慢生長，因此，不至於發生空隙，凹部 2 漸漸被金屬埋入。

其理由可以說明如下。亦即，由於將偏壓電力設定如上述，在與金屬離子的引入方向正交的晶圓表面，金屬堆積速度與濺鍍蝕刻速度大致上為均衡狀態，結果，金屬膜的成膜速度大致上成為「零」，或非常小。另外，若凹部 2 的寬或徑非常小到數百 nm 以下時，在凹部 2 底部因濺鍍而飛散的飛散金屬 70 會附著於凹部 2 的底部側面。因此，在先前方法中不容易附著金屬膜的凹部 2 底部側面可以附著金屬膜 6 而將凹部 2 側面的膜厚均勻化於深度的方向。

另外，附著於凹部 2 內的底部側面的金屬膜 6 會朝向凹部 2 的中央部伸出，因此，底部也逐漸堆金屬膜 6，因此由底部側也逐漸埋入凹部 2 內。此外，在凹部 2 的開口部不會發生突懸部分 8 (參照圖 8) 之理由也是因為堆積與蝕刻互相抵消所致。

如上所述使金屬堆積速度與濺鍍蝕刻速度大致上均衡的成膜處理中，重要的一點是從金屬靶濺鍍的金屬在通過電漿中時幾乎全部 (大於 / 等於 95%) ，較佳為大於 / 等於

(15)

99%) 被離子化成金屬離子，而在到達晶圓 S 的時點，實質上變成不含有中性金屬原子。為達到此目標，只要將施加於電漿產生裝置 46 的感應線圈部 48 的高頻電力調高即可 (5000 至 6000W)。

如果成膜種含有中性金屬原子，則即使可以將晶圓表面上的成膜速度設定為零，在凹部 2 底部的蝕刻速度變成高於金屬堆積速度，結果襯底膜之阻障層 4 受到損傷，所以並不理想。此時蝕刻之所以成為優勢是因為中性金屬原子雖然可以到達晶圓表面而有助於堆積，但是中性金屬原子因為垂直性低而無法到達凹部 2 底部，在凹部 2 底部，可產生濺鍍的離子（氫離子）量多於金屬原子的量所致。此外，在此，為了簡化說明，假定由一個電漿電子飛出一個被成膜的金屬原子（或金屬離子）（被蝕刻）。

另外，在本發明的成膜方法中，由於使金屬膜堆積於凹部 2 側面，金屬離子對晶圓的垂直性以稍低為理想。因此，將處理容器 14 內的壓力保持比先前的成膜方法高而成低真空狀態（1 至 100mTorr，較佳為 3 至 10mTorr），以縮短金屬離子的平均自由行程。藉此，可以增加金屬離子撞擊電漿離子的次數，並降低對晶圓的垂直性。

針對此點，要參照圖 5 加以說明。圖 5 為表示金屬離子對偏壓電力與處理電壓的垂直性的表格。在圖 5 中，以 A、B 與 C 所表示的各橢圓表示在晶圓表面每一單位面積中所堆積的金屬離子的量與該入射角的關係。亦即，由頂點 O 對各橢圓劃直線時，由原點 O 到其交點之長度為金屬離

(16)

子量，與X軸形成的角度為入射角。

但是，請注意在此是設金屬離子對晶圓表面射入時之入射角為0度。在此是以例如橢圓A是，以與圖3的區域A1相對應的偏壓條件成膜之情形相對應；橢圓B是，以處理壓力為低真空且與區域X1相對應的偏壓條件成膜之情形相對應；橢圓C是，以處理壓力為高真空（小於/等於0.5mTorr）且與區域X1相對應的偏壓條件成膜之情形相對應。此外，直線L1，L2如圖5下部所附記，為表示以可到達凹部2底部的金屬離子的入射角的最大值之臨界角 θ 射入晶圓的金屬離子。

在圖5中，以比臨界角 θ 為小的角度入射晶圓S的金屬離子也堆積於凹部的側面與底面。雖然以比臨界角 θ 大的角度射入晶圓S的金屬離子僅堆積於凹部的側面，但是入射角越大，會由凹部側面上側越優先堆積。因此，為了在凹部側面整體很有效成膜，與其利用具有橢圓（所示的垂直性的金屬離子成膜，不如利用具有橢圓A所示的垂直性的金屬離子成膜為宜，而以利用具有橢圓B所示的垂直性的金屬離子成膜更為理想。其原因是，以臨界角 θ 附近的入射角射入晶圓S的金屬離子越多越好。

偏壓電力不宜設定過大，以免由TaN/TA膜所形成的阻障層4因為電漿中的離子的濺鍍而受到傷害。

裝填有銅的金屬靶的電漿成膜裝置12宜經由可以抽成真空的轉送室（Transfer chamber）連結到裝設有鉭金屬靶的另一電漿成膜裝置（阻障層成膜用裝置）。如此一來

(17)

，在阻障層4的成膜後，不致將半導體晶圓S曝露於大氣中，即可搬入電漿成膜裝置12。

再參照圖4，銅的堆積繼續進行時，如圖4(F)所示，埋置於凹部2的銅（金屬膜6）上面之中央部僅留凹陷72之狀態下，由銅埋填凹部2內的大致全域。

其次，由電漿成膜裝置12取出晶圓S。然後，在成膜處理後的晶圓S施以鍍膜處理，並如圖4(G)所示，在晶圓S上面整體形成與金屬膜6相同金屬構成的金屬膜74（此時為銅膜），俾完全埋沒凹陷72。凹陷72遠比圖8的先前例中做為鍍膜處理的埋填對象的凹部2為淺，所以不必進行如3元系鍍膜那種特別的鍍膜處理，可以利用簡單的鍍膜處理，例如使用添加劑之種類少的2元系鍍膜處理進行埋填。

另外，如圖4(G)所示，由於利用鍍膜處理所形成之金屬膜74之厚度H2遠比圖8(C)所示金屬膜8的厚度H1為薄，因此，可以簡單而短時間進行去除多餘的薄膜之研磨處理。

[第2實施形態]

上述第1實施形態對凹部2的寬（槽的情形）或徑（孔的情形）的尺寸為數百nm以下很細微的情形有效。但是，當凹部的寬或徑遠比它大時，例如，20至100 μ m左右時，可以藉由組合利用上述第1實施形態的成膜條件的成膜與利用其他成膜條件的成膜法，有效地在凹部內埋置金屬

(18)

。以下，說明本發明方法的第2實施形態。圖6係用於說明本發明方法的第2實施形態之各工程的部分擴大剖面圖，圖7為用於說明以本發明方法的第2實施形態所處理的被處理體之用途的說明圖。

如圖7所示，被處理體S2係由例如矽基板等的半導體晶圓，或聚醯亞胺樹脂等之高分子樹脂所形成。被處理體S2是例如在重疊接合IC晶片80彼此時介設於晶片間以謀求兩IC晶片80間的導通等的中介層84的基板。被處理體S2上形成有寬、徑俱大的多個凹部82，在該凹部82埋置銅等。該凹部82的深寬比為例如大於/等於5。結束圖6所示之一連串處理後，在凹部82的底部側，被處理體S2被切斷而呈圖7所示之狀態。此外，在圖6中，省略了阻障層的記載。

凹部82由於比第1實施形態之凹部2寬度與徑大得多，因此，以成膜速度小的第1實施形態的處理條件填埋凹部82需要長久時間而不實用。因此，在第2實施形態中，為形成金屬膜，例如銅膜於凹部82的側面的內面做為密封膜，而將上述第1實施形態所用之處理條件（偏壓電力），以及先前方法的處理條件（偏壓電力）組合起來。

如圖6（A）所示，首先，在此利用先前的電漿濺鍍的成膜方法相同的處理條件做為第1成膜工程，而形成金屬膜6A做為密封膜。此時，偏壓電力係設定於與圖3中的區域A1相對應的值。亦即，在被處理體表面將偏壓電力設定成金屬堆積速度遠大於濺鍍蝕刻速度。此時，如早先參照圖8（B）所說明，在凹部82底面會堆積金屬膜6A，

(19)

但是在凹部 82 側面下部之區域 B1 幾乎不附著金屬膜。

經特定時間進行第 1 成膜工程後，接著如圖 6 (B) 所示，進行第 2 成膜工程。在該第 2 成膜工程中，係使用與早先之第 1 實施形態相同的處理條件（偏壓電力）。亦即，在該第 2 成膜工程中，偏壓電力係被設定與圖 3 中的區域 A2 內，例如區域 A3 或點 X1 相對應的值，換言之，係在被處理體表面將偏壓電力設定成金屬堆積速度與濺鍍蝕刻速度大致成均衡狀態。

因此，如先前參照圖 4 所說明，在凹部 82 內面堆積由銅膜所形成的金屬膜 6B 做為密封膜。此時，以先前的第 1 成膜工程堆積於凹部 82 內底部的金屬膜 6A 被電漿的離子撞擊而飛散，而該飛散金屬 70 會附著於其側方的區域 B1 而堆積。因此，藉由進行此第 2 成膜工程，在凹部 82 內的側面整體堆積稀薄的金屬膜 6A，B。因為分別利用 1 次第 1 與第 2 成膜工程形成於凹部 82 內側面的金屬膜 6A，6B 是非常薄，因此為增加該膜厚，而交互重複數次上述之第 1 與第 2 成膜工程（圖 6 (C) 與圖 6 (D) ）。在圖示例中，係進行 3 次第 1 成膜工程與 2 次第 2 成膜工程，惟各成膜工程的次數並不侷限於此次數，而是可以考慮生產量（Throughput）來決定。

第 2 成膜工程係將凹部 82 底面上的金屬膜利用濺鍍撞擊使其分散，因此，在第 2 成膜工程之後，在凹部 82 底面上可能幾乎不呈現堆積金屬膜的狀態。因此，交互重複實施的成膜工程係如圖 6 (E) 所示，在第 1 工程就結束。

(20)

完成了電漿濺鍍的成膜處理後，接著如圖6(F)所示，進行鍍膜處理，在凹部82內埋置銅膜等金屬膜8。此外，在圖6(E)中凹部82的開口部看似狹窄，但是，實際上開口尺寸遠較形成於凹部82內面的金屬膜的厚度為大，所以要利用鍍膜埋填凹部82時，絕不發生空隙。

完成了埋置凹部82的被處理體S2的上面之無用金屬膜被利用研磨削除。然後，在包含凹部82底面的剖面，切斷被處理體S2。如此一來即可形成圖7所示之中介層(Interposer)84。另外，也可以在中介層84表面形成配線用槽，並利用上述成膜方法在槽中埋入金屬。

被處理體S2並不限定於中介層84用之基板上。例如，也可以在被處理體上面形成螺旋狀的槽(凹部)，並利用上述第1實施形態或第2實施形態之成膜方法，將金屬埋置於上述槽中以形成感應線圈。

另外，上述各實施形態中的各數值只不過是一個例子，當然不侷於各數值。此外，上述實施形態中的埋置材料是銅，但是也不限於銅，例如，也可以使用鋁、鎢、銻、鈦、鉭等其他金屬做為埋置材料。

此外，各高頻電源的頻率也不限定於13.56MHz者，也可以使用其他頻率，例如27.0MHz。再者，電漿用惰性氣體也不限定於氬氣，也可以使用其他惰性氣體，例如氮氣或氖氣等。又被處理體並不侷限於半導體晶圓，也可以為LCD基板、玻璃基板等。

(21)

【圖式簡單說明】

圖 1 為表示本發明的一實施形態之電漿成膜裝置的構造剖面圖。

圖 2 為表示濺鍍蝕刻的角度依存性的圖表。

圖 3 為表示偏壓電力與晶圓表面的成膜速度之關係圖。

圖 4 為用於說明本發明方法的第 1 實施形態的一連串工程的被處理體的部分擴大剖面圖。

圖 5 為表示分別與不同偏壓電力與處理壓力相對應的金屬離子的垂直性的圖表。

圖 6 為用於說明本發明方法的第 2 實施形態之一連串工程的被處理體的部分擴大剖面圖。

圖 7 為用於說明本發明方法的第 2 實施形態所製作之被處理體之用途的說明圖。

圖 8 為表示半導體晶圓的凹部的先前的埋置工程的圖。

【主要元件符號說明】

2：凹部

4：阻障層

6：金屬膜（密封膜）

8：金屬膜

12：電漿成膜裝置

14：處理容器

(22)

16 : 底 部

18 : 排 氣 口

20 : 載 置 台

22 : 靜 電 夾 頭

24 : 支 柱

26 : 金 屬 伸 縮 囊

28 : 冷 媒 循 環 路

30 : 支 撐 銷

32 : 銷 插 通 孔

34 : 閘 極

36 : 配 線

38 : 偏 壓 電 源

40 : 偏 壓 電 源 控 制 部

42 : 穿 透 板

44 : 密 封 構 件

46 : 電 漿 產 生 裝 置

48 : 感 應 線 圈 部

50 : 高 頻 電 源

52 : 處 理 空 間

54 : 擋 板

56 : 金 屬 靶

58 : 可 變 直 流 電 源

60 : 保 護 蓋

62 : 氣 體 噴 嘴 (氣 體 導 入 手 段)

(23)

64：氣體控制部

66：節流閥

68：真空泵

70：飛散金屬

72：凹陷

74：金屬膜

80：IC晶片

82：凹部

84：中介層

100：裝置控制部

6A：金屬膜

6B：金屬膜

S：半導體晶圓(被處理體)

S2：被處理體

五、中文發明摘要

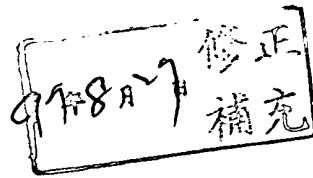
發明之名稱：電漿濺鍍之成膜方法及成膜裝置

本發明揭示一種利用電漿使金屬靶 56 離子化以產生金屬離子，並利用偏壓 (bias) 電力將金屬離子引入載置於處理容器內的載置台 20 上面的被處理體 S，俾使形成於凹部 2 的被處理體上堆積金屬膜 74 以埋入凹部的方
法。在被處理體表面設定偏壓電力俾能實現由金屬離子之引入 (lead in) 而導致的金屬堆積率與電漿濺鍍的蝕刻率略呈均衡的狀態。藉此，不致產生空隙 (Void) 等缺陷且可以在被處理體的凹部埋入金屬。

六、英文發明摘要

發明之名稱：

(1)



十、申請專利範圍

1. 一種成膜方法，其特徵為具備：

將具有表面，與開口於該表面的凹部的被處理體，載置於配置在真空處理容器內的載置台上之工程；

在上述真空處理容器內產生電漿，利用上述電漿濺鍍配置於上述真空處理容器內的金屬靶以產生金屬離子的工程；以及

對上述載置台施加偏壓電力俾將上述金屬離子引入上述凹部內而堆積於上述凹部，藉此將金屬埋入上述凹部的工程；

上述偏壓電力之大小為，在上述被處理體的上述表面，使由上述金屬離子的引入所產生的金屬堆積的堆積率與由上述電漿所產生濺鍍蝕刻的蝕刻率大致上呈均衡者。

2. 如申請專利範圍第 1 項之成膜方法，其中將金屬埋入上述凹部後，進行鍍膜處理。

3. 如申請專利範圍第 2 項之成膜方法，其中上述鍍膜處理後，進行研磨表面使其平坦的研磨處理。

4. 如申請專利範圍第 1 項之成膜方法，其中上述凹部的寬度或徑為小於/等於 100nm，而深寬比 (Aspect Ratio) 為大於/等於 3。

5. 如申請專利範圍第 1 項之成膜方法，其中上述金屬是由銅、鋁、鎢之中的任一種所構成。

6. 一種成膜方法，其特徵為具備：

將具有表面，與開口於該表面的凹部的被處理體，載

(2)

置於配置在真空處理容器內的載置台上之工程；

第 1 成膜工程，包含：在上述真空處理容器內產生電漿，利用上述電漿濺鍍配置於上述真空處理容器內的金屬靶以產生金屬離子的工程；以及對上述載置台施加偏壓電力俾將上述金屬離子引入上述凹部內而堆積於上述凹部，藉此將金屬埋入上述凹部的工程；以及

第 2 成膜工程，包含：在上述真空處理容器內產生電漿，利用上述電漿濺鍍配置於上述真空處理容器內的金屬靶以產生金屬離子的工程；以及對上述載置台施加偏壓電力俾將上述金屬離子引入上述凹部內而堆積於上述凹部，藉此將金屬埋入上述凹部的工程；

上述第 1 成膜工程與上述第 2 成膜工程被交互重複多次；

上述第 1 成膜工程中的上述偏壓電力之大小為，在上述被處理體之上述表面，使由上述金屬離子的引入所產生的金屬堆積的堆積率，遠高於由上述電漿所產生的濺鍍蝕刻的蝕刻率者；

上述第 2 成膜工程中的上述偏壓電力之大小為，在上述被處理體之上述表面，使由上述金屬離子的引入所產生的金屬堆積的堆積率與由上述電漿所產生的濺鍍蝕刻的蝕刻率大致上呈均衡者。

7. 如申請專利範圍第 6 項之成膜方法，其中被重複的成膜工程係在上述第 1 成膜工程結束。

8. 如申請專利範圍第 6 項之成膜方法，其中多次重

(3)

複上述第 1 與第 2 成膜工程後，進行鍍膜處理。

9. 如申請專利範圍第 8 項之成膜方法，其中在上述鍍膜處理後，進行研磨表面平坦化的研磨處理。

10. 如申請專利範圍第 6 項之成膜方法，其中上述被處理體，係用於結合 IC 晶片彼此的中介層（Interposer）用之基板。

11. 如申請專利範圍第 6 項之成膜方法，其中利用埋入上述被處理體凹部之金屬膜形成感應線圈。

12. 如申請專利範圍第 6 項之成膜方法，其中上述金屬是由銅、鋁、鎢之中任一種所構成。

13. 一種電漿處理裝置，係具備：

可抽成真空的處理容器；

用於載置具有表面與開口於該表面之凹部的被處理體的載置台；

向上述處理容器內導入特定氣體之氣體導入手段；

使上述處理容器內產生電漿之電漿產生裝置；

設置於上述處理容器內，藉由上述電漿應被離子化之金屬靶；

用於對上述載置台供應特定的偏壓電力之偏壓電源；
以及

用於控制上述偏壓電源之偏壓電源控制部；其特徵為：

上述偏壓電源控制部，係將上述偏壓電源所輸出之偏壓電力大小控制成爲，在上述被處理體之上述表面，使由

(4)

上述金屬離子的引入所產生之金屬堆積的堆積率與由上述電漿所產生的濺鍍蝕刻的蝕刻率大致上呈均衡者。

14. 一種電漿成膜裝置，其特徵為具備：

可抽成真空的處理容器；

用於載置具有表面與開口於該表面之凹部的被處理體的載置台；

向上述處理容器內導入特定氣體之氣體導入手段；

使上述處理容器內產生電漿之電漿產生裝置；

設置於上述處理容器內，藉由上述電漿應被離子化之金屬靶；

用於對上述載置台供應特定的偏壓電力之偏壓電源；

用於控制上述偏壓電源之偏壓電源控制部；以及

裝置控制部，用於控制整體裝置以執行以下工程：將導入上述處理容器內之氣體電漿化，利用該電漿離子化上述金屬靶以形成金屬離子之工程；以及施加偏壓電壓，俾使由上述金屬離子之引入所產生之金屬堆積的堆積率與由上述電漿所產生之濺鍍蝕刻的蝕刻率略呈均衡之狀態下，在上述凹部堆積金屬膜以埋入之工程。

七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

S：半導體晶圓	42：穿透板
12：電漿成膜裝置	44：密封構件
14：處理容器	46：電漿產生裝置
16：底部	48：感應線圈部
18：排氣口	50：高頻電源
20：載置台	52：處理空間
22：靜電夾頭	54：擋板
24：支柱	56：金屬靶
26：金屬伸縮囊	58：可變直流電源
28：冷媒循環路	60：保護蓋
30：支撐銷	62：氣體導入口
32：銷插通孔	64：氣體控制部
34：閘閥	66：節流閥
36：配線	68：真空泵
38：偏壓電源	100：裝置控制部
40：偏壓電源控制部	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：