(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 114968151 B
(45)授权公告日 2025.01.21

(21)申请号 202210127133.X

(22)申请日 2022.02.11

(65)同一申请的已公布的文献号
申请公布号 CN 114968151 A

(43)申请公布日 2022.08.30

(30)优先权数据
110202130 2021.02.26 TW
111200666 2022.01.18 TW

(73)专利权人 凌巨科技股份有限公司
地址 中国台湾苗栗县头份市芦竹里4邻工业路15号

(72)发明人 林囿延 陈维佑

(74)专利代理机构 北京国昊天诚知识产权代理有限公司 11315
专利代理师 李有财

(51)Int.Cl.
G06F 3/14(2006.01)

(56)对比文件
TW M608157 U,2021.02.21

审查员 周永翔

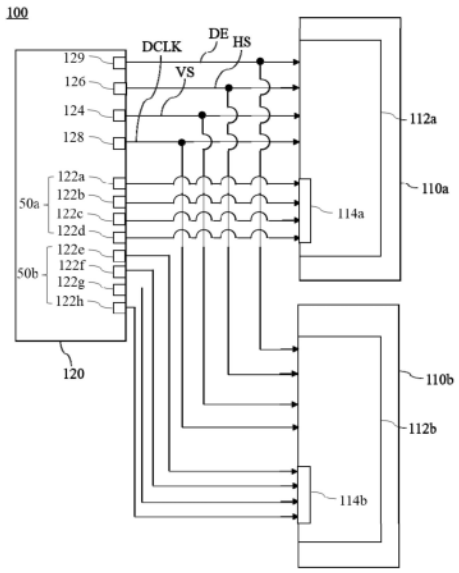
权利要求书1页 说明书11页 附图13页

(54)发明名称

多屏显示系统

(57)摘要

本申请公开一种多屏显示系统,其包括:N个显示装置与处理器,N为大于或等于二的正整数。处理器包括多个系统数据引脚,多个系统数据引脚分成N组数据引脚组,第N组数据引脚组的引脚数对应第N个显示装置的显示色阶数,第N组数据引脚组用以输出第N个显示装置的水平影像数据与垂直影像数据。其中,第N个显示装置在水平有效时间区段撷取第N组数据引脚组输出的水平影像数据,并在垂直有效时间区段撷取第N组数据引脚组输出的垂直影像数据。因此,可节省目前具有多屏显示功能的产品中处理器的使用数量,从而降低成本。



CN 114968151 B

1.一种多屏显示系统,其特征在于,包括:

N个显示装置,其中,N为大于或等于二的正整数;以及

处理器,包括多个系统数据引脚,所述多个系统数据引脚分成N组数据引脚组,第N组数据引脚组的一引脚数对应第N个显示装置的显示色阶数,所述第N组数据引脚组用以输出所述第N个显示装置的水平影像数据与垂直影像数据;

其中,所述第N个显示装置在水平有效时间区段撷取所述第N组数据引脚组输出的所述水平影像数据,并在垂直有效时间区段撷取所述第N组数据引脚组输出的所述垂直影像数据;

其中,所述处理器用以输出垂直同步信号、水平同步信号与时钟信号给所述N个显示装置,使所述第N个显示装置依据所述时钟信号与所述水平同步信号在所述水平有效时间区段撷取所述第N组数据引脚组输出的所述水平影像数据,并依据所述水平同步信号与所述垂直同步信号在所述垂直有效时间区段撷取所述第N组数据引脚组输出的所述垂直影像数据。

2.根据权利要求1所述的多屏显示系统,其特征在于,所述第N个显示装置依据所述时钟信号与所述水平同步信号在水平后沿时间区段与水平前沿时间区段不撷取所述第N组数据引脚组输出的所述水平影像数据,所述水平有效时间区段位于所述水平后沿时间区段与所述水平前沿时间区段之间,所述水平有效时间区段、所述水平后沿时间区段与所述水平前沿时间区段的总和为一个水平扫描周期;在所述一个水平扫描周期中,所述水平后沿时间区段为从所述水平同步信号的上一个脉冲的后沿到水平有效数据开始输出之间的时间区段,所述水平前沿时间区段为从所述水平有效数据结束输出到所述水平同步信号的当前脉冲的后沿之间的时间区段,所述水平有效数据为每一组数据引脚组在所述水平有效时间区段所输出的数据。

3.根据权利要求1所述的多屏显示系统,其特征在于,所述第N个显示装置依据所述水平同步信号与所述垂直同步信号在垂直后沿时间区段与垂直前沿时间区段不撷取所述第N组数据引脚组输出的所述垂直影像数据,所述垂直有效时间区段位于所述垂直后沿时间区段与所述垂直前沿时间区段之间,所述垂直有效时间区段、所述垂直后沿时间区段与所述垂直前沿时间区段的总和为一个垂直扫描周期;在所述一个垂直扫描周期中,所述垂直后沿时间区段为从所述水平同步信号的上一个脉冲的后沿到垂直有效数据开始输出之间的时间区段,所述垂直前沿时间区段为从所述垂直有效数据结束输出到所述水平同步信号的当前脉冲的后沿之间的时间区段,所述垂直有效数据为每一组数据引脚组在所述垂直有效时间区段所输出的数据。

4.根据权利要求1所述的多屏显示系统,其特征在于,当所述N组数据引脚组中的任两组数据引脚组的引脚数相同时,所述任两组数据引脚组对应连接的显示装置的解析度相同。

多屏显示系统

技术领域

[0001] 本申请涉及一种显示系统,且特别是有关于一种多屏显示系统。

背景技术

[0002] 随着科技的快速发展,具有多个显示界面的装置越来越多,例如设置有双屏幕的折叠手机、设置有多个显示表面的立体显示装置等,诸如此类的产品如雨后春笋般面世。亦即,单一屏幕的产品已无法满足消费者的使用需求,因此,具有多屏显示功能的产品是未来的发展趋势。

[0003] 一般而言,每一个显示装置都需要搭配一个处理器,并借由这个处理器发送一组时序控制信号来控制显示装置的显示画面。举例而言,当具有多屏显示功能的产品设置有两个显示装置时,两个显示装置会分别接收来自于不同的处理器所发送出来的影像数据(一个显示装置对应一个处理器);在这种情况下,两个显示装置可分别依据不同的有效数据时间来撷取影像数据。

[0004] 然而,上述具有多屏显示功能的产品会随着设置的显示装置的数量增加,处理器的数量也随之增加,使得产品的成本也随之提高,产品的体积难以朝向轻薄短小发展。因此,如何降低在具有多屏显示功能的产品中的处理器的使用数量,便成为具有多屏显示功能的产品亟欲解决的课题。

发明内容

[0005] 本申请的主要目的在于提供一种多屏显示系统,解决现有技术中,具有多屏显示功能的产品因设置的每一个显示装置需对应连接一个处理器来控制显示画面,而存在成本高,体积难以朝向轻薄短小发展的问题。

[0006] 为了实现上述目的,本申请是这样实现的:

[0007] 本申请提供了一种多屏显示系统,其包括:N个显示装置与处理器,N为大于或等于二的正整数。处理器包括多个系统数据引脚,多个系统数据引脚分成N组数据引脚组,第N组数据引脚组的引脚数对应第N个显示装置的显示色阶数,第N组数据引脚组用以输出第N个显示装置的水平影像数据与垂直影像数据。其中,第N个显示装置在水平有效时间区段撷取第N组数据引脚组输出的水平影像数据,并在垂直有效时间区段撷取第N组数据引脚组输出的垂直影像数据。

[0008] 在本申请实施例中,通过一个处理器控制多个显示装置的硬件接线方式(多个显示装置共用一个处理器的多个系统数据引脚),降低应用本申请的多屏显示系统的具有多屏显示功能的产品的处理器的使用量及其外围器件,从而降低具有多屏显示功能的产品的成本,缩小具有多屏显示功能的产品的体积。

附图说明

[0009] 此处所说明的附图用来提供对本申请的进一步理解,构成本申请的一部分,本申

请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

[0010] 图1为依据本申请的多屏显示系统的一实施例框图;

[0011] 图2为图1的多屏显示系统的一实施例的一个水平扫描周期的控制方式示意图;

[0012] 图3为图1的多屏显示系统的一实施例的一个垂直扫描周期的控制方式示意图;

[0013] 图4为图1的多屏显示系统的另一实施例的一个水平扫描周期的控制方式示意图;

[0014] 图5为图1的多屏显示系统的另一实施例的一个垂直扫描周期的控制方式示意图;

[0015] 图6为本申请的多屏显示系统的另一实施例框图;

[0016] 图7为本申请的图像数据的一实施例示意图;

[0017] 图8为本申请的图像数据的一实施例分割示意图;

[0018] 图9为本申请的控制方式的一实施例示意图;

[0019] 图10为本申请的图像数据的另一实施例示意图;

[0020] 图11为本申请的图像数据的另一实施例分割示意图;

[0021] 图12为本申请的控制方式的另一实施例示意图;

[0022] 图13为本申请的多屏显示系统的又一实施例框图;

[0023] 图14为本申请的图像数据的又一实施例示意图;

[0024] 图15为本申请的图像数据的又一实施例分割示意图;以及

[0025] 图16为本申请的控制方式的又一实施例示意图。

具体实施方式

[0026] 以下将配合相关附图来说明本发明的实施例。在这些附图中,相同的标号表示相同或类似的组件或方法流程。

[0027] 必须了解的是,使用在本说明书中的“包含”、“包括”等词,是用于表示存在特定的技术特征、数值、方法步骤、作业处理、组件及/或组件,但并不排除可加上更多的技术特征、数值、方法步骤、作业处理、组件、组件,或以上的任意组合。

[0028] 必须了解的是,当组件描述为“连接”或“耦接”至另一组件时,可以是直接连结、或耦接至其他组件,可能出现中间组件。相反地,当组件描述为“直接连接”或“直接耦接”至另一组件时,其中不存在任何中间组件。

[0029] 请参阅图1,其为依据本申请的多屏显示系统的一实施例框图。如图1所示,多屏显示系统100包括:两个显示装置(即显示装置110a与显示装置110b)与处理器120。在本实施例中,显示装置的数量为两个,但本实施例并非用以限定本申请;举例而言,显示装置的数量可为大于二的正整数。

[0030] 在本实施例中,处理器120包括系统数据引脚122a、系统数据引脚122b、系统数据引脚122c、系统数据引脚122d、系统数据引脚122e、系统数据引脚122f、系统数据引脚122g与系统数据引脚122h(即处理器120包括多个系统数据引脚),其中,系统数据引脚122a、系统数据引脚122b、系统数据引脚122c与系统数据引脚122d为第一组数据引脚组50a,系统数据引脚122e、系统数据引脚122f、系统数据引脚122g与系统数据引脚122h为第二组数据引脚组50b(即多个系统数据引脚分成两组数据引脚组),第一组数据引脚组50a对应第一个显示装置110a的显示色阶数,第二组数据引脚组50b对应第二个显示装置110b的显示色阶数(即第N组数据引脚组的引脚数对应第N个显示装置的显示色阶数),第一组数据引脚组50a

用以输出第一个显示装置110a的水平影像数据81与垂直影像数据91,第二组数据引脚组50b用以输出第二个显示装置110b的水平影像数据82与垂直影像数据92(即第N组数据引脚组用以输出第N个显示装置的水平影像数据与垂直影像数据)。

[0031] 更详细地说,系统数据引脚122a、系统数据引脚122b、系统数据引脚122c、系统数据引脚122d、系统数据引脚122e、系统数据引脚122f、系统数据引脚122g与系统数据引脚122h为处理器120的八比特数据总线(8-bits data bus);显示装置110a包括驱动电路112a,驱动电路112a包括显示引脚组114a;显示装置110b包括驱动电路112b,驱动电路112b包括显示引脚组114b;当显示装置110a与显示装置110b分别显示四比特(16色阶数)的色阶数据(即显示装置110a与显示装置110b不需要显示八比特(256色阶数)的色阶数据)时,显示装置110a与显示装置110b可共用处理器120的八比特数据总线(即包括系统数据引脚122a、系统数据引脚122b、系统数据引脚122c与系统数据引脚122d的第一组数据引脚组50a连接显示装置110a的显示引脚组114a,包括系统数据引脚122e、系统数据引脚122f、系统数据引脚122g与系统数据引脚122h的第二组数据引脚组50b连接显示装置110b的显示引脚组114b)。也就是说,多个显示装置可依据自身显示的色阶数共用处理器120的具有复数比特宽度的数据总线;在一实施例中,当显示装置110a显示三比特(8色阶数)的色阶数据且显示装置110b显示六比特(32色阶数)的色阶数据时,显示装置110a与显示装置110b可共用处理器120的九比特数据总线。需注意的是,多屏显示系统100中所包括的每一个显示装置可显示奇数比特的色阶数据,也可显示偶数比特的色阶数据。

[0032] 在本实施例中,请参阅图1至图3,图2为图1的多屏显示系统的一实施例的一个水平扫描周期的控制方式示意图,图3为图1的多屏显示系统的一实施例的一个垂直扫描周期的控制方式示意图,其中,图2包括在一个水平扫描周期中数据引脚组50a与数据引脚组50b输出信号的波形时序图及显示引脚组114a与显示引脚组114b接收信号的波形时序图,图3包括在一个垂直平扫描周期中数据引脚组50a与数据引脚组50b输出信号的波形时序图及显示引脚组114a与显示引脚组114b接收信号的波形时序图。如图1至图3所示,由于第一组数据引脚组50a用以输出第一个显示装置110a的水平影像数据81与垂直影像数据91,因此,第一个显示装置110a在水平有效时间区段t_{HACT}撷取第一组数据引脚组50a所输出的水平影像数据81,并在垂直有效时间区段t_{VACT}撷取第一组数据引脚组50a所输出的垂直影像数据91;由于第二组数据引脚组50b用以输出第二个显示装置110b的水平影像数据82与垂直影像数据92,因此,第二个显示装置110b在水平有效时间区段t_{HACT}撷取第二组数据引脚组50b所输出的水平影像数据82,并在垂直有效时间区段t_{VACT}撷取第二组数据引脚组50b所输出的垂直影像数据92。

[0033] 需注意的是,每一组数据引脚组所输出的水平影像数据包括水平空白(blanking)数据与水平有效数据,水平有效数据为每一组数据引脚组在水平有效时间区段t_{HACT}所输出的数据,也为对应连接的显示装置所显示的每一行有效像素的像素数据;每一组数据引脚组所输出的垂直影像数据包括垂直空白数据与垂直有效数据,垂直有效数据为每一组数据引脚组在垂直有效时间区段t_{VACT}所输出的数据,也为对应连接的显示装置所显示的每一帧(frame)的有效像素的行数数据;因此,多屏显示系统100中的每一个显示装置在水平有效时间区段t_{HACT}撷取对应连接的数据引脚组所输出的水平影像数据,并在垂直有效时间区段t_{VACT}撷取对应连接的数据引脚组所输出的垂直影像数据,以显示一个画面数据。此外,图2

与图3中,数据引脚组50a与数据引脚组50b输出的水平空白数据与垂直空白数据对于显示装置110a与显示装置110b而言为无效(invalid)数据,因此,未绘制于图2与图3的图面中。

[0034] 在一实施例中,当任两组数据引脚组的引脚数相同时,该任两组数据引脚组对应连接的所述显示装置的解析度相同。更详细地说,由于任两组数据引脚组的引脚数相同,代表所述任两组数据引脚组对应连接的所述显示装置所接收的数据的比特数也相同,因此,所述任两组数据引脚组对应连接的所述显示装置的解析度相同。

[0035] 请参阅图1至图3,在这个实施例中,处理器120还包括垂直同步引脚124、水平同步引脚126与时钟引脚128,垂直同步引脚124用以输出垂直同步信号VS给显示装置110a与显示装置110b,水平同步引脚126用以输出水平同步信号HS给显示装置110a与显示装置110b,时钟引脚128用以输出时钟信号DCLK给显示装置110a与显示装置110b;显示装置110a与显示装置110b的驱动模式可为同步信号的驱动模式,时钟信号DCLK用以指示水平影像数据81、82的传输频率;也就是说,显示装置110a与显示装置110b可通过水平同步信号HS与垂直同步信号VS进行显示驱动。其中,图2还包括在一个水平扫描周期中水平同步引脚126与时钟引脚128输出信号的波形时序图,图3还包括在一个垂直平扫描周期中垂直同步引脚124与水平同步引脚126输出信号的波形时序图。

[0036] 具体地,每一组数据引脚组所输出的水平影像数据包括水平空白数据与水平有效数据,每一组数据引脚组所输出的垂直影像数据包括垂直空白数据与垂直有效数据;显示装置110a依据时钟信号DCLK与水平同步信号HS在水平有效时间区段t_{HACT}撷取数据引脚组50a所输出的水平影像数据81(即数据引脚组50a在水平有效时间区段t_{HACT}输出水平有效数据),并依据水平同步信号HS与垂直同步信号VS在垂直有效时间区段t_{VACT}撷取数据引脚组50a所输出的垂直影像数据91(即数据引脚组50a在垂直有效时间区段t_{VACT}输出垂直有效数据),以显示一个画面数据。其中,驱动电路112a与驱动电路112b可借由水平同步信号HS的脉冲及其前沿(front porch)期间与后沿(back porch)期间来计算求得输出水平空白数据的水平后沿时间区段t_{HBP}与水平前沿时间区段t_{HFP}及输出水平有效数据的水平有效时间区段t_{HACT};驱动电路112a与驱动电路112b可借由垂直同步信号VS的脉冲及其前沿期间与后沿期间来计算求得输出垂直空白数据的垂直后沿时间区段t_{VBP}与垂直前沿时间区段t_{VFP}及输出垂直有效数据的垂直有效时间区段t_{VACT}。

[0037] 同样地,显示装置110b依据时钟信号DCLK与水平同步信号HS在水平有效时间区段t_{HACT}撷取数据引脚组50b所输出的水平影像数据82(即数据引脚组50b在水平有效时间区段t_{HACT}输出水平有效数据),并依据水平同步信号HS与垂直同步信号VS在垂直有效时间区段t_{VACT}撷取数据引脚组50b所输出的垂直影像数据92(即数据引脚组50b在垂直有效时间区段t_{VACT}输出垂直有效数据),以显示一个画面数据。

[0038] 另外,由于数据引脚组50a在水平后沿时间区段t_{HBP}与水平前沿时间区段t_{HFP}输出水平空白数据,因此,显示装置110a依据时钟信号DCLK与水平同步信号HS在水平后沿时间区段t_{HBP}与水平前沿时间区段t_{HFP}不撷取数据引脚组50a所输出的水平影像数据81。其中,水平后沿时间区段t_{HBP}与水平前沿时间区段t_{HFP}对应于数据引脚组50a输出不同行有效像素的像素数据(即两个相邻的水平有效数据)之间的时间区段,也就是说,水平后沿时间区段t_{HBP}与水平前沿时间区段t_{HFP}为数据引脚组50a输出一个水平有效数据所需的准备时间。水平有效时间区段t_{HACT}位于水平后沿时间区段t_{HBP}与水平前沿时间区段t_{HFP}之间,水平有效时间区

段t_{HACT}、水平后沿时间区段t_{HBP}与水平前沿时间区段t_{HFP}的总和为一个水平扫描周期。

[0039] 同样地,由于数据引脚组50b在水平后沿时间区段t_{HBP}与水平前沿时间区段t_{HFP}输出水平空白数据,因此,显示装置110b依据时钟信号DCLK与水平同步信号HS在水平后沿时间区段t_{HBP}与水平前沿时间区段t_{HFP}不撷取数据引脚组50b所输出的水平影像数据82。其中,水平后沿时间区段t_{HBP}与水平前沿时间区段t_{HFP}对应于数据引脚组50b输出不同行有效像素的像素数据(即两个相邻的水平有效数据)之间的时间区段,也就是说,水平后沿时间区段t_{HBP}与水平前沿时间区段t_{HFP}为数据引脚组50b输出一个水平有效数据所需的准备时间。

[0040] 此外,由于数据引脚组50a在垂直后沿时间区段t_{VBP}与垂直前沿时间区段t_{VFP}输出垂直空白数据,因此,显示装置110a依据垂直同步信号VS与水平同步信号HS在垂直后沿时间区段t_{VBP}与垂直前沿时间区段t_{VFP}不撷取数据引脚组50a所输出的垂直影像数据。其中,垂直后沿时间区段t_{VBP}与垂直前沿时间区段t_{VFP}对应于数据引脚组50a输出不同帧的的有效像素的行数数据(即两个相邻的垂直有效数据)之间的时间区段,也就是说,垂直后沿时间区段t_{VBP}与垂直前沿时间区段t_{VFP}为数据引脚组50a输出一个垂直有效数据所需的准备时间。垂直有效时间区段t_{VACT}位于垂直后沿时间区段t_{VBP}与垂直前沿时间区段t_{VFP}之间,垂直有效时间区段t_{VACT}、垂直后沿时间区段t_{VBP}与垂直前沿时间区段t_{VFP}的总和为一垂直扫描周期。

[0041] 同样地,由于数据引脚组50b在垂直后沿时间区段t_{VBP}与垂直前沿时间区段t_{VFP}输出垂直空白数据,因此,显示装置110b依据垂直同步信号VS与水平同步信号HS在垂直后沿时间区段t_{VBP}与垂直前沿时间区段tVFP不撷取数据引脚组50b所输出的垂直影像数据。其中,垂直后沿时间区段t_{VBP}与垂直前沿时间区段t_{VFP}对应于数据引脚组50b输出不同帧的的有效像素的行数数据(即两个相邻的垂直有效数据)之间的时间区段,也就是说,垂直后沿时间区段t_{VBP}与垂直前沿时间区段t_{VFP}为数据引脚组50b输出一个垂直有效数据所需的准备时间。

[0042] 在一实施例中,请参阅图1、图4与图5,图4为图1的多屏显示系统的另一实施例的一个水平扫描周期的控制方式示意图,图5为图1的多屏显示系统的另一实施例的一个垂直扫描周期的控制方式示意图。如图1、图4与图5所示,处理器120还包括时钟引脚128与数据使能引脚129,时钟引脚128用以输出时钟信号DCLK给显示装置110a与显示装置110b,数据使能引脚129用以输出数据使能信号DE给显示装置110a与显示装置110b;显示装置110a与显示装置110b的驱动模式可为数据使能的驱动模式,时钟信号DCLK用以指示水平影像数据的传输频率;也就是说,显示装置110a与显示装置110b可通过数据使能信号DE进行显示驱动。其中,图4包括在一个水平扫描周期中时钟引脚128、数据使能引脚129、数据引脚组50a与数据引脚组50b输出信号的波形时序图及显示引脚组114a与显示引脚组114b接收信号的波形时序图,图5包括在一个垂直平扫描周期中数据使能引脚129、数据引脚组50a与数据引脚组50b输出信号的波形时序图及显示引脚组114a与显示引脚组114b接收信号的波形时序图。

[0043] 具体地,每一组数据引脚组所输出的水平影像数据包括水平空白数据与水平有效数据,每一组数据引脚组所输出的垂直影像数据包括垂直空白数据与垂直有效数据;显示装置110a依据数据使能信号DE与时钟信号DCLK在水平有效时间区段t_{HACT}撷取数据引脚组50a所输出的水平影像数据81(即数据引脚组50a在水平有效时间区段t_{HACT}输出水平有效数据),并依据数据使能信号DE在垂直有效时间区段t_{VACT}撷取数据引脚组50a所输出的垂直影

像数据91(即数据引脚组50a在垂直有效时间区段t_{VACT}输出垂直有效数据),以显示一个画面数据。其中,驱动电路112a与驱动电路112b可借由数据使能信号DE的脉冲获取输出水平空白数据的水平空白时间区段t_{HBL}、输出水平有效数据的水平有效时间区段t_{HACT}、输出垂直空白数据的垂直空白时间区段t_{VBL}及输出垂直有效数据的垂直有效时间区段t_{VACT}。

[0044] 同样地,显示装置110b依据数据使能信号DE与时钟信号DCLK在水平有效时间区段t_{HACT}撷取数据引脚组50b所输出的水平影像数据82(即数据引脚组50b在水平有效时间区段t_{HACT}输出水平有效数据),并依据数据使能信号DE在垂直有效时间区段t_{VACT}撷取数据引脚组50b所输出的垂直影像数据92(即数据引脚组50b在垂直有效时间区段t_{VACT}输出垂直有效数据),以显示一个画面数据。

[0045] 需注意的是,图4与图5中,数据引脚组50a与数据引脚组50b输出的水平空白数据与垂直空白数据对于显示装置110a与显示装置110b而言为无效(invalid)数据,因此,未绘制于图4与图5的图面中。

[0046] 另外,由于数据引脚组50a在水平空白时间区段t_{HBL}输出水平空白数据,因此,显示装置110a依据数据使能信号DE与时钟信号DCLK在水平空白时间区段t_{HBL}不撷取数据引脚组50a所输出的水平影像数据81。其中,水平空白时间区段t_{HBL}对应于数据引脚组50a输出不同行有效像素的像素数据(即两个相邻的水平有效数据)之间的时间区段,也就是说,水平空白时间区段t_{HBL}为数据引脚组50a输出一个水平有效数据所需的准备时间;水平有效时间区段t_{HACT}与水平空白时间区段t_{HBL}的总和为一个水平扫描周期。

[0047] 同样地,由于数据引脚组50b在水平空白时间区段t_{HBL}输出水平空白数据,因此,显示装置110b依据数据使能信号DE与时钟信号DCLK在水平空白时间区段t_{HBL}不撷取数据引脚组50b所输出的水平影像数据82。其中,水平空白时间区段t_{HBL}对应于数据引脚组50b输出不同行有效像素的像素数据(即两个相邻的水平有效数据)之间的时间区段,也就是说,水平空白时间区段t_{HBL}为数据引脚组50b输出一个水平有效数据所需的准备时间。

[0048] 此外,由于数据引脚组50a在垂直空白时间区段t_{VBL}输出垂直空白数据,因此,显示装置110a依据数据使能信号DE在垂直空白时间区段t_{VBL}不撷取数据引脚组50a所输出的垂直影像数据91。其中,垂直空白时间区段t_{VBL}对应于数据引脚组50a输出不同帧的有效像素的行数数据(即两个相邻的垂直有效数据)之间的时间区段,也就是说,垂直空白时间区段t_{VBL}为数据引脚组50a输出一个垂直有效数据所需的准备时间;垂直有效时间区段t_{VACT}与垂直空白时间区段t_{VBL}的总和为一个垂直扫描周期。

[0049] 同样地,由于数据引脚组50b在垂直空白时间区段t_{VBL}输出垂直空白数据,因此,显示装置110b依据数据使能信号DE在垂直空白时间区段t_{VBL}不撷取数据引脚组50b所输出的垂直影像数据92。其中,垂直空白时间区段t_{VBL}对应于数据引脚组50b输出不同帧的有效像素的行数数据(即两个相邻的垂直有效数据)之间的时间区段,也就是说,垂直空白时间区段t_{VBL}为数据引脚组50b输出一个垂直有效数据所需的准备时间。

[0050] 请参阅图6至图9,其分别是本申请的多屏显示系统另一实施例框图、图像数据的一实施例示意图、图像数据的一实施例分割示意图以及控制方式的一实施例示意图。如图所示,多屏显示系统1包括处理器10、第1显示装置11以及第2显示装置12。换句话说,在本实施例中,显示器的数量为2,亦即n=2。处理器10输出数据使能信号DE、图像数据D以及有效数据时间t。

[0051] 在本实施例中,处理器10所输出的图像数据D的数据大小为M x N。具体而言,图像数据D是由对应于数据使能信号DE的水平图像数据HD_MCU(TX)以及垂直图像数据VD_MCU(TX)所构成。水平图像数据HD_MCU(TX)的尺寸为M,垂直图像数据VD_MCU(TX)的尺寸为N。为了让第1显示装置11以及第2显示装置12显示不同的画面,图像数据D进一步被分割成尺寸为M x N1的图像数据以及尺寸为M x N2的图像数据,其中尺寸为M x N1的图像数据对应于第1显示装置11,尺寸为M x N2的图像数据对应于第2显示装置12。也就是说,在这个图像数据D之中,第1显示装置11的水平图像数据HD_LCD1(RX)以及第2显示装置12的水平图像数据HD_LCD2(RX)的尺寸相同(均为M),但第1显示装置11的垂直图像数据VD_LCD1(RX)以及第2显示装置12的垂直图像数据VD_LCD2(RX)的尺寸不相同(分别为N1、N2),使得第1显示装置11以及第2显示装置12具有不同的图像数据而显示不同的画面。有效数据时间t包括第1垂直有效数据时间间隔t_{VD1_delay}、第2垂直有效数据时间间隔t_{VD2_delay}、第1垂直有效数据时间t_{VD1}、第2垂直有效数据时间t_{VD2}、第1水平有效数据时间间隔t_{HD1_delay}、第2水平有效数据时间间隔t_{HD2_delay}、第1水平有效数据时间t_{HD1}、以及第2水平有效数据时间t_{HD2}。

[0052] 除此之外,在图9中,为便于理解,数据使能信号DE可以分为由处理器10发出的数据使能信号DE_MCU(TX)、对应于第1显示装置11的数据使能信号DE_LCD1(RX)、以及对应于第2显示装置12的数据使能信号DE_LCD2(RX)。其中,第1显示装置11通过数据使能信号DE_LCD1(RX)的高位准来显示图像,而第2显示装置12通过数据使能信号DE_LCD2(RX)的高位准来显示图像。

[0053] 第1显示装置11包括第1驱动电路111,且第1显示装置11接收来自处理器10的数据使能信号DE、图像数据D以及有效数据时间t。第1驱动电路111依据第1垂直有效数据时间t_{VD1}撷取图像数据D中的垂直图像数据VD_MCU(TX),并依据第1水平有效数据时间t_{HD1}撷取图像数据D中的水平图像数据HD_MCU(TX)。其中,由于垂直图像数据VD_MCU(TX)中同时包括了对应于第1显示装置11的垂直图像数据VD_LCD1(RX)以及对应于第2显示装置12的垂直图像数据VD_LCD2(RX),因此,第1驱动电路111需要依据第1垂直有效数据时间t_{VD1}撷取垂直图像数据VD_MCU(TX)中对应于第1显示装置11的垂直图像数据VD_LCD1(RX),且不能够撷取到垂直图像数据VD_MCU(TX)中对应于第2显示装置12的垂直图像数据VD_LCD2(RX)。另一方面,第1驱动电路111需要依据第1水平有效数据时间t_{HD1}撷取水平图像数据HD_MCU(TX)中对应于第1显示装置11的水平图像数据HD_LCD1(RX)。在本实施例中,由于第1显示装置11的水平图像数据HD_LCD1(RX)与第2显示装置12的水平图像数据HD_LCD2(RX)尺寸相同,因此,第1水平有效数据时间t_{HD1}以及第2水平有效数据时间t_{HD2}是相同的。换句话说,水平图像数据HD_MCU(TX)相等于水平图像数据HD_LCD1(RX)以及水平图像数据HD_LCD2(RX)。

[0054] 更具体地,对于第1显示装置11而言,一个垂直同步信号VS(或称一帧(frame))可以分为二个区间,其分别是第1垂直有效数据时间间隔t_{VD1_delay}以及第1垂直有效数据时间t_{VD1}。首先,第1驱动电路111依据第1垂直有效数据时间间隔t_{VD1_delay}控制第1显示装置11开始存取垂直图像数据VD_MCU(TX),且本实施例中的第1垂直有效数据时间间隔t_{VD1_delay}为0。接着,第1显示装置11依据第1垂直有效数据时间t_{VD1}撷取垂直图像数据VD_MCU(TX),并在第1垂直有效数据时间t_{VD1}结束后停止撷取垂直图像数据VD_MCU(TX)。如此一来,第1显示装置11仅存取垂直图像数据VD_MCU(TX)中对应于第1显示装置11的垂直图像数据VD_LCD1(RX),而不会存取垂直图像数据VD_MCU(TX)中对应于第2显示装置12的垂直图像数据VD_LCD2

(RX)。

[0055] 另一方面,一个水平同步信号HS(或称一水平线(Horizontal line))也可以分为二个区间,其分别是第1水平有效数据时间间隔t_{HD1_delay}以及第1水平有效数据时间t_{HD1}。首先,第1驱动电路111依据第1水平有效数据时间间隔t_{HD1_delay}控制第1显示装置11开始存取水平图像数据HD_MCU(TX)。接着,第1显示装置11依据第1水平有效数据时间t_{HD1}撷取水平图像数据HD_MCU(TX),并在第1水平有效数据时间t_{HD1}结束后停止撷取水平图像数据HD_MCU(TX)。在本实施例中,第1显示装置11存取完整的水平图像数据HD_MCU(TX)。

[0056] 第2显示装置12包括第2驱动电路121,且第2显示装置12接收来自处理器10的数据使能信号DE、图像数据D以及有效数据时间t。第2驱动电路121依据第2垂直有效数据时间t_{VD2}撷取图像数据D中的垂直图像数据VD_MCU(TX),并依据第2水平有效数据时间t_{HD2}撷取图像数据D中的水平图像数据HD_MCU(TX)。由于垂直图像数据VD_MCU(TX)中同时包括了对应于第1显示装置11的垂直图像数据VD_LCD1(RX)以及对应于第2显示装置12的垂直图像数据VD_LCD2(RX),因此,第2驱动电路121需要依据第2垂直有效数据时间t_{VD2}撷取垂直图像数据VD_MCU(TX)中对应于第2显示装置12的垂直图像数据VD_LCD2(RX),且不能够撷取到垂直图像数据VD_MCU(TX)中对应于第1显示装置11的垂直图像数据VD_LCD1(RX)。另一方面,第2驱动电路121需要依据第2水平有效数据时间t_{HD2}撷取水平图像数据HD_MCU(TX)中对应于第2显示装置12的水平图像数据HD_LCD2(RX)。在本实施例中,水平图像数据HD_MCU(TX)相等于水平图像数据HD_LCD1(RX)以及水平图像数据HD_LCD2(RX)。

[0057] 更具体地,对于第2显示装置12而言,一个垂直同步信号VS(或一帧)可以分为二个区间,其分别是第2垂直有效数据时间间隔t_{VD2_delay}、以及第2垂直有效数据时间t_{VD2}。首先,第2驱动电路121依据第2垂直有效数据时间间隔t_{VD2_delay}控制第2显示装置12开始存取垂直图像数据VD_MCU(TX),且第2垂直有效数据时间间隔t_{VD2_delay}相等于第1垂直有效数据时间间隔t_{VD1_delay}以及第1垂直有效数据时间t_{VD1}的和。接着,第2显示装置12依据第2垂直有效数据时间t_{VD2}撷取垂直图像数据VD_MCU(TX),并在第2垂直有效数据时间t_{VD2}结束后停止撷取垂直图像数据VD_MCU(TX)。如此一来,第2显示装置12仅存取垂直图像数据VD_MCU(TX)中对应于第2显示装置12的垂直图像数据VD_LCD2(RX),而不会存取垂直图像数据VD_MCU(TX)中对应于第1显示装置11的垂直图像数据VD_LCD1(RX)。

[0058] 另一方面,一个水平同步信号HS(或一水平线)也可以分为二个区间,其分别是第2水平有效数据时间间隔t_{HD2_delay}以及第2水平有效数据时间t_{HD2}。首先,第2驱动电路121依据第2水平有效数据时间间隔t_{HD2_delay}控制第2显示装置12开始存取水平图像数据HD_MCU(TX)。接着,第2显示装置12依据第2水平有效数据时间t_{HD2}撷取水平图像数据HD_MCU(TX),并在第2水平有效数据时间t_{HD2}结束后停止撷取水平图像数据HD_MCU(TX)。在本实施例中,第2显示装置12存取完整的水平图像数据HD_MCU(TX)。

[0059] 请参阅图6以及图10至图12。图10至图12分别是本申请的多屏显示系统的图像数据的另一实施例示意图、图像数据的另一实施例分割示意图以及控制方式的另一实施例示意图。如图所示,多屏显示系统1包括处理器10、第1显示装置11以及第2显示装置12。在第一实施例与第二实施例中,相同的元件符号表示相似或相同的元件,因此不再赘述。在本实施例中,处理器10所输出的图像数据D的数据大小为M x N。图像数据D进一步被分割成尺寸为M1 x N的图像数据以及尺寸为M2 x N的图像数据,其中尺寸为M1 x N的图像数据对应于第

1显示装置11,尺寸为M2 x N的图像数据对应于第2显示装置12。也就是说,在这个图像数据D之中,第1显示装置11的水平图像数据HD_LCD1(RX)以及第2显示装置12的水平图像数据HD_LCD2(RX)的尺寸不相同(分别为M1、M2),而第1显示装置11的垂直图像数据VD_LCD1(RX)以及第2显示装置12的垂直图像数据VD_LCD2(RX)的尺寸相同(均为N),使得第1显示装置11以及第2显示装置12具有不同的图像数据而显示不同的画面。

[0060] 第1驱动电路111依据第1垂直有效数据时间间隔t_{VD1_delay}控制第1显示装置11开始存取垂直图像数据VD_MCU(TX)。接着,第1显示装置11依据第1垂直有效数据时间t_{VD1}撷取垂直图像数据VD_MCU(TX),并在第1垂直有效数据时间t_{VD1}结束后停止撷取垂直图像数据VD_MCU(TX)。在本实施例中,第1显示装置11存取完整的垂直图像数据VD_MCU(TX)。

[0061] 另一方面,第1驱动电路111依据第1水平有效数据时间间隔t_{HD1_delay}控制第1显示装置11开始存取水平图像数据HD_MCU(TX),且本实施例中的第1水平有效数据时间间隔t_{HD1_delay}为0。接着,第1显示装置11依据第1垂直有效数据时间t_{VD1}撷取水平图像数据HD_MCU(TX),并在第1水平有效数据时间t_{HD1}结束后停止撷取水平图像数据HD_MCU(TX)。如此一来,第1显示装置11仅存取水平图像数据HD_MCU(TX)中对应于第1显示装置11的水平图像数据HD_LCD1(RX),而不会存取水平图像数据HD_MCU(TX)中对应于第2显示装置12的水平图像数据HD_LCD2(RX)。

[0062] 第2驱动电路121依据第2垂直有效数据时间间隔t_{VD2_delay}控制第2显示装置12开始存取垂直图像数据VD_MCU(TX)。接着,第2显示装置12依据第2垂直有效数据时间t_{VD2}撷取垂直图像数据VD_MCU(TX),并在第2垂直有效数据时间t_{VD2}结束后停止撷取垂直图像数据VD_MCU(TX)。在本实施例中,第2显示装置12存取完整的垂直图像数据VD_MCU(TX)。

[0063] 另一方面,第2驱动电路121依据第2水平有效数据时间间隔t_{HD2_delay}控制第2显示装置12开始存取水平图像数据HD_MCU(TX),且本实施例中的第2水平有效数据时间间隔t_{HD2_delay}为第1水平有效数据时间间隔t_{HD1_delay}与第1水平有效数据时间t_{HD1}的和。接着,第2显示装置12依据第2水平有效数据时间t_{HD2}撷取水平图像数据HD_MCU(TX),并在第2水平有效数据时间t_{HD2}结束后停止撷取水平图像数据HD_MCU(TX)。如此一来,第2显示装置12仅存取水平图像数据HD_MCU(TX)中对应于第2显示装置12的水平图像数据HD_LCD2(RX),而不会存取水平图像数据HD_MCU(TX)中对应于第1显示装置11的水平图像数据HD_LCD1(RX)。

[0064] 请参阅图13至图16。图13至图16分别是本申请的多屏显示系统的又一实施例框图、图像数据的又一实施例示意图、图像数据的又一实施例分割示意图以及控制方式的又一实施例示意图。如图所示,多屏显示系统2包括处理器10、第1显示装置11、第2显示装置12以及第3显示装置13。在本实施例中,显示器的数量为3,亦即n=3。在第一实施例与第三实施例中,相同的元件符号表示相似或相同的元件,因此不再赘述。在本实施例中,处理器10所输出的图像数据D的数据大小为M x N。图像数据D进一步被分割成尺寸为M x N1的图像数据、尺寸为M x N2的图像数据以及尺寸为M x N3的图像数据,其中尺寸为M x N1的图像数据对应于第1显示装置11,尺寸为M x N2的图像数据对应于第2显示装置12,尺寸为M x N3的图像数据对应于第3显示装置13。也就是说,在这个图像数据D之中,第1显示装置11的垂直图像数据VD_LCD1(RX)、第2显示装置12的垂直图像数据VD_LCD2(RX)以及第3显示装置13的垂直图像数据VD_LCD3(RX)的尺寸彼此不相同(分别为N1、N2以及N3),而第1显示装置11的水平图像数据HD_LCD1(RX)、第2显示装置12的水平图像数据HD_LCD2(RX)以及第3显示

装置13的水平图像数据HD_LCD1(RX)的尺寸相同(均为M),使得第1显示装置11、第2显示装置12以及第3显示装置13具有不同的图像数据而显示不同的画面。

[0065] 首先,第1驱动电路111依据第1垂直有效数据时间间隔t_{VD1_delay}控制第1显示装置11开始存取垂直图像数据VD_MCU(TX),且本实施例中的第1垂直有效数据时间间隔t_{VD1_delay}为0。接着,第1显示装置11依据第1垂直有效数据时间t_{VD1}撷取垂直图像数据VD_MCU(TX),并在第1垂直有效数据时间t_{VD1}结束后停止撷取垂直图像数据VD_MCU(TX)。如此一来,第1显示装置11仅存取垂直图像数据VD_MCU(TX)中对应于第1显示装置11的垂直图像数据VD_LCD1(RX),而不会存取垂直图像数据VD_MCU(TX)中对应于第2显示装置12的垂直图像数据VD_LCD2(RX)以及对应于第3显示装置13的垂直图像数据VD_LCD3(RX)。

[0066] 另一方面,第1驱动电路111依据第1水平有效数据时间间隔t_{HD1_delay}控制第1显示装置11开始存取水平图像数据HD_MCU(TX)。接着,第1显示装置11依据第1水平有效数据时间t_{HD1}撷取水平图像数据HD_MCU(TX),并在第1水平有效数据时间t_{HD1}结束后停止撷取水平图像数据HD_MCU(TX)。在本实施例中,第1显示装置11存取完整的水平图像数据HD_MCU(TX)。

[0067] 第2驱动电路121依据第2垂直有效数据时间间隔t_{VD2}_delay控制第2显示装置12开始存取垂直图像数据VD_MCU(TX),且第2垂直有效数据时间间隔t_{VD2}_delay相等于第1垂直有效数据时间间隔t_{VD1_delay}以及第1垂直有效数据时间t_{VD1}的和。接着,第2显示装置12依据第2垂直有效数据时间t_{VD2}撷取垂直图像数据VD_MCU(TX),并在第2垂直有效数据时间t_{VD2}结束后停止撷取垂直图像数据VD_MCU(TX)。如此一来,第2显示装置12仅存取垂直图像数据VD_MCU(TX)中对应于第2显示装置12的垂直图像数据VD_LCD2(RX),而不会存取垂直图像数据VD_MCU(TX)中对应于第1显示装置11的垂直图像数据VD_LCD1(RX)以及对应于第3显示装置13的垂直图像数据VD_LCD3(RX)。

[0068] 另一方面,第2驱动电路121依据第2水平有效数据时间间隔t_{HD2_delay}控制第2显示装置12开始存取水平图像数据HD_MCU(TX)。接着,第2显示装置12依据第2水平有效数据时间t_{HD2}撷取水平图像数据HD_MCU(TX),并在第2水平有效数据时间t_{HD2}结束后停止撷取水平图像数据HD_MCU(TX)。在本实施例中,第2显示装置12存取完整的水平图像数据HD_MCU(TX)。

[0069] 第3驱动电路131依据第3垂直有效数据时间间隔t_{VD3_delay}控制第3显示装置13开始存取垂直图像数据VD_MCU(TX),且第3垂直有效数据时间间隔t_{VD3_delay}相等于第1垂直有效数据时间间隔t_{VD1_delay}、第1垂直有效数据时间t_{VD1}以及第2垂直有效数据时间t_{VD2}的和。接着,第3显示装置13依据第3垂直有效数据时间t_{VD3}撷取垂直图像数据VD_MCU(TX),并在第3垂直有效数据时间t_{VD3}结束后停止撷取垂直图像数据VD_MCU(TX)。如此一来,第3显示装置13仅存取垂直图像数据VD_MCU(TX)中对应于第3显示装置13的垂直图像数据VD_LCD3(RX),而不会存取垂直图像数据VD_MCU(TX)中对应于第1显示装置11的垂直图像数据VD_LCD1(RX)。

[0070] 另一方面,第3驱动电路131依据第3水平有效数据时间间隔t_{HD3_delay}控制第3显示装置13开始存取水平图像数据HD_MCU(TX)。接着,第3显示装置13依据第3水平有效数据时间t_{HD3}撷取水平图像数据HD_MCU(TX),并在第3水平有效数据时间t_{HD3}结束后停止撷取水平图像数据HD_MCU(TX)。在本实施例中,第1显示装置11存取完整的水平图像数据HD_MCU(TX)

以及对应于第2显示装置12的垂直图像数据VD_LCD2(RX)。

[0071] 应当注意的是,在本申请的图6至图16的实施例中,显示装置可以通过数据使能信号DE来控制显示效果,但本申请不限于此。在上述图6至图16的三个实施例或是其他的实施例中,处理器10还可以进一步输出像素时钟信号DCLK、垂直同步信号VS以及水平同步信号HS,以对应具有不同运作方式的显示装置。

[0072] 综上所述,本申请实施例的多屏显示系统通过一个处理器控制多个显示装置的硬件接线方式(多个显示装置共用一个处理器的多个系统数据引脚),降低应用本申请的多屏显示系统的具有多屏显示功能的产品的处理器的使用量及其外围器件,从而降低具有多屏显示功能的产品的成本,缩小具有多屏显示功能的产品的体积。另外,多屏显示系统也可通过处理器发送包括第1垂直有效数据时间至第n垂直有效数据时间、以及第1水平有效数据时间以及第n水平数据有效时间的有效数据时间,使n个显示装置中的每一个通过对应于数据使能信号的有效数据时间分别撷取对应的垂直图像数据以及水平图像数据,以实现一个处理器控制多个显示装置的技术功效。

[0073] 虽然在本申请的图式中包含了以上描述的组件,但不排除在不违反发明的精神下,使用更多其他的附加组件,已达成更佳的技术效果。

[0074] 虽然本发明使用以上实施例进行说明,但需要注意的是,这些描述并非用于限缩本发明。相反地,此发明涵盖了所属技术领域中的技术人员显而易见的修改与相似设置。所以,权利要求范围须以最宽广的方式解释来包含所有显而易见的修改与相似设置。

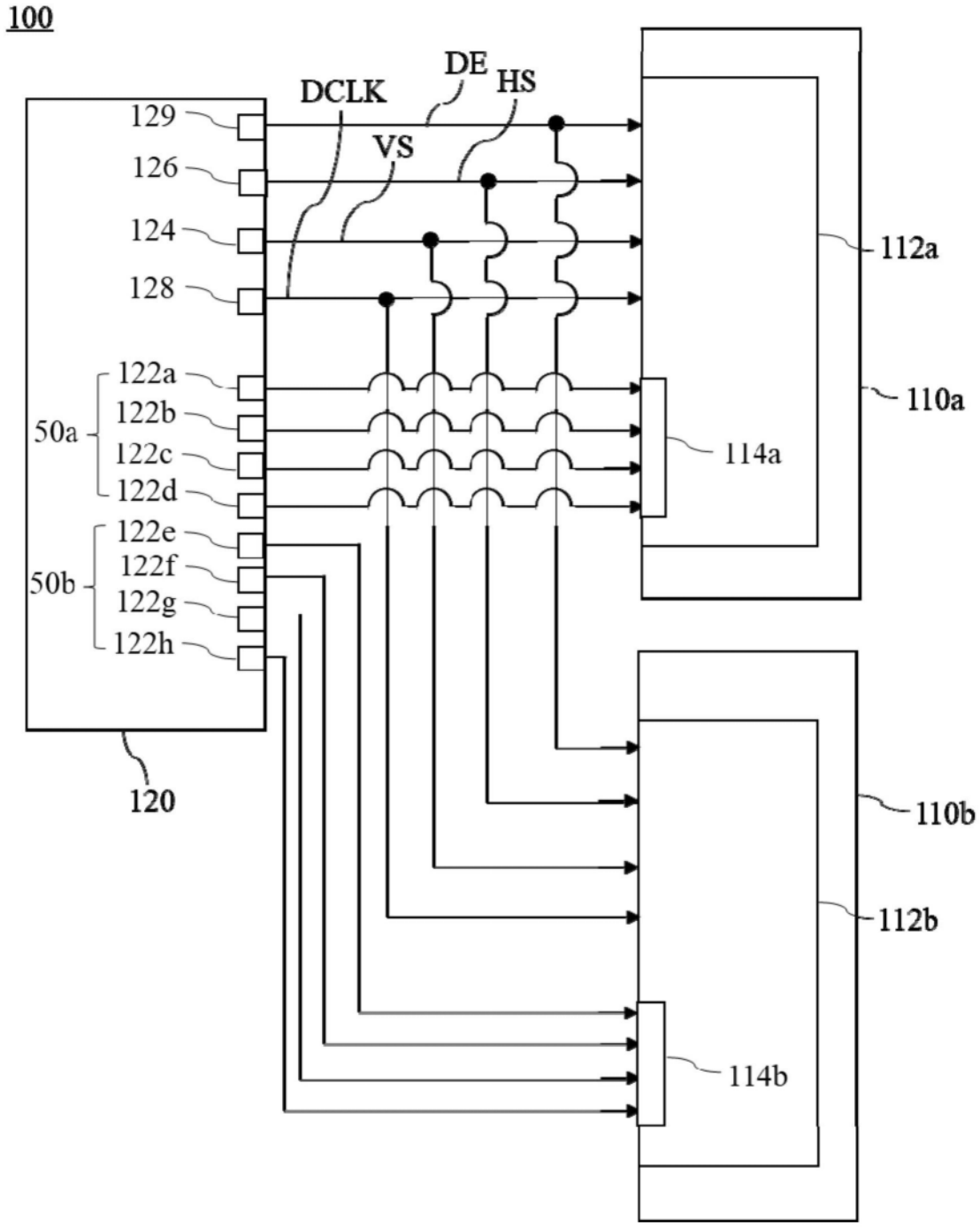

100
DCLK
DE
HS
VS
129
126
124
128
122a
122b
122c
122d
122e
122f
122g
122h
50a
50b
120
112a
110a
114a
110b
112b
114b

图1

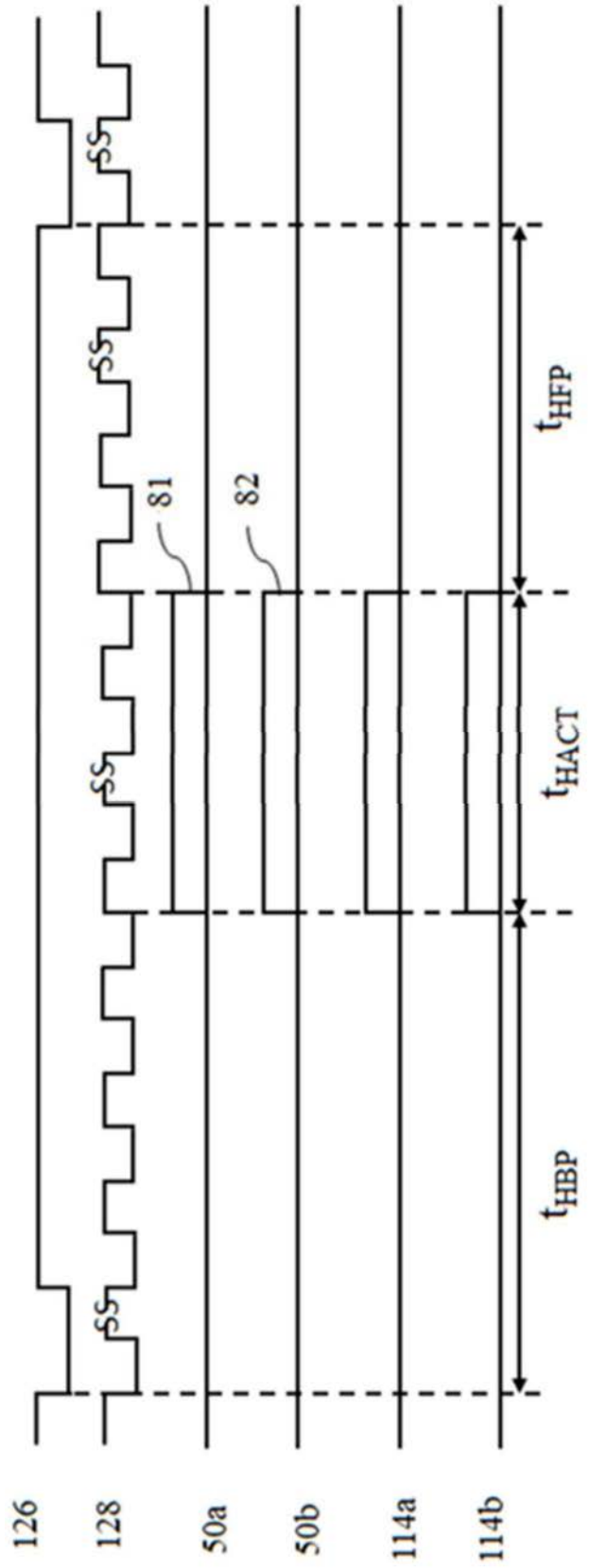


图2

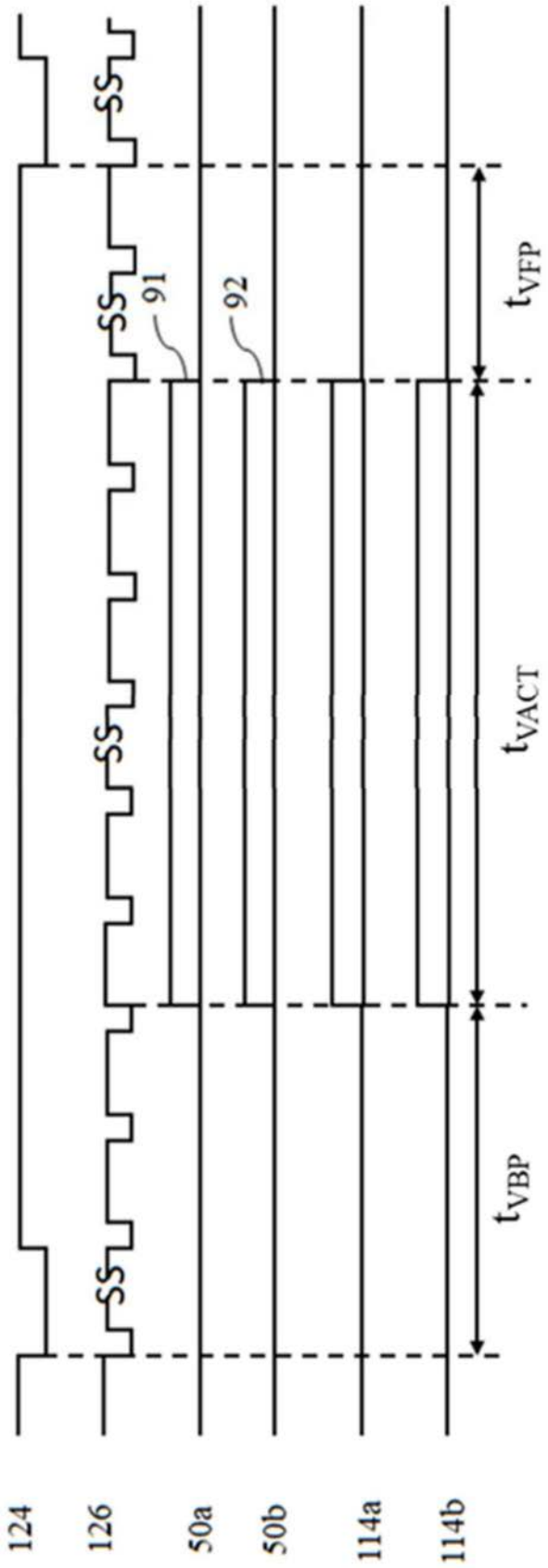


图3

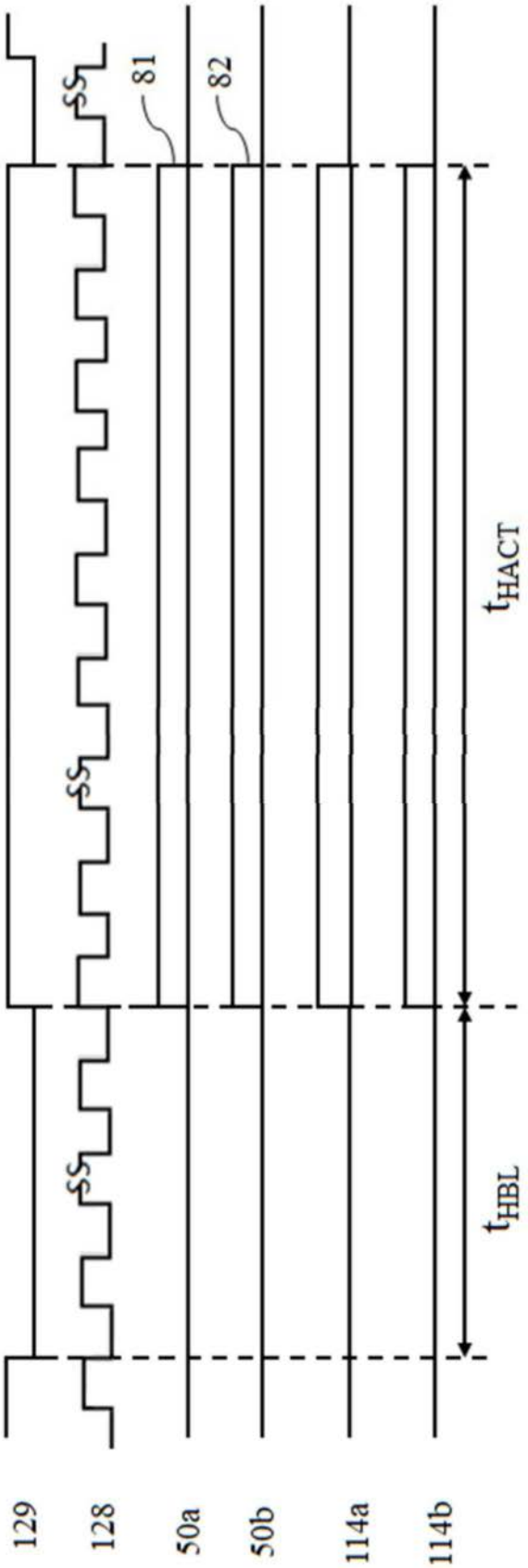


图4

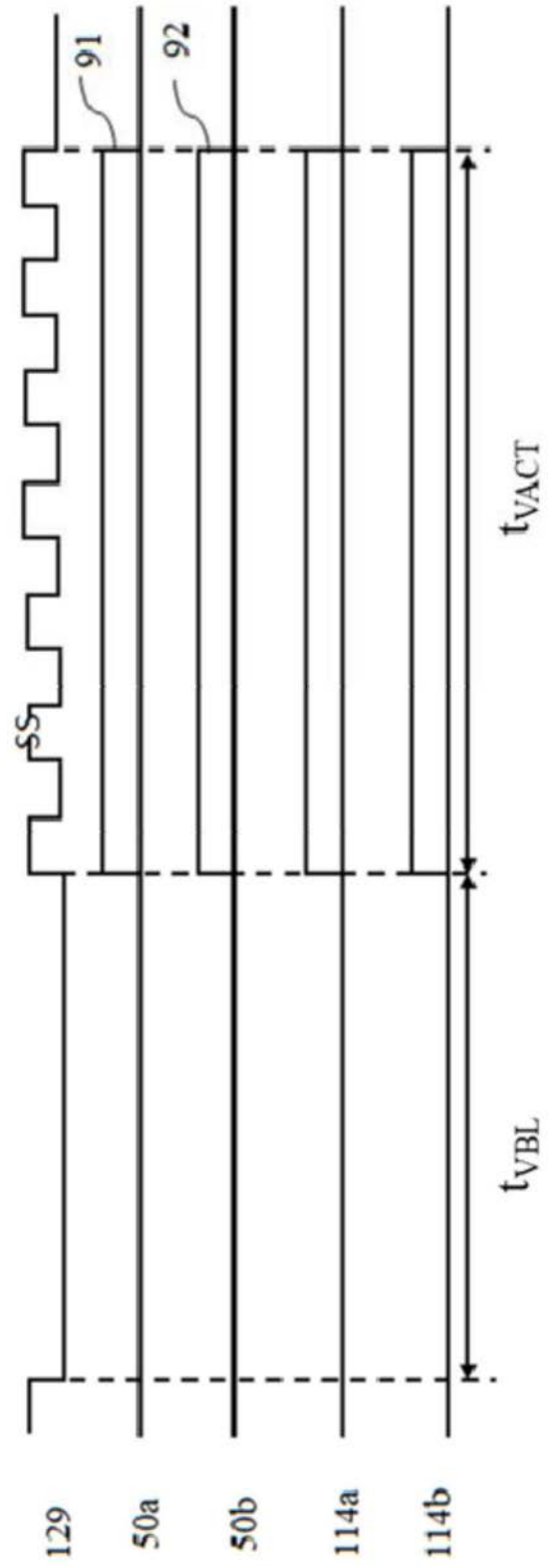


图5

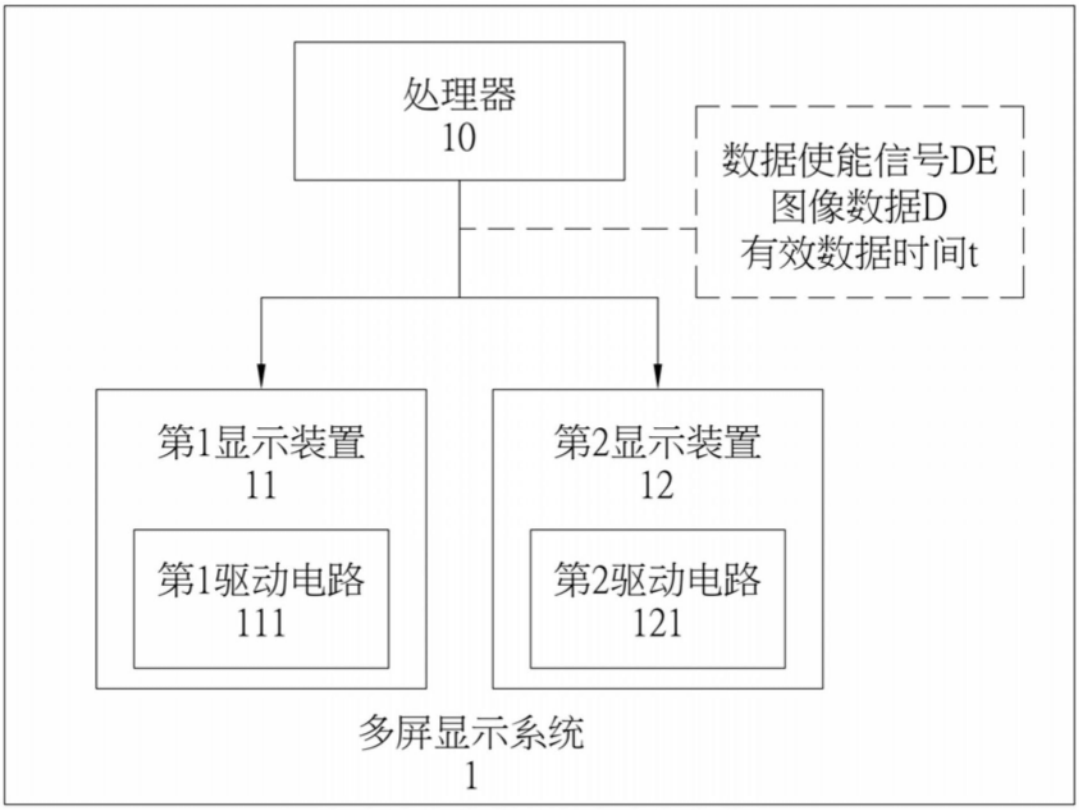

处理器
10
数据使能信号DE
图像数据D
有效数据时间t
第1显示装置
11
第1驱动电路
111
第2显示装置
12
第2驱动电路
121
多屏显示系统
1

图6

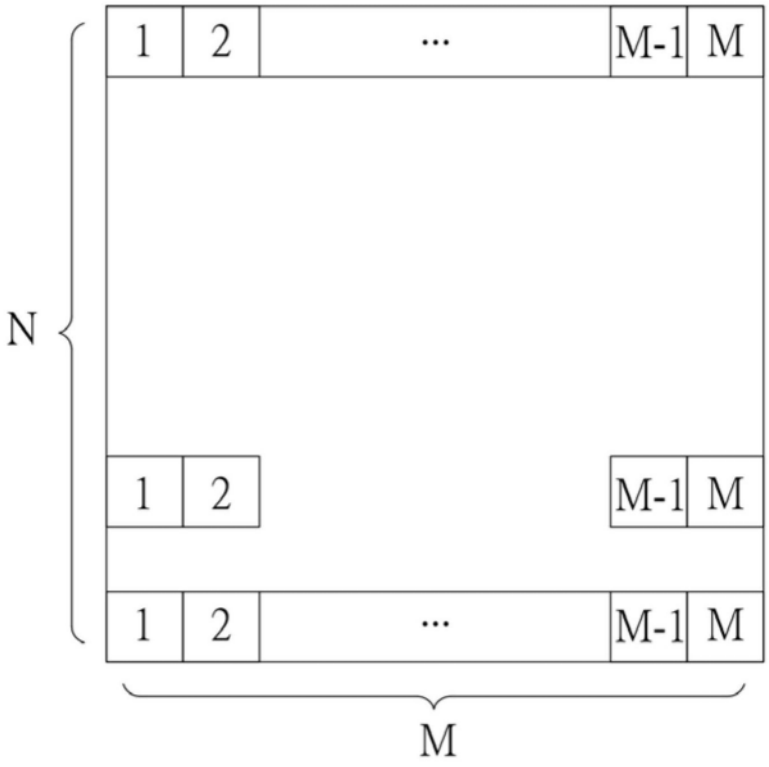

1
2
…
M-1
M
N
M

图7

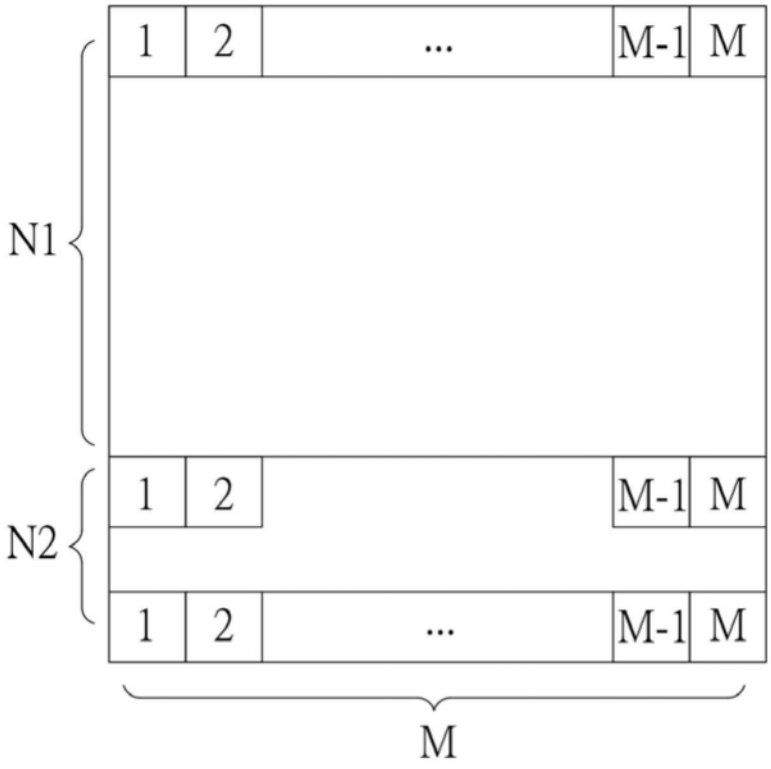


图8

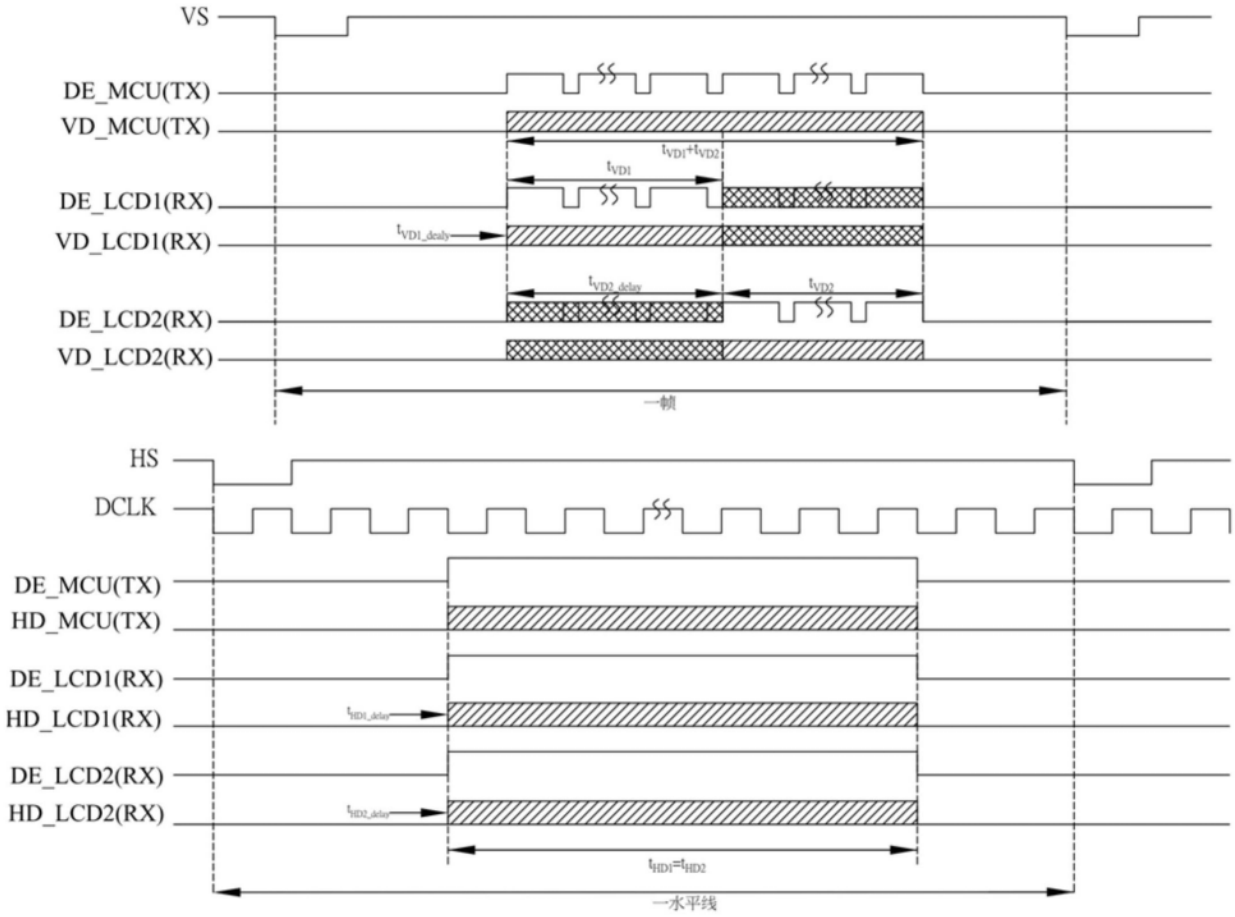

VS
DE_MCU(TX)
VD_MCU(TX)
tVD1+tVD2
tVD1
DE_LCD1(RX)
VD_LCD1(RX)
tVD1_dealy
tVD2_delay
tVD2
DE_LCD2(RX)
VD_LCD2(RX)
一帧
HS
DCLK
DE_MCU(TX)
HD_MCU(TX)
DE_LCD1(RX)
HD_LCD1(RX)
tHD1_delay
DE_LCD2(RX)
HD_LCD2(RX)
tHD2_delay
tHD1=tHD2
一水平线

图9

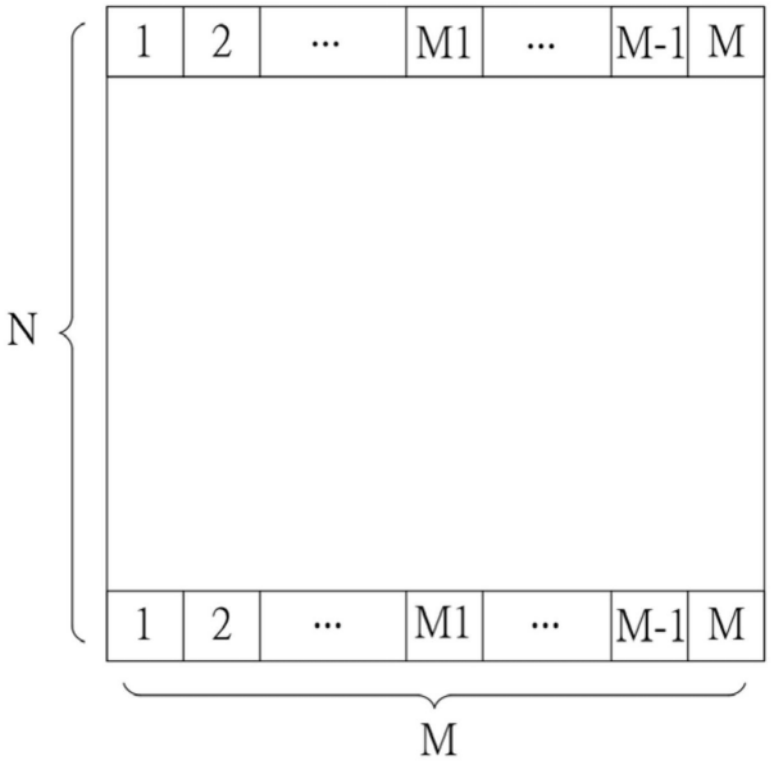


图10

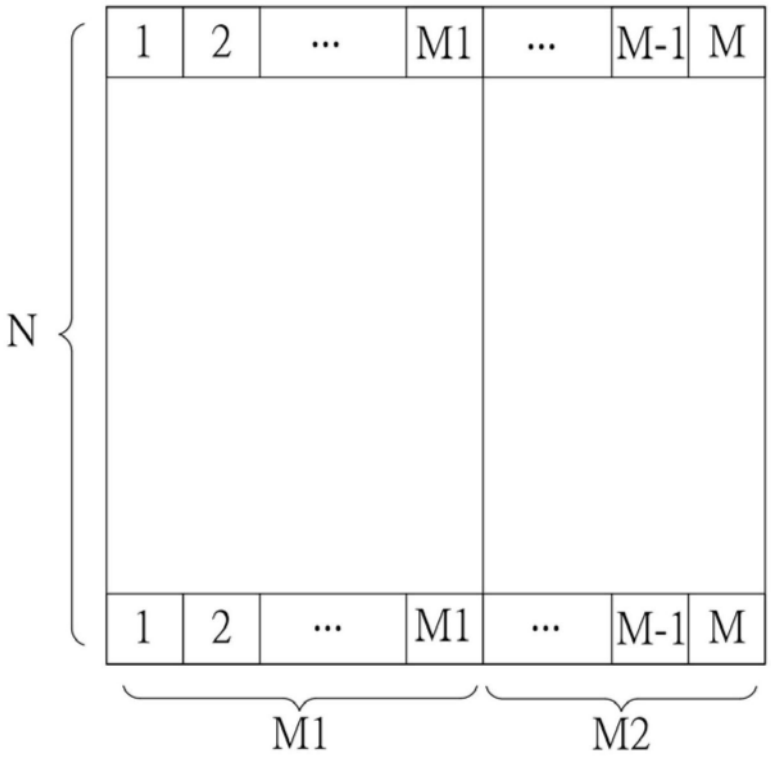


图11

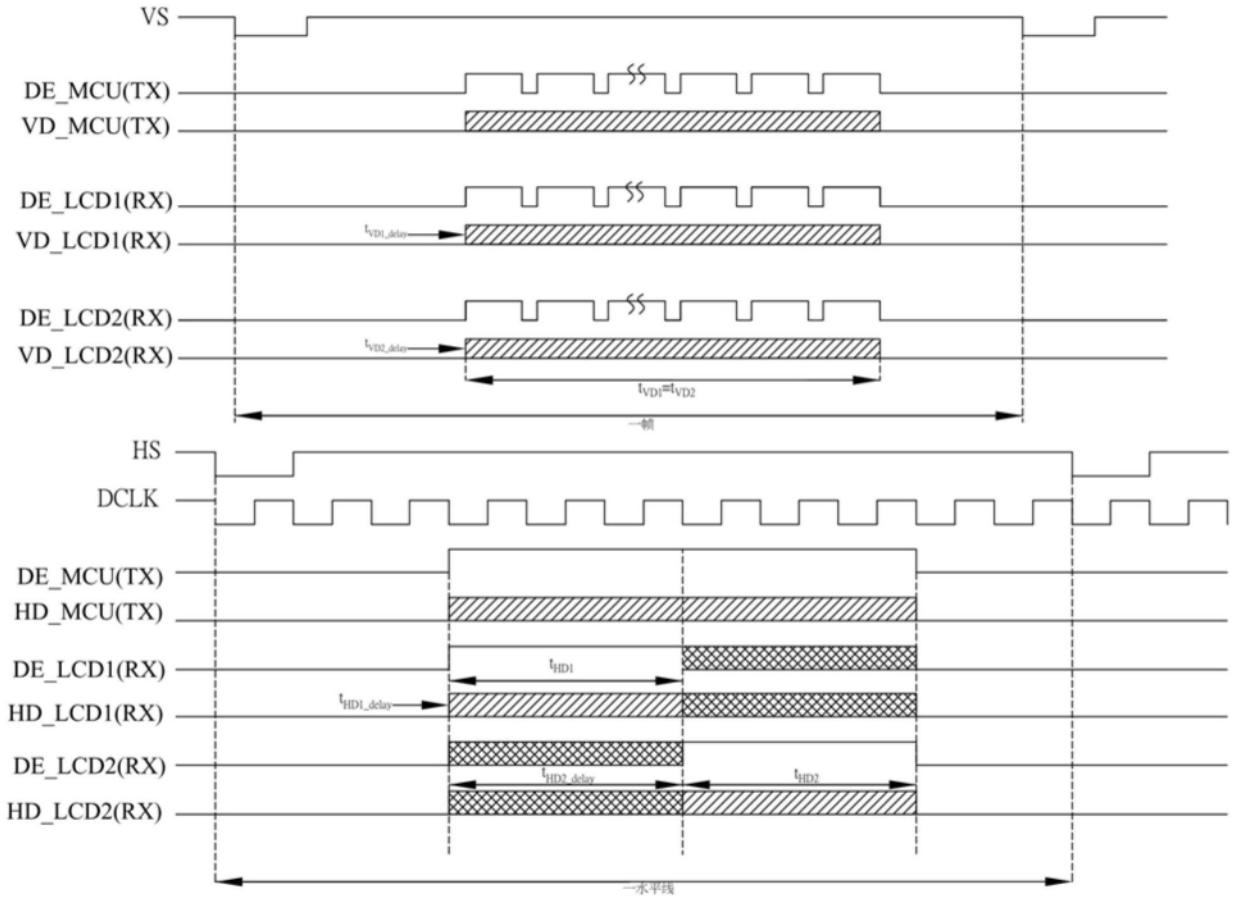

VS
DE_MCU(TX)
VD_MCU(TX)
DE_LCD1(RX)
VD_LCD1(RX)
DE_LCD2(RX)
VD_LCD2(RX)
tVD1_delay
tVD2_delay
tVD1=tVD2
一帧
HS
DCLK
DE_MCU(TX)
HD_MCU(TX)
DE_LCD1(RX)
HD_LCD1(RX)
DE_LCD2(RX)
HD_LCD2(RX)
tHD1
tHD1_delay
tHD2_delay
tHD2
一水平线

图12

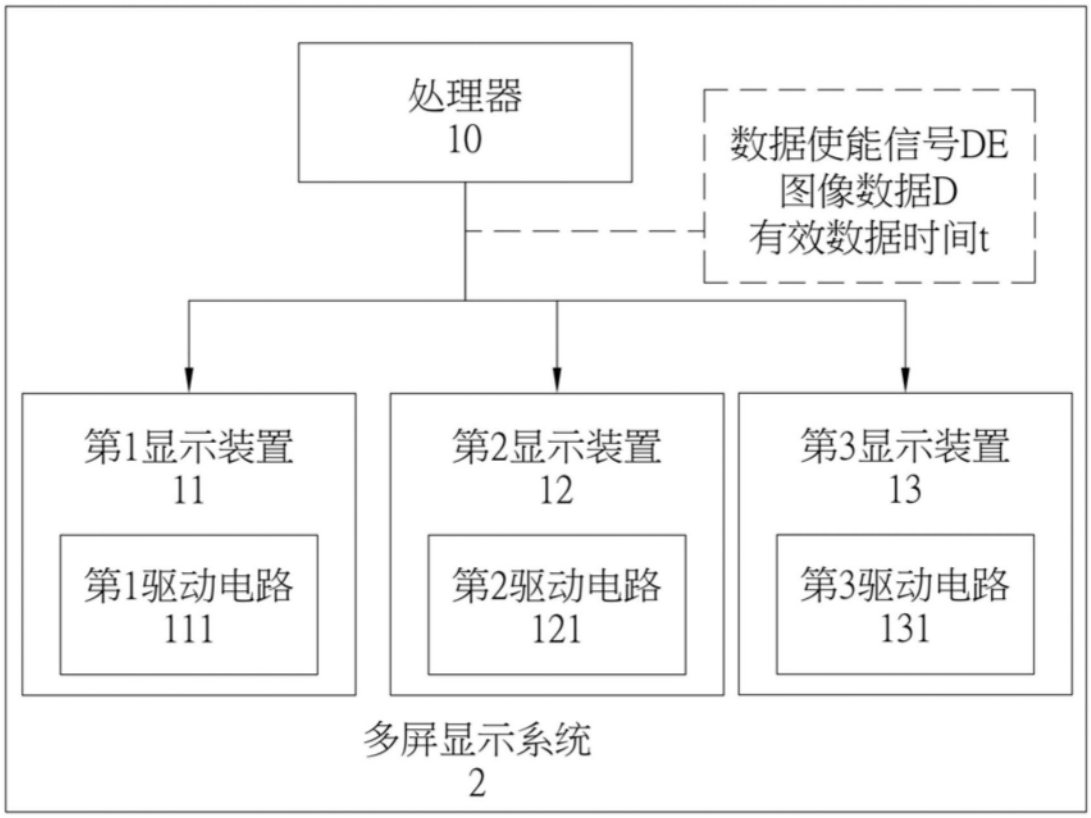

处理器
10
数据使能信号DE
图像数据D
有效数据时间t
第1显示装置
11
第1驱动电路
111
第2显示装置
12
第2驱动电路
121
第3显示装置
13
第3驱动电路
131
多屏显示系统
2

图13

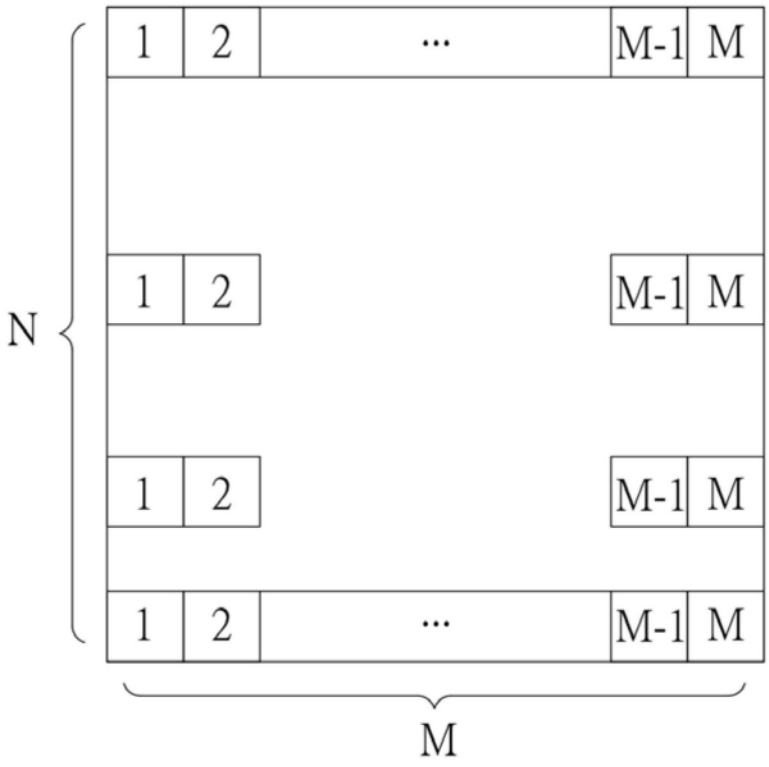

1
2
…
M-1
M
N
M

图14

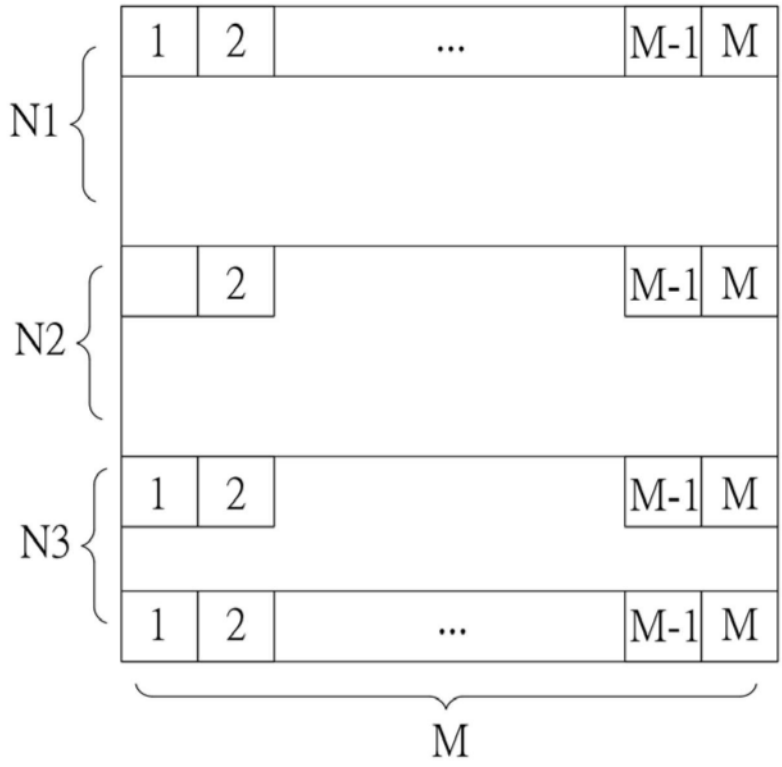


图15

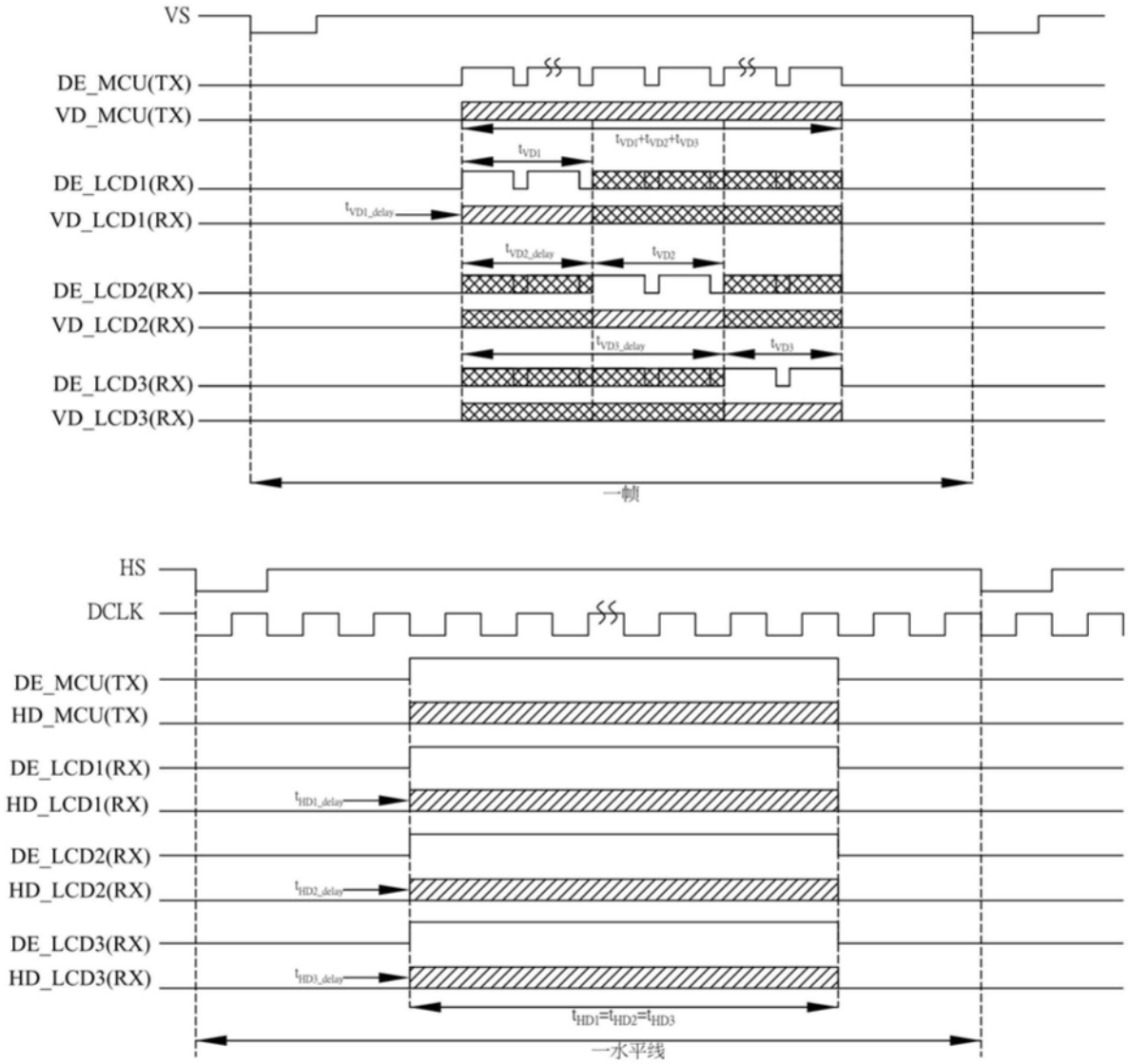

VS
DE_MCU(TX)
VD_MCU(TX)
tVD1
tVD1+tVD2+tVD3
DE_LCD1(RX)
tVD1_delay
VD_LCD1(RX)
tVD2_delay
tVD2
DE_LCD2(RX)
VD_LCD2(RX)
tVD3_delay
tVD3
DE_LCD3(RX)
VD_LCD3(RX)
一帧
HS
DCLK
DE_MCU(TX)
HD_MCU(TX)
DE_LCD1(RX)
tHD1_delay
HD_LCD1(RX)
DE_LCD2(RX)
tHD2_delay
HD_LCD2(RX)
DE_LCD3(RX)
tHD3_delay
HD_LCD3(RX)
tHD1=tHD2=tHD3
一水平线

图16