

公告本

396451

申請日期	87 年 9 月 2 日
案 號	87114572
類 別	H01C 21/3065

A4
C4

396451

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	增進蝕刻均勻性的裝置及其方法
	英 文	Apparatus for improving etch uniformity and methods therefor
二、發明 創作人	姓 名	(1) 羅傑·派屈克 Patrick, Roger (2) 菲利普·瓊斯 Jones, Phillip L.
	國 籍	(1) 英國 (2) 美國
	住、居所	(1) 美國加州山景市威茲路102號 102 Whit's Road, Mountain View, CA 94040, U.S.A. (2) 美國加州費蒙特昆撓特路一五〇號 150 Quinault Way, Fremont, CA 94539, USA
三、申請人	姓 名 (名稱)	(1) 泛林股份有限公司 Lam Research Corporation
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國加州·費蒙特·顧盛公園路四六五〇號 4650 Cushing Parkway, Fremont, CA 94538- 6401, USA
	代 表 人 姓 名	(1) 理查·羅夫格蘭 Lovgren, Richard H.

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國 (地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

美國

1997 年 9 月 9 日 08/925,985

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

發明領域

本發明有關半導體基底之處理。尤其，本發明有關於電漿處理室中蝕刻半導體基底時提高蝕刻均勻性之方法及裝置。

製造半導體積體電路(I C)或平板顯示器時，常須罩住基底並蝕刻形成所欲圖案於基底面上。雖已有不同蝕刻技術，經發現適當電漿處理室中進行電漿強化蝕刻有利提高蝕刻輪廓，蝕刻選取性，及基底直通率等。

電漿強化蝕刻時，先以適當光阻技術罩住其上具一層以上之基底。例如，此類光阻技術涉及沈積光阻層於欲蝕刻之層頂，利光阻材料曝光於接觸或步進光蝕系統中對光阻層定圖案，之後，光阻材料顯影形成光罩以利後續蝕刻。基底然後引入電漿處理室，其中由適當蝕刻源氣體發出電漿，電漿中反應蝕刻物的擊未受光罩保護之基底區，留下所欲圖案。

為利討論，圖1所示簡化電漿處理系統，包含基底102置於電漿處理室104內，基底102置於一夾頭106頂，此夾頭為靜電式或具機械夾子之夾頭，於蝕刻時保持基底102定位。經過淋噴頭108令適當蝕刻源氣體釋出至電漿處理室中電漿區110。蝕刻源氣體之釋出可經由電漿處理室內氣環或電漿處理室壁內之氣口。利用一或以上R F電源施加R F電力至電漿處理室電極，如淋噴頭108及／或夾頭，點燃蝕刻源氣體，形成電漿雲112於基底102上。然後電漿雲112之反應物蝕刻

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明書 ()

電漿處理室 1 0 2 露出區。再經出口 1 2 6 排出蝕刻副產物。

檢視蝕刻後基底發現有優先邊緣效應，令整個基底表面之蝕刻率不均勻。優先邊緣效應造成基底邊緣蝕刻率遠大於基底其他區，即中央區。參考圖 1，優先邊緣效應造成基底邊緣 1 2 0 附近蝕刻率大於基底其他區。此優先邊緣效應源於局部反應耗竭區存在於基底 1 0 2 中央。隨反應物與大塊基底表面反應時，此局部反應耗竭區之反應物密度降低。反應耗竭於基底邊緣較不明顯，因邊緣處較小供反應之基底表面。因此，基底邊緣之反應物密度較高（即圖 1 基底邊緣 1 2 0）。因基底邊緣之反應密度相對局部反應耗竭區之反應密度高，即易存在於基底中央附近，基底邊緣之蝕刻率較高。基底邊緣 1 2 0 之反應物有些回擴散。回擴散之方向如圖 1 箭頭 1 3 0 所示，引入多餘反應物至基底邊緣，乃提高基底邊緣處蝕刻率。

圖 2 為一八吋晶圓蝕刻率之筒圖，顯示基底邊緣點 2 0 2 及 2 0 4 處優先邊緣效應。因基底中央附近有局部反應耗竭區，點 2 0 6 蝕刻率較基底邊緣處蝕刻率低（點 2 0 2 及 2 0 4）。

為提高基底之蝕刻均勻性，已有方式補償上述優先邊緣效應。一例中，反應源氣體優先流至基底中央區。例如安排淋噴頭 1 0 8 之注入口。如多數注入口位於基底 1 0 2 中央區，相對基底邊緣區而言。因此，較多量反應氣體引向基底 1 0 2 中央區（局部反應耗竭區發生之處）

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(3)

。如此，優先注入提高遭遇局部反應耗竭之區中反應物密度。

基底 102 中央區之反應物密度提高乃提高此區之蝕刻率。根據淋噴頭注入口圖案之設計，優先注入可能提高中央區之蝕刻率進而超過基底邊緣。例如，圖 3 說明基底之蝕刻率簡圖，其中使用優先注入提高基底 102 中央區之反應物密度及蝕刻率。如圖 3 所示，因基底中央區反應物密度提高，點 302 附近蝕刻率增加。點 304 及 306 處再次因優先邊緣效應提高蝕刻率。

如圖 3 所示，仍存有低蝕刻率之局部區，如點 308 及 310 附近。雖然優先注入可改善蝕刻均勻性，基底之蝕刻率差異仍太大，致一些蝕刻程序不佳。

鑒於上述，蝕刻半導體基底於電漿處理室中仍須有提高蝕刻均勻性之技術。

發明概述

本發明一例有關於電漿處理室中蝕刻半導體基底提高蝕刻均勻性之方法。此方法包含將半導體基底放入犧牲基底支架。蝕刻結構有一犧牲蝕刻部包圍半導體基底而面對電漿處理室之電漿，同時令電漿蝕刻半導體基底之第一面及犧牲蝕刻部之第一面。犧牲蝕刻部之第一面由可為電漿蝕刻之材料形成。

此方法另包含放置半導體基底及犧牲基底支架於電漿處理室中，亦包含經由釋入電漿處理室之蝕刻源氣體打擊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 4)

電漿。此外，亦包含使用電漿同時蝕刻半導體基底第一面及犧牲蝕刻部第一面。

另一例中，本發明有關犧牲基底支架可於蝕刻半導體基底於電漿處理室中提高蝕刻均勻性。犧牲基底支架包含一犧牲蝕刻部包圍半導體基底。犧牲蝕刻部包含第一面係可由電漿蝕刻之材料，當半導體基底及犧牲基底支架置於電漿處理室內夾頭上，供蝕刻半導體基底。當半導體基底與犧牲基底支架置於電漿處理室內夾頭上，犧牲蝕刻部第一面與半導體基底第一面實質平行，乃允許電漿同時蝕刻半導體基底第一面及犧牲蝕刻部第一面。

參考附圖由以上詳述可了解本發明以上及其他優點。

圖式簡要說明

本發明例示於附圖中，其中相似數字表相似元件。

圖 1 為簡化電漿處理系統。

圖 2 為整個晶圓之蝕刻率簡圖，顯示基底邊緣處優先邊緣效應。

圖 3 為圖 2 晶圓蝕刻率簡圖，其中使用優先注入減少優先邊緣效率。

圖 4 為犧牲基底支架頂視圖，包含本發明一例之犧牲蝕刻部。

圖 5 根據本發明一例，說明組合犧牲蝕刻部及基底置於電漿處理室中供蝕刻。

圖 6 根據本發明一特性例示使用犧牲基底支架提高蝕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明書)

刻均勻性之步驟。

主要元件對照

102	基底
104	電漿處理室
106	夾頭
108	淋噴頭
110	電漿區
112	電漿雲
126	出口
120	邊緣
202	點
204	點
206	點
302	點
304	點
306	點
308	點
310	點
402	犧牲蝕刻部
404	內圓周
406	外圓周
408	支承部
502	淋噴頭

五、發明說明 6)

- 504 電漿雲
- 510 虛線
- 512 虛線

較佳實施例詳細說明

參考附圖所示一些實施例詳述本發明。圖中提出一些細節以利了解本發明全貌。熟習本技術者自可據以修改，一些例中並未詳述習知步驟，以免模糊本發明內容。

根據本發明一特性，可於蝕刻半導體基底時使用犧牲基底支架有利地減少優先邊緣效應造成蝕刻率不均勻。犧牲基底支架包含一犧牲蝕刻部包圍半導體基底，其表面平行於欲蝕刻基底之表面。較佳構成犧牲蝕刻部表面之材料蝕刻副產品可揮發，即由電漿處理室可輕易抽去副產物，而不會留下。

蝕刻時，允許電漿雲延伸入犧牲蝕刻部，令優先邊緣效應之要提高犧牲蝕刻部之蝕刻率。就基底上（可能為犧牲蝕刻部內部上），蝕刻率因此更均勻。

注意本發明應用於電漿處理系統。例如，本發明可應用於電漿處理室，如適用乾蝕刻，反應離子蝕刻（P I E），磁強化反應離子蝕刻（M E R I E），電子回旋共振（E C R）等。注意不論電漿為高密度電漿（如密度大於 $10^{13} / \text{cm}^3$ ），或至電漿能量經由電容耦合平行極板傳送，經由 E C R 微波電漿源，或經由電感耦合 R F 源，如螺旋共振器等，及轉換器耦合電漿等，上述均成立由加州

五、發明說明()

Fremont 之 Lam Research 公司由等 TCP(商標)系統。一較佳例中，本發明應用 Lam Research 公司之 9 6 0 0 電漿蝕刻器家族(如 9 6 0 0，9 6 0 0 S E 或 9 6 0 0 P T X)。

參考圖式及以下說明可完全接受本發明特性及優點。圖 4 為犧牲基底支架頂視圖，包含一犧牲蝕刻部 4 0 2，其具一內圓周 4 0 4 及一外圓周 4 0 6。犧牲蝕刻部 4 0 2 表面所形成之材料可為蝕刻半導體基底之相同電漿所蝕刻。內圓周 4 0 4 內存有一基底支承部 4 0 8，係為犧牲基底支架中一凹處或中空處。蝕刻時，基底置於基底支承部 4 0 8 內，而包含基底於其內之犧牲基底支架置於電漿處理室中夾頭或工件支架頂部而蝕刻。

圖 5 說明犧牲蝕刻部 4 0 2 及基底 1 0 2 於蝕刻時置於夾頭 1 0 6 頂。淋噴頭 5 0 2 具均勻注入口圖案，如後述亦可視需要為優先注入式淋噴頭。蝕刻時，電漿雲 5 0 4 蓋住基底 1 0 2，較佳伸越犧牲蝕刻部 4 0 2 之邊緣。犧牲蝕刻部 4 0 2 與基底表面積結合，對於電漿雲宛如較大基底。因此，即使結合結構之邊緣優先蝕刻，對於整個基底蝕刻均勻性影響甚小。參考圖 5，使用犧牲蝕刻部 4 0 2 令虛線 5 1 0 及 5 1 2 間蝕刻率更均勻。

此外，反應物回擴散對基底 1 0 2 蝕刻率影響較小。此乃因回擴散主要影響犧牲蝕刻部之蝕刻率，對基底 1 0 2 之邊緣蝕刻率影響甚小。整個犧牲蝕刻部 4 0 2 或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 8)

表面較佳形成材料之蝕刻副產物易揮發。因此，蝕刻犧牲蝕刻部留下極小污物或殘物於電漿處理室 2 5 0。

例如，純鋁犧牲蝕刻部極適合金屬化蝕刻（如使用含氯蝕刻劑 C 1 2 / B C 1 3 蝕刻基底 1 0 2 頂部上鋁合金層）。犧牲蝕刻部 4 0 2 可與受蝕刻之基底層為相同材料。然而並非必須，只要該材料可為電漿雲蝕刻，且引起極少污物或留下極少殘物。

一例中，犧牲基底支架之結構為基底 1 0 2 頂面與犧牲蝕刻部 4 0 2 頂面同平，但非必須。犧牲基底支架可與基底 1 0 2 同厚，如此基底支承部基本上為一透過犧牲基底支架之中空處，允許基底背側於蝕刻時直接接觸夾頭或工件支架。代之，犧牲基底支架可為原板材，其內控空以容納基底 1 0 2，如此基底於蝕刻時放入犧牲基底支架。

取決基底 1 0 2 尺寸，犧牲蝕刻部 4 0 2 應夠寬使整個基底之蝕刻均勻。但不當之寬犧牲蝕刻部 4 0 2 可能引入過多目標蝕刻材料至電漿處理室，乃降低其內反應物濃度，不當降低整個蝕刻率及良率。反之，過窄犧牲蝕刻部不足補償優先邊緣效應而改善基底之蝕刻均勻性。

一般，基底 1 0 2 可為任何尺寸，形狀為圓形（如晶圓），或任何所欲幾何形狀（玻璃板為方形或矩形）。犧牲蝕刻部可為適當形狀，使基底恰巧放入犧牲蝕刻部內，不論基底特定形狀。

電漿處理室內淋噴頭之注入口安排為適當形狀以提高均勻性。圖 5 例中，淋噴頭 5 0 2 之注入口安排就其較低

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 9)

表面為均勻圖案，但可使用其他注入圖案（如優先注入圖案）。例如，注入口可集中於淋噴頭中央周圍（如 1 吋圓內），可實驗定出淋噴頭注入口圖案與犧牲蝕刻部結構之特定組合，以適合特定電漿處理室之特定蝕刻。

圖 6 例示使用犧牲基底支架提高蝕刻均勻性之步驟，為本發明一特性。步驟 6 0 2 中，提供一犧牲基底支架。步驟 6 0 4 中，基底放入基底支架，允許電漿一起蝕刻犧牲基底支架之犧牲蝕刻部及基底表面。根據 6 0 6 中，犧牲基底支架與基底放入電漿處理室中工件支架（如夾頭）上。步驟 6 0 8 中，電漿處理室中電漿由所釋出蝕刻源氣體打擊同時蝕刻半導體基底表面及犧牲蝕刻部之表面（步驟 6 1 0），乃提高基底表面之蝕刻均勻性。

實例

一例中，以上述 9 6 0 0 S E 電漿處理室蝕刻 8 吋晶圓，其上具含鋁及 1 % 矽之金屬化層。蝕刻用淋噴頭為優先中心注入式，注入口定於頭 1 吋圓之中心內。犧牲蝕刻部約 0 . 5 6 吋寬，為 9 9 . 9 9 9 % 純鋁。使用表 1 蝕刻方式，觀察無犧牲基底支架進行蝕刻之蝕刻率均勻性。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(10)

表 1

室 壓 (mTorr)	12
頂 功 率 (W)	350
底 功 率 (W)	132
BCl ₃ 流 率 (sccm)	75
Cl ₂ 流 率 (sccm)	75
氮 冷 切 壓 力 (Torr)	8
期 間 (秒)	50

由前可見，本發明不需費時或昂貴蝕刻程序或蝕刻設備，有利地提高基底蝕刻均勻性。使用犧牲基底支架處理蝕刻均勻性問題可簡單低廉改裝現有電漿處理室，提供本發明優點，允許業者持續利用現有半導體製造設備。如此，本發明提出新穎有利結構，解決電漿處理室之優先邊緣效應問題。此方式並不同時目前之想法係減少使用反應物及電漿處理室污染，乃減少蝕刻時可受攻擊之消費性結構數。

經發現，本發明亦可減少聚合物沈積於淋噴頭 502 之量。蝕刻時隨光罩部分腐蝕並於電漿處理室 250 內形成聚合物時發生聚合物沈積。淋噴頭 502 上，聚合物優先沈積於無注入口之區。經使用犧牲蝕刻部 402 提高蝕刻率均勻性，不再須安排注入口為不均勻圖案（如形成優先注入圖案）。因此，注入口可均勻分佈於淋噴頭 502 較低表面，可減少優先沈積聚合物之面積。結果淋噴頭更

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

清淨，可延長清淨期間。

上述為本發明較佳例，本發明範圍包含各式修改及變化。以下申請專利範圍乃界定本發明真正之精神及範圍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 增進蝕刻均勻性的裝置及其方法)

一種於電漿處理室中提高蝕刻半導體基底均勻性之方法。方法包含放置半導體基底於犧牲基底支架中。犧牲基底支架令包圍半導體基底之犧牲蝕刻部面對電漿處理室中電漿，允許電漿同時蝕刻半導體基底第一面及犧牲蝕刻部第一面。犧牲蝕刻部第一面之材料可由電漿蝕刻。方法另包含放置半導體基底及犧牲基底支架於電漿處理室中。另亦包含由釋入電漿處理室之蝕刻源氣體打擊電漿。此外，包含使用電漿同時蝕刻半導體基底第一面及犧牲蝕刻部第一面。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：)

APPARATUS FOR IMPROVING ETCH UNIFORMITY AND METHODS THEREFOR

A method in a plasma processing chamber for improving etch uniformity while etching a semiconductor substrate. The method includes placing the semiconductor substrate into a sacrificial substrate holder. The sacrificial substrate holder is configured to present a sacrificial etch portion surrounding the semiconductor substrate to a plasma within the plasma processing chamber to permit the plasma to etch a first surface of the semiconductor substrate and a first surface of the sacrificial etch portion simultaneously. The first surface of the sacrificial etch portion is formed of a material capable of being etched by the plasma. The method further includes positioning the semiconductor substrate and the sacrificial substrate holder into the plasma processing chamber. There is also included striking the plasma from an etchant source gas released into the plasma processing chamber. Additionally, there is included simultaneously etching the first surface of the semiconductor substrate and the first surface of the sacrificial etch portion using the plasma.

訂

線

六、申請專利範圍

1 . 一種增進蝕刻半導體基底均勻性的方法，就電漿處理室而言，包含：

放置半導體基底於犧牲基底支架中，犧牲基底支架可令包圍半導體基底之犧牲基底支架面對電漿處理室中電漿，以允許電漿同時蝕刻半導體基底第一面及犧牲蝕刻部第一面，犧牲蝕刻部第一面形成之材料可由電漿所蝕刻；

於置半導體基底及犧牲基底支架於電漿處理室中；

由釋入電漿處理室之蝕刻源氣體打擊電漿；及

使用電漿同時蝕刻半導體基底第一面及犧牲蝕刻部第一面。

2 . 如申請專利範圍第 1 項之方法，其中半導體基底為一晶圓，而犧牲蝕刻部為包圍晶圓之一環。

3 . 如申請專利範圍第 1 項之方法，其中犧牲基底支架為一同心環包圍基底，半導體基底第二面直接接觸電漿處理室之夾頭。

4 . 如申請專利範圍第 1 項之方法，其中蝕刻為金屬化蝕刻，該材料合鋁。

5 . 如申請專利範圍第 4 項之方法，其中蝕刻源氣體含氯。

6 . 如申請專利範圍第 5 項之方法，其中電漿處理室為一電感耦合式電漿處理室。

7 . 如申請專利範圍第 1 項之方法，其中半導體基底為製造積體電路所用基底。

8 . 如申請專利範圍第 1 項之方法，其中電漿處理室

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

為一電感耦合式電漿處理室。

9. 如申請專利範圍第1項之方法，其中電漿處理室為一轉換器耦合式電漿處理室。

10. 如申請專利範圍第1項之方法，其中材料於電漿處理室內由電漿蝕刻時形成揮發性副產物。

11. 一種犧牲基底支架，於電漿處理室中蝕刻半導體基底時提高蝕刻均勻性，包含：

一犧牲蝕刻部，可包圍半導體基底，犧牲蝕刻部包含第一面，其材料係可供蝕刻半導體基底之電漿所蝕刻，此時半導體基底及犧牲基底支架置於電漿處理室內夾頭上，

其中犧牲蝕刻部之第一面與半導體基底之第一面平行，此時半導體基底及犧牲基底支架置於電漿處理室內夾頭上，乃允許電漿同時蝕刻半導體基底第一面及犧牲蝕刻部第一面。

12. 如申請專利範圍第11項之犧牲基底支架，其中半導體基底為晶圓，犧牲蝕刻部為包圍晶圓之一環。

13. 如申請專利範圍第11項之~~方法~~，其中犧牲基底支架為包圍基底之一環，半導體基底~~第一面~~直接接觸電漿處理室之夾頭。

14. 如申請專利範圍第11項之~~方法~~，其中電漿可蝕刻半導體基底之金屬化層，材料含鋁。

15. 如申請專利範圍第~~11~~~~5~~項之~~方法~~，其中電漿處理室為電感耦合電漿處理室。

16. 如申請專利範圍第11項之~~方法~~，其中半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

基底為製造積體電路用基底。

17. 如申請專利範圍第11項之方法，其中電漿處理室為電感耦合電漿處理室。

18. 如申請專利範圍第11項之方法，其中電漿處理室為高密度電漿處理室。

19. 如申請專利範圍第11項之方法，其中當材料於電漿處理室內受電漿蝕刻時產生揮發性副產物。

20. 一種增進蝕刻半導體基底均勻性的裝置，就電漿處理室而言，包含：

犧牲機構，包圍半導體基底，犧牲機構令其表面機構面對電漿處理室內電漿，允許電漿同時蝕刻半導體基底第一面及表面機構，此時半導體基底及犧牲機構置於電漿處理室中夾頭上，表面機構包含可由電漿蝕刻之材料，

其中表面機構實質平行半導體基底第一面，此時半導體基底及犧牲機構置於電漿處理室內夾頭上。

21. 如申請專利範圍第20項之方法，其中電漿可蝕刻半導體基底之金屬化層，材料含鋁。

22. 如申請專利範圍第21項之方法，其中材料包含純鋁。

23. 如申請專利範圍第20項之方法，其中電漿處理室為電感耦合電漿處理室。

24. 如申請專利範圍第20項之方法，其中材料於電漿處理室內受電漿蝕刻時產生揮發性副產物。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

原

396451

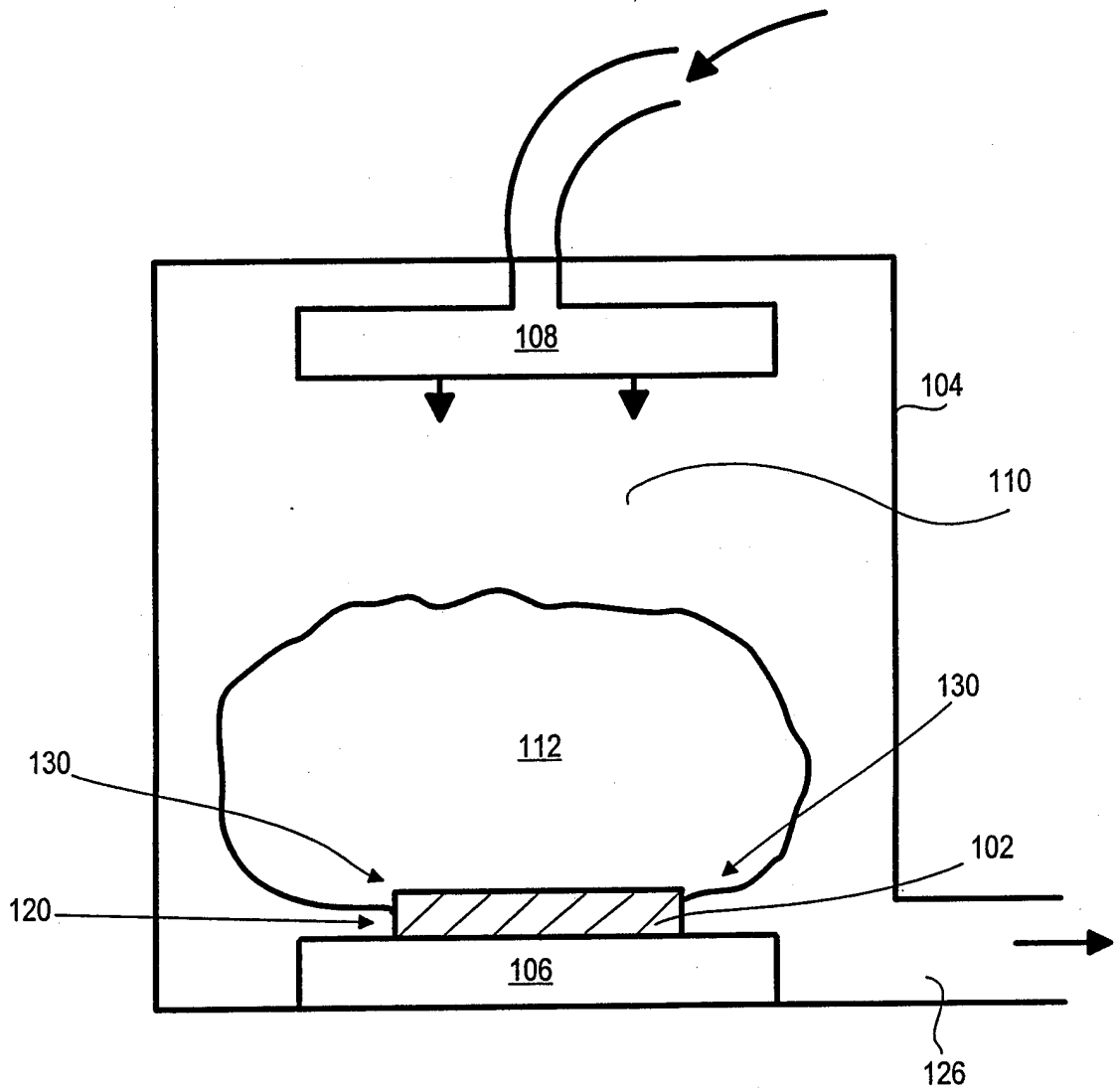


圖1

396451

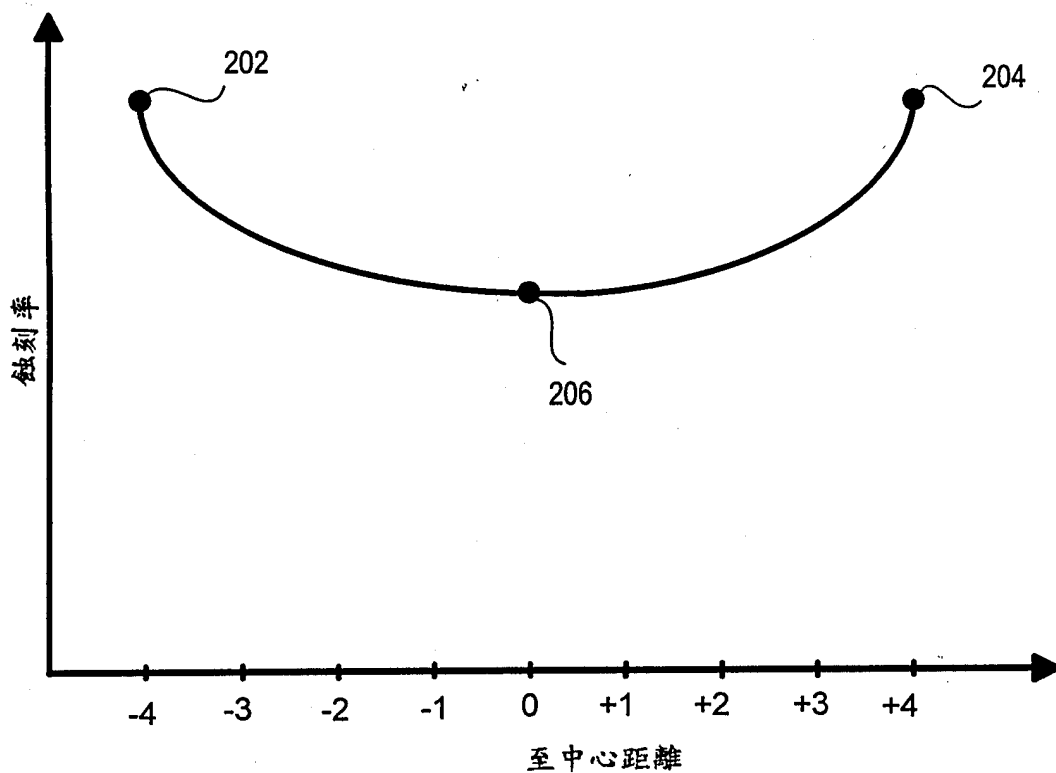


圖 2

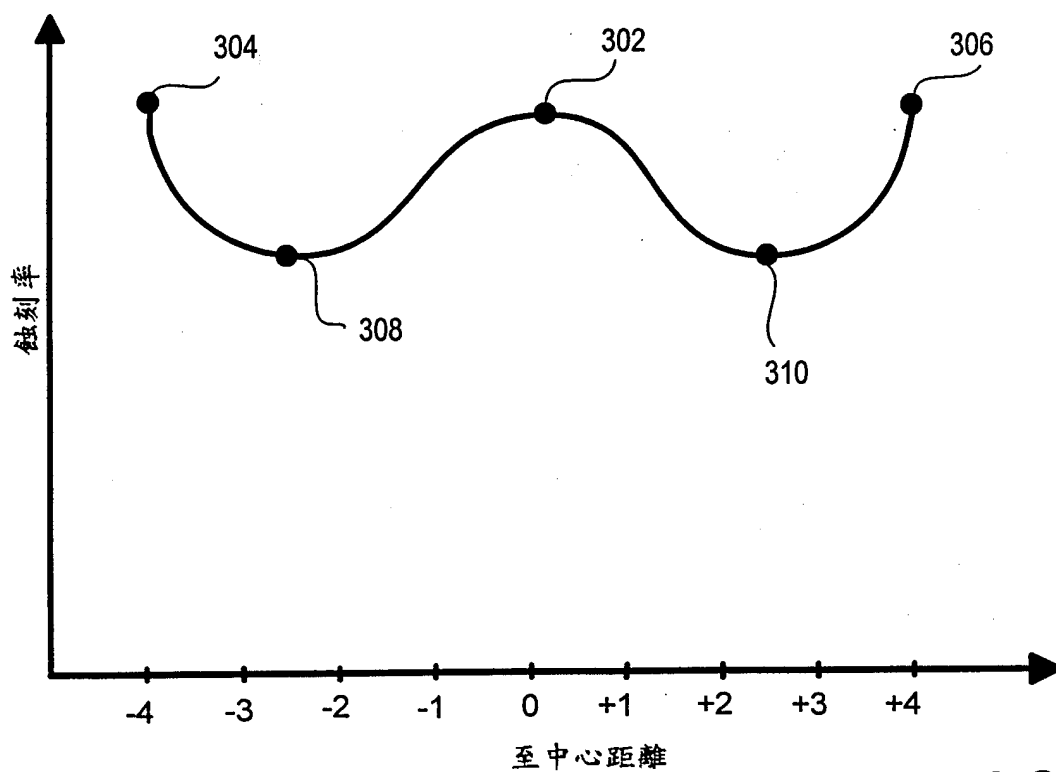


圖 3

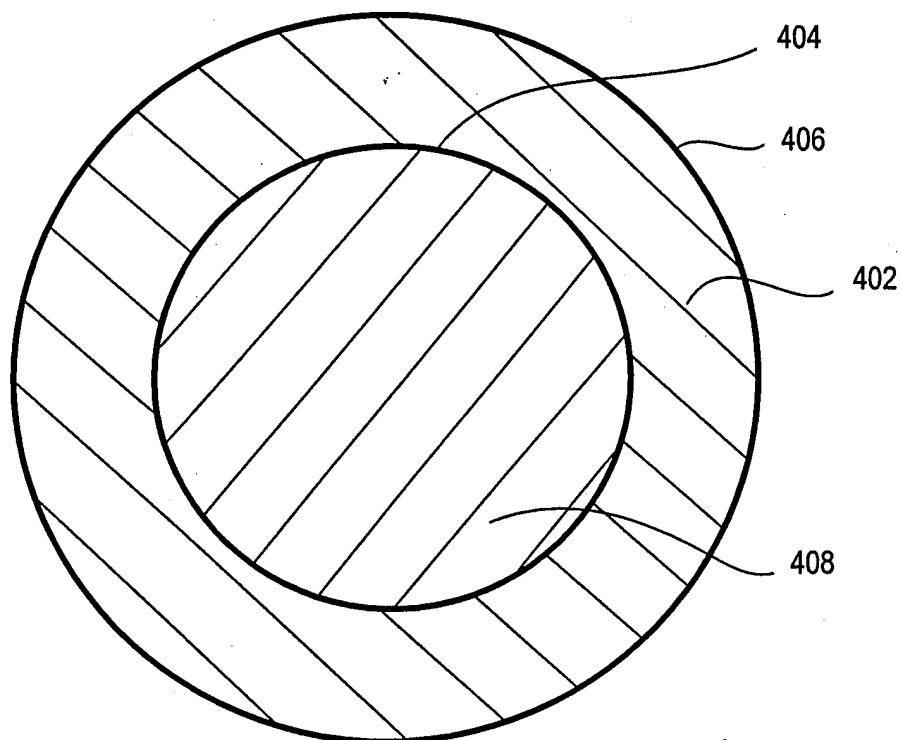


圖 4

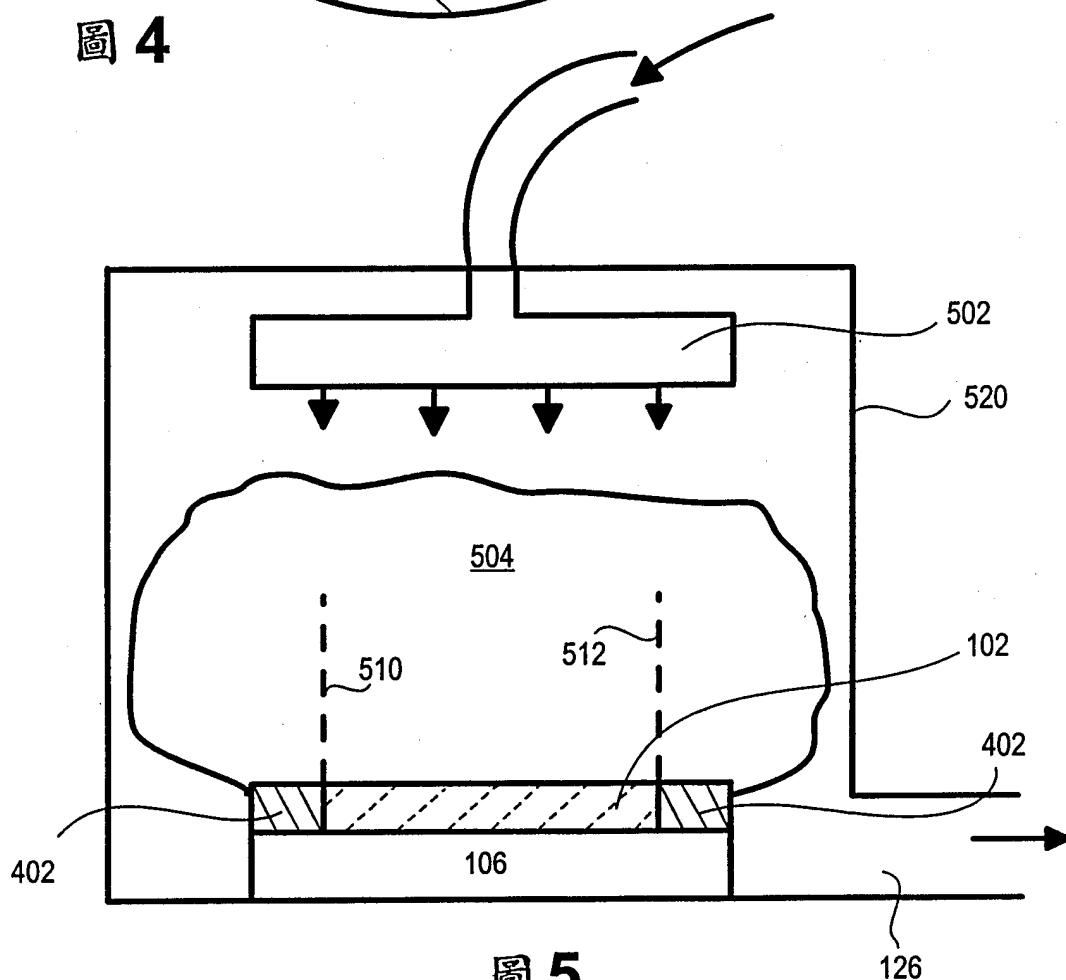


圖 5

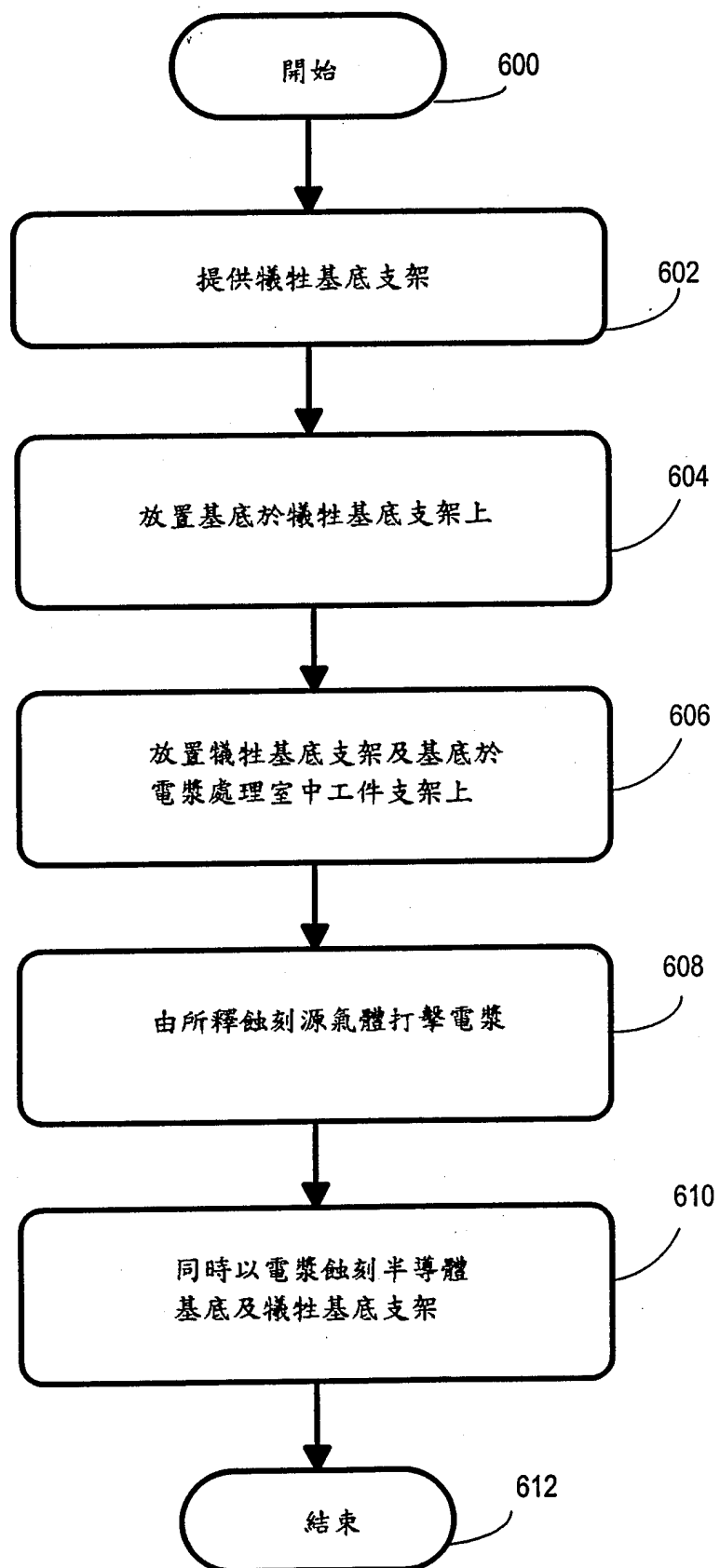


圖 6