

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6480057号
(P6480057)

(45) 発行日 平成31年3月6日(2019.3.6)

(24) 登録日 平成31年2月15日(2019.2.15)

(51) Int.Cl.

F I

H O 1 L 21/822 (2006.01)

H O 1 L 27/04 H

H O 1 L 27/04 (2006.01)

H O 1 L 27/04 D

H O 1 L 21/82 (2006.01)

H O 1 L 21/82 P

H O 1 L 27/06 (2006.01)

H O 1 L 21/82 W

H O 1 L 27/06 3 1 1 B

請求項の数 17 (全 21 頁)

(21) 出願番号 特願2018-78204 (P2018-78204)
 (22) 出願日 平成30年4月16日(2018.4.16)
 (62) 分割の表示 特願2017-524267 (P2017-524267)
 の分割
 原出願日 平成27年6月19日(2015.6.19)
 (65) 公開番号 特開2018-129534 (P2018-129534A)
 (43) 公開日 平成30年8月16日(2018.8.16)
 審査請求日 平成30年4月16日(2018.4.16)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110000350
 ポレール特許業務法人
 (72) 発明者 前田 敏
 東京都江東区豊洲三丁目2番24号 ルネ
 サスエレクトロニクス株式会社内
 (72) 発明者 森下 泰之
 東京都江東区豊洲三丁目2番24号 ルネ
 サスエレクトロニクス株式会社内
 (72) 発明者 田中 正徳
 東京都江東区豊洲三丁目2番24号 ルネ
 サスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

入出力パッドに接続される入出力セルと、

前記入出力セルに対しチップ端部が構成する1つの辺に沿う方向に配置され、第1の電源パッドと第1の電源配線に接続される第1の電源セルと、

前記入出力セルと前記第1の電源セルの外側の前記チップ端部の近傍に配置される第1のESD保護回路と、
を備え、

前記第1のESD保護回路は、第1の抵抗と、第1の容量と、第1のインバータと、第1のNチャネル型トランジスタと、を備える半導体装置。

【請求項2】

請求項1の半導体装置において、

第1の接地パッドと、第1の接地配線に接続される第1の接地セルと、を備える半導体装置。

【請求項3】

請求項2の半導体装置において、

前記入出力セルは、信号配線にアノードが接続され第1の電源配線にカソードが接続される第1のダイオードと、第1の接地配線にアノードが接続され前記信号配線にカソードが接続される第2のダイオードと、前記入出力パッドに接続される出力回路または入力回路と、を備える半導体装置。

10

20

【請求項 4】

請求項 3 の半導体装置において、
前記第 1 の抵抗の一端は前記第 1 の電源配線に接続され、
前記第 1 の抵抗の他端は前記第 1 の容量の一端に接続され、
前記第 1 の容量の他端は前記第 1 の接地配線に接続され、
前記第 1 の抵抗の他端は前記第 1 のインバータの入力に接続され、
前記第 1 のインバータの出力は前記第 1 の N チャネル型トランジスタのゲート電極に接続され、
前記第 1 の N チャネル型トランジスタは前記第 1 の電源配線と前記第 1 の接地配線との間に電流経路を構成するようにされる半導体装置。

10

【請求項 5】

請求項 4 の半導体装置において、
前記第 1 の電源セル内に配置され、前記第 1 の接地配線にアノードが接続され前記第 1 の電源配線にカソードが接続される第 3 のダイオードを備える半導体装置。

【請求項 6】

請求項 2 の半導体装置において、
第 2 の電源パッドと第 2 の電源配線に接続される第 2 の電源セルと、
第 2 の接地パッドと第 2 の接地配線に接続される第 2 の接地セルと、
前記入出力セルに対しチップ縁辺に沿う方向に配置される第 2 の ESD 保護回路と、
前記第 2 の ESD 保護回路は、前記第 2 の電源配線に一端が接続される第 2 の抵抗と、
前記第 2 の抵抗の他端に一端が接続され前記第 2 の接地配線に他端が接続される第 2 の容量と、
前記第 2 の抵抗の他端が入力される第 2 のインバータと、前記第 2 のインバータの出力にゲート電極が接続され前記第 2 の電源配線と前記第 2 の接地配線との間に電流経路構成する第 2 の N チャネル型トランジスタと、
前記第 2 の接地配線にアノードが接続され前記第 2 の電源配線にカソードが接続される第 4 のダイオードと、を備える半導体装置。

20

【請求項 7】

請求項 6 の半導体装置において、
前記第 1 の接地配線と前記第 2 の接地配線とを接続するブリッジ回路を備え、
前記ブリッジ回路は、前記第 1 の接地配線にアノードが接続され前記第 2 の接地配線にカソードが接続される第 5 のダイオードと、
前記第 2 の接地配線にアノードが接続され前記第 1 の接地配線にカソードが接続される第 6 のダイオードと、を備える半導体装置。

30

【請求項 8】

請求項 2 の半導体装置において、
前記第 1 の ESD 保護回路に対し前記 1 つの辺に沿う方向に配置される第 3 の ESD 保護回路を備え、
前記第 3 の ESD 保護回路は、前記第 1 の抵抗の他端が入力される第 3 のインバータと、
前記第 3 のインバータの出力にゲート電極が接続され前記第 1 の電源配線と前記第 1 の接地配線との間に電流経路を構成する第 3 の N チャネル型トランジスタと、を備える半導体装置。

40

【請求項 9】

請求項 2 の半導体装置において、
前記入出力パッドは平面視で前記入出力セルが形成される領域に重なるように配置される半導体装置。

【請求項 10】

請求項 2 の半導体装置において、
前記入出力セルを複数有し、
前記複数の入出力セルとそれに対応する複数の入出力パッドを備え、
前記複数の入出力パッド、前記第 1 の電源パッドおよび前記第 1 の接地パッドは千鳥配置される半導体装置。

50

【請求項 1 1】

請求項 2 の半導体装置において、

前記第 1 の電源パッドは平面視で前記第 1 の電源セルが形成される領域および前記第 1 の接地セルが形成される領域に重なるように配置され、

前記第 1 の接地パッドは平面視で前記第 1 の電源セルが形成される領域および前記第 1 の接地セルが形成される領域に重なるように配置される半導体装置。

【請求項 1 2】

請求項 8 の半導体装置において、

前記第 1 の電源パッドは平面視で前記第 1 の E S D 保護回路が形成される領域に重なるように配置される半導体装置。

10

【請求項 1 3】

請求項 3 の半導体装置において、

前記入出力セルを複数有し、

さらに、論理回路で構成される機能を備える論理回路付き入出力セルを有し、

前記複数の入出力セルおよび前記論理回路付き入出力セルはチップの 1 辺に沿う方向に並べて配置され、

前記複数の入出力セルの前記チップの 1 辺の垂直方向の長さは前記論理回路付き入出力セルの前記チップの 1 辺の垂直方向の長さより短く、

前記複数の入出力セルの外側の前記チップ端部の近傍に配置される前記第 1 の E S D 保護回路を有する半導体装置。

20

【請求項 1 4】

第 1 の電源パッドが接続される第 1 の電源配線と、

前記第 1 の電源配線と接続される第 2 の電源配線と、

第 1 の接地パッドが接続される第 1 の接地配線と、

前記第 1 の接地配線と接続される第 2 の接地配線と、

前記第 1 の接地配線と前記第 1 の電源配線に接続される入出力セルと、

前記第 1 の接地配線と前記第 1 の電源配線に接続されるダイオードと、

を備え、

前記第 2 の接地配線と前記第 2 の電源配線に接続される第 1 の E S D 保護回路を備える半導体装置。

30

【請求項 1 5】

請求項 1 4 の半導体装置において、

前記第 1 の E S D 保護回路は、第 1 の抵抗と、第 1 の容量と、第 1 のインバータと、第 1 の N チャネル型トランジスタと、を備える半導体装置。

【請求項 1 6】

請求項 1 4 の半導体装置において、

前記ダイオードは、前記第 1 の接地配線にアノードが接続され前記第 1 の電源配線にカソードが接続される半導体装置。

【請求項 1 7】

請求項 1 4 の半導体装置において、

前記第 2 の電源配線と前記第 2 の接地配線は前記第 1 の電源配線と前記第 1 の接地配線よりチップ端部の近傍に配置される半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本開示は半導体装置に関し、例えば E S D (Electro-Static-Discharge) 保護回路を有する半導体装置に適用可能である。

【背景技術】

【0002】

半導体集積回路装置 (L S I チップ) のチップ周辺部には、複数の外部端子に対応した

50

複数の入出力セルが配置される。電源インピーダンスの低減と安定化等のために複数の入出力セルに対して複数の電源セルが配置される。入出力セルおよび電源セルにESD保護回路が内蔵される。本開示に関連する先行技術文献としては、例えば、特表2005-536046号公報またはこれに対応する国際公開第2004/015776号がある。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特表2005-536046号公報

【特許文献2】国際公開第2004/015776号

【発明の概要】

10

【発明が解決しようとする課題】

【0004】

製品の多機能化や電源ドメイン分離数の増加等により、配置すべき電源セル（ESD保護回路）が増加し、チップ面積が増加する。

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0005】

本開示のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、半導体装置は入出力セルの配列方向に長いESD保護回路を入出力セルの外側に備える。ESD保護回路は抵抗と容量とインバータとNチャネル型トランジスタとで構成される。

20

【発明の効果】

【0006】

上記半導体装置によれば、チップ面積の増加を抑制することができる。

【図面の簡単な説明】

【0007】

【図1】比較例に係る半導体装置の概略レイアウト図。

【図2】図1のIO領域のブロック図。

【図3】図2の入出力セルの回路図。

30

【図4】図2の電源セルの回路図。

【図5】図4の破線A内のESD保護回路のレイアウト図。

【図6】図1のIO領域の第1の例の概略レイアウト図。

【図7】図1のIO領域の第2の例の概略レイアウト図。

【図8】実施形態に係る半導体装置を説明するための図。

【図9】実施例1に係る半導体装置の概略レイアウト図。

【図10】図9のIO領域のブロック図。

【図11】図9のESD保護回路の回路図。

【図12】図9のESD保護回路のレイアウト図。

【図13】図9のESD保護回路のレイアウト図。

40

【図14】変形例1に係る半導体装置の第1のESD保護回路のレイアウト図。

【図15】変形例2に係る半導体装置のIO領域の回路図。

【図16】図15のIO領域のレイアウト図。

【図17】変形例3に係る半導体装置のIO領域のレイアウト図。

【図18】変形例4に係る半導体装置のIO領域のレイアウト図。

【図19】図18のパッドを透視したレイアウト図。

【図20】図18のパッドを取り除いたレイアウト図。

【図21】変形例5に係る半導体装置のIO領域の電源線と接地線の結線図。

【図22】図21のIO領域のレイアウト図。

【図23】変形例6に係る半導体装置のIO領域のレイアウト図。

50

【図 2 4】図 2 3 の I O 領域の回路図。

【図 2 5】図 2 3 の I O 領域の課題を説明するためのレイアウト図。

【図 2 6】図 2 3 の I O 領域の課題を解決する手段を説明するためのレイアウト図。

【図 2 7】実施例 2 に係る半導体装置の概略レイアウト図。

【図 2 8】図 2 7 の I O 領域の回路図。

【発明を実施するための形態】

【0008】

以下、実施形態、実施例および変形例について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明を省略することがある。なお、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。

10

【0009】

本開示に先立って本願発明者らによって検討された技術（以下、比較例という。）に係る半導体装置について説明する。

図 1 は比較例に係る半導体装置の概略レイアウトを示す平面図である。半導体装置 10 S はチップの外周部に入出力セル 11 および電源セル 12、13 を備える。入出力セル 11 および電源セル 12、13 が配置される領域を I O 領域という。I O 領域はチップ端部 21、22、23、24 に近接して、平面視でチップ端部 21、22、23、24 が構成する 4 つの辺に沿っている。チップ端部 21、23 が構成する 2 つの辺は X 方向に沿って伸びている。チップ端部 22、24 が構成する 2 つの辺は Y 方向に沿って伸びている。入出力セル 11 は 1 つの入出力パッドに接続される入出力回路の形成領域である。電源セル 12、13 は ESD やノイズから半導体装置を保護する ESD 保護回路およびチップ内部へ電源または GND（接地電位）を供給する配線の形成領域である。電源インピーダンスを均等に小さくする必要から、電源セル 12、13 は、複数の入出力セル 11 毎に分散して配置され、入出力セル 11 と入出力セル 11 の間へ隣接して配置される。半導体装置 10 S は電源ドメインが 1 つであるが、電源セル 12、13 は 1 つのチップ辺に対向する I O 領域に 3 か所ずつ配置されている。

20

【0010】

図 2 は図 1 の I O 領域のブロック図であり、電源セルおよび入出力セルと電源との接続関係を示す図である。入出力セル 11 は入出力端子（I/O）112 に接続される入出力回路 111 を内蔵する。電源セル 12 は電源端子（VDD）122 に対応する ESD 保護回路 121 を備え、電源セル 13 は接地端子（VSS）123 に対応する ESD 保護回路 121 を備える。入出力端子 112、電源端子 122、接地端子 123 は、それぞれ入出力セル 11、電源セル 12、13 の上に配置されるが、それぞれ入出力セル 11、電源セル 12、13 から離れて配置されてもよい。入出力端子 112、電源端子 122、接地端子 123 はボンディングワイヤ等に接続され、それぞれ入出力パッド、電源パッド、接地パッドともいう。

30

【0011】

図 3 は図 2 の入出力セルの回路図である。入出力セル 11 を構成する入出力回路 111 は、入出力端子 112 に接続される信号配線 216 に出力信号を伝える P チャネル型トランジスタ Q2 及び N チャネル型トランジスタ Q3 を含む出力回路と、入出力端子 112 から信号配線 216 を介して入力された入力信号を受けるインバータ INV1 を含む入力回路 INV3 と、ESD 保護回路を構成するダイオード D1、D2 とを備えている。P チャネル型トランジスタ Q2 は電源配線 211 と信号配線 216 との間に接続され、N チャネル型トランジスタ Q3 は信号配線 216 と接地配線 212 との間に接続され、インバータ INV3 は電源配線 211 と接地配線 212 との間に接続される。ダイオード D1 のアノードは信号配線 216 に接続され、カソードは電源配線 211 に接続される。ダイオード D2 のアノードは接地配線 212 に接続され、カソードは信号配線 216 に接続される。ダイオード D1 は、入出力端子 112 から信号配線 216 および電源配線 211 を介し電

40

50

源端子122に向かうサージ電流を流し、ダイオードD2は、接地端子123から接地配線212および信号配線216を介し入出力端子112に向かうサージ電流を流すようにされる。出力回路として、Pチャネル型トランジスタQ2を有さない、いわゆるオープンドレイン型であってもよい。また、入出力回路には出力回路および入力回路をいずれか一方を備えていなくてもよい。

【0012】

図4は図2の電源セルの回路図である。電源セル12、13を構成するESD保護回路121は、正のサージ電圧を検出する時定数回路(RCタイマともいう。)126と、バッファ回路であるインバータINV1と、かかるサージ電圧を高速に放電させるために大きなサイズにされたNチャネル型トランジスタQ1と、ダイオードD3とで構成される。RCタイマ126は抵抗R1と容量C1とからなる積分回路で構成される。抵抗R1の一端は電源配線211を介して電源端子122に接続され、他端は容量C1の一端とインバータINV1の入力に接続される。容量C1の一端は抵抗R1の他端とインバータINV1の入力に接続され、他端は接地配線212を介して接地端子123に接続される。容量C1のチャージ電圧は、インバータINV1の入力端子に供給される。インバータINV1の出力はNチャネル型トランジスタQ1のゲートに接続される。インバータINV1は、電源端子122から電源配線211を介して動作電圧を受けて動作する。Nチャネル型トランジスタQ1のドレインは電源配線211を介して電源端子122に接続され、ソースは接地配線212を介して接地端子123に接続され、バックゲートは接地配線212を介して接地端子123に接続される。電源端子122と接地端子123との間には負のサージ電圧を放電させるためのダイオードD3が設けられる。ダイオードD3のアノードは接地配線212に接続され、カソードは電源配線211に接続される。ダイオードD3は、接地端子123から接地配線212および電源配線211を介して電源端子122に向かうようサージ電流を流す。

【0013】

例えば、電源端子122に正のサージ電圧が発生したとき、インバータINV1には電源端子122から動作電圧が供給され、インバータINV1の入力端子には時定数回路126により遅れてサージ電圧に対応したハイレベルが伝えられる。したがって、インバータINV1は、電源端子122に正のサージ電圧が発生した時から容量C1のチャージ電圧がインバータ回路INV1の論理しきい値電圧に到達するまでの間ハイレベルを維持し、Nチャネル型トランジスタQ1をオン状態にしてサージ電圧を放電させる。

【0014】

なお、インバータINV1、INV3は、それぞれPチャネル型トランジスタとNチャネル型トランジスタとから構成される。また、Pチャネル型トランジスタQ2、Nチャネル型トランジスタQ1、Q3およびインバータINV1、INV3のPチャネル型トランジスタとNチャネル型トランジスタの各トランジスタはいわゆるMOSFETであるが、ゲートは金属に限定されるものではなく、ゲート絶縁膜も酸化膜に限定されるものではない。

【0015】

図5は図4の破線A内のESD保護回路のレイアウト図であり、図1の下辺(チップ端部21)側に配置される電源セルの向きに合わせている。チップ端部側からNチャネル型トランジスタQ1、インバータINV1、RCタイマ126の順に配置されている。電源セル12、13は入出力セル11と同様にX方向の長さ(セル幅(W))がY方向の長さ(セル高さ(H))よりも短い。

【0016】

図6は図1のIO領域の第1の例の概略レイアウト図であり、電源セルの高さを入出力セルの高さに合わせた場合である。図7は図1のIO領域の第2の例の概略レイアウト図であり、電源セルの幅を入出力セルの幅に合わせた場合である。電源セル12、13は入出力セル11よりも大きなサイズになってしまう。このため、セルサイズの異なる入出力セル11と電源セル12、13が混在して配置されることとなる。

【0017】

製品の多機能化や電源ドメイン分離数の増加等により、配置すべきESD保護回路（電源セル）が増加する。さらに、ピン数の増加（入出力パッドネック）によってチップ面積が増加する。IO領域の電源配線や接地配線の周回配線に抵抗があるためESD保護回路の配置が必要であるが、入出力パッドネックにより本来IO領域へ配置すべきESD保護回路をIO領域の内側へ配置することも必要になる。しかし、これによってチップ内部領域の圧迫やIO領域の周回配線との接続、凹凸部発生等で設計がより複雑化する。また、プロセスの微細化が進むにつれ、周回配線の配線抵抗が上昇するため、配置すべきESD保護回路の増加や配線領域の増加等でチップ面積が増加する。ESD保護回路を内蔵する電源セルは、入出セルと比べてセルサイズが大きく、セル高さを入出力セルとセル高さを
10
合わせるとセル幅が大きくなる。また、仕様上セルサイズが大きい入出力セルがあり、他の入出力セルのセル幅と合わせるとIO領域から突出する部分（凹凸）が発生する。

【0018】

<実施形態>

次に、比較例に係る半導体装置の課題を解決する実施形態に係る半導体装置について説明する。

図8は実施形態に係る半導体装置の構成を示すレイアウト図である。半導体装置10は、X方向に直列に配置される複数の入出力回路（IO）と、複数の入出力回路（IO）の外側（チップ端部（EDG））側に配置されるESD保護回路（ESD）と、を備える。ESD保護回路（ESD）は、抵抗（R）と、容量（C）と、インバータ（INV）と、
20
Nチャネル型トランジスタ（NMOS）と、を備える。

入出力回路よりも大きいESD保護回路を入出力回路列に配置しないので、チップ面積の増加を抑制することができる。

【実施例1】

【0019】

図9は実施例1に係る半導体装置の概略レイアウトを示す平面図である。半導体装置10Aは、一つの半導体基板で構成されるチップの外周部に入出力セル11および電源セル12A、13Aを備える。入出力セル11および電源セル12A、13Aが配置される領域をIO領域という。IO領域はチップ端部21、22、23、24に近接して、平面視でチップ端部21、22、23、24が構成する4つの辺に沿っている。チップ端部21、23が構成する2つの辺はX方向に沿って伸びている。チップ端部22、24が構成する2つの辺はY方向に沿って伸びている。入出力セル11は1つの入出力パッドに接続される入出力回路の形成領域である。電源セル12A、13AはESDやノイズから半導体装置を保護するダイオードD3およびチップ内部へ電源またはGND（接地電位）を供給する配線の形成領域である。電源インピーダンスを均等に小さくする必要から、電源セル12A、13Aは、複数の入出力セル11毎に分散して配置され、入出力セル11と入出力セル11の間へ隣接して配置される。ESD保護回路124は入出力セル11、電源セル12A、13Aよりも外側（チップ端部21、22、23、24側）に近接して配置され、チップ端部の4辺に沿ってそれぞれ延在する。なお、半導体装置10Aのチップの四隅にはコーナセル16を備える。コーナセル16には電源配線および接地配線を備える。
30
半導体装置10AはIO領域よりも内側に内部回路を備える。半導体装置10Aは半導体装置10Sと同様、電源ドメインは1つであり、電源セル12A、13Aは1つのチップ辺に沿うIO領域に1か所ずつ配置されている。なお、電源セル12A、13Aの配置個数はこれに限定されるものではなく、各半導体テクノロジーにおける保護素子の放電特性や配線インピーダンス等によって規定される。ただし、半導体装置10Aが電源セルとESD保護回路を除いて、半導体装置10Sと同等であれば、半導体装置10Aの電源セル12A、13Aの配置個数は、半導体装置10Sの電源セル12、13の配置個数よりも少なくすることができ、パッドネック解消に寄与することができる。
40

【0020】

図10は実施例1に係る電源セルおよび入出力セルと電源との接続関係を示す回路図で
50

あり、図9の下辺（チップ端部21）側に配置されるIO領域の向きに合わせている。図11は図9のESD保護回路124の回路図である。入出力セル11は入出力端子（I/O）112に接続される入出力回路111を内蔵する。電源セル12Aは電源端子（VDD）122からチップ内部へ電源を供給する電源配線211に接続する配線217およびESD保護回路であるダイオードD3を備える。電源セル13Aは接地端子（VSS）123からチップ内部へ接地電位を供給する接地配線212に接続する配線218を備える。電源セル12Aは図4のESD保護回路121のうちダイオードD3を備えるが、ESD保護回路121のその他の回路は備えない。電源セル13AはESD保護回路121を備えない。すなわち、ESD保護回路124は入出力セル11、電源セル12A、13Aの外に位置する。ESD保護回路124は図4のESD保護回路121の破線A内の回路と同様であり、電源配線213、接地配線214に接続される。電源配線211、接地配線212、電源配線213、接地配線214はX方向に沿って伸び、チップ端部21から接地配線214、電源配線213、接地配線212、電源配線211の順に配置される。電源配線211と電源配線213とは接続され、接地配線212と接地配線214とは接続される。入出力端子（I/O）112、電源端子122、接地端子123は、それぞれ入出力セル11、電源セル12A、13Aの上に平面視で重なるように配置されるが、それぞれ入出力セル11、電源セル12A、13Aから平面視で離れて配置されてもよい。図9の右辺（チップ端部22）、上辺（チップ端部23）、左辺（チップ端部24）側に配置される電源セルおよび入出力セルと電源との接続関係もチップ端部21側に配置される電源セルおよび入出力セルと電源との接続関係と同様である。

10

20

【0021】

図12は図11のESD保護回路のレイアウト図であり、図9の下辺（チップ端部21）側に配置されるESD保護回路124の向きに合わせている。図13は図11のESD保護回路のレイアウト図であり、2つ配置した場合を示している。チップ端部24側からNチャネル型トランジスタQ1、インバータINV1、RCタイマ126の順に配置されている。チップ端部22側からNチャネル型トランジスタQ1、インバータINV1、RCタイマ126の順に配置してもよい。ESD保護回路124は入出力セル11や電源セル12A、13Aと異なり、X方向の長さ（セル幅（W））がY方向の長さ（セル高さ（H））よりも長い。すなわち、ESD保護回路124のセルは高さを抑えた横長の形状である。1つのESD保護回路124は複数の入出力セル11と対向している。また、ESD保護回路124はX方向に沿って複数縦列に配置されている。図9の右辺（チップ端部22）、上辺（チップ端部23）、左辺（チップ端部24）側に配置されるESD保護回路124もチップ端部21側に配置されるESD保護回路124と同様に配置される。ESD保護回路124は図9ではIO領域の外側へ配置しているが、IO領域の内側に配置してもよい。

30

【0022】

実施例によれば、全ての入出力セルの直近にESD保護回路124が配置されるため、ESD設計制約（IO領域の電源線や接地線の周回配線抵抗）の規定値を大幅に緩和させることができる。また、入出力セル間に配置する電源セル12Aには電源の引き込みメタル配線および電源線と接地線との間のダイオードD3を配置し、ESD保護回路124を配置していない。また、電源セル13Aには接地の引き込みメタル配線を配置し、ESD保護回路121を配置していない。これにより、電源セル12A、13Aは入出力セル11の面積よりも小さくすることができ、電源セル12A、13Aのセル幅およびセル高さを入出力セル11のセル幅およびセル高さと同合わせることが可能となる。これは、ESD保護回路の削減効果であり、ESD保護回路をIO領域の内側配置で対応するケースも大幅に減る。これに付帯して発生していたチップ内部領域の圧迫やIO領域の周回配線との接続、凹凸部発生など、設計が複雑化する問題も解消することができる。また、比較例のIO領域の電源セルに配置されていたESD保護回路の面積を削減でき、その分チップ1辺辺りの長さを短縮することが可能となる。これにより、入出力パッドネックによる面積増加の問題が解消され、チップ面積を縮小することができる。

40

50

【0023】

<変形例1>

実施例1のESD保護回路のセルレイアウトを変更した例（変形例1）について説明する。

図14は変形例1に係る半導体装置のESD保護回路のレイアウト図であり、図9の下辺（チップ端部21）側に配置されるESD保護回路の向きに合わせている。変形例1に係る半導体装置は二つのESD保護回路で持つRCタイマを共有化する。チップ端部24側からNチャネル型トランジスタQ1、インバータINV1、RCタイマ126、インバータINV1、Nチャネル型トランジスタQ1の順に配置されている。図14の第1のESD保護回路124AはX方向に沿って複数縦列に配置される。図9の右辺（チップ端部22）、上辺（チップ端部23）、左辺（チップ端部24）側に配置されるESD保護回路124Aもチップ端部21側に配置されるESD保護回路124Aと同様に配置される。

10

【0024】

これにより、変形例1のチップで占めるRCタイマ126の総面積を実施例1に対して半減させることができる。例えば、図13に示すように、RCタイマ126がESD保護回路124の30%の面積を占めるとすると、図14に示すように、変形例1のESD保護回路124Aの面積は15%削減することができる。

【0025】

<変形例2>

実施例1の入出力セルに別機能を追加した例（変形例2）について説明する。

図15は変形例2に係る半導体装置のIO領域の回路図であり、図9の下辺（チップ端部21）側に配置されるIO領域の向きに合わせている。図16は図15のIO領域のレイアウト図である。変形例2に係る半導体装置は通常の入出力セル11と異なる入出力セル11Aを備える。入出力セル11Aは入出力セル11の機能に加えて、シュミットトリガのノア（NOR）114やインバータ115等の論理回路で構成される機能を備える。ノア114およびインバータ115は電源配線211と接地配線212とに接続される。この結果、入出力セル11Aは入出力セル11よりも面積が大きくなる。例えば、入出力セル11Aのセル幅を入出力セル11のセル幅に合わせると、入出力セル11Aのセル高さが入出力セル11のセル高さよりも高くなる。しかし、入出力セル11Aが配置される箇所にESD保護回路124を配置しないようにすることにより、入出力セル11Aの高さが高くなった部分を吸収することが可能となる。面積の異なる様々な仕様の入出力セルにおいてセル幅を合せた場合や細幅化を行った際、チップ内側へ突き出るセルが存在する。この突出し部をESD保護回路124の配置領域で吸収するように配置する。図9の右辺（チップ端部22）、上辺（チップ端部23）、左辺（チップ端部24）側に配置される入力セル11Aもチップ端部21側に配置される入力セル11Aと同様に配置される。

20

30

【0026】

これにより、入出力セル幅の統一（または細幅化）で、等ピッチ化（狭ピッチ化）による面積削減が可能となる。また、入出力セルの平坦化によるチップ内部領域の圧迫や凹凸部発生など、設計の複雑化が解消される。

40

【0027】

<変形例3>

実施例1のパッドの位置を変更した例（変形例3）について説明する。

図17は変形例3に係る半導体装置のIO領域のレイアウト図であり、図9の下辺（チップ端部21）側に配置されるIO領域の向きに合わせている。変形例3に係る半導体装置は入出力端子112、電源端子122および接地端子123をESD保護回路124とチップ端21との間に配置した例である。入出力端子112、電源端子122および接地端子123の幅は、入出力セル11と同程度か小さい幅である。変形例3の半導体装置の入出力セル11、電源セル12A、13AおよびESD保護回路124は実施例1と同様である。図9の右辺（チップ端部22）、上辺（チップ端部23）、左辺（チップ端部2

50

4) 側に配置される入出力端子112、電源端子122および接地端子123もチップ端部21側に配置される入出力端子112、電源端子122および接地端子123と同様に配置される。

【0028】

なお、変形例3に係る半導体装置では、電源端子122に接続される電源配線211の電源電圧(VDD1)および接地端子123に接続される接地配線212の接地電圧(VSS1)が入出力回路111で使用され、電源配線221の電源電圧(VDD2)および接地配線222の接地電圧(VSS2)は内部回路で使用される。IO領域には電源電圧(VDD1)および接地電圧(VSS1)の配線の他に電源電圧(VDD2)および接地電圧(VSS2)の配線が配置される。電源電圧(VDD2)および接地電圧(VSS2)は降圧回路によって、電源電圧(VDD1)および接地電圧(VSS1)から生成してもよいし、電源端子および接地端子を介して外部から供給するようにしてもよい。

10

【0029】

<変形例4>

実施例1のパッドを千鳥配置にした例(変形例4)について説明する。

図18は変形例4に係る半導体装置のIO領域のレイアウト図であり、図9の下辺(チップ端部21)側に配置されるIO領域の向きに合わせている。図19は図18のパッドを透視したレイアウト図である。図20は図18のパッドを取り除いたレイアウト図である。変形例4に係る半導体装置は、入出力セル11を変形例3よりも細幅化(セル高さは大きく)して、入出力端子112、電源端子122、接地端子123をIO領域に千鳥配置(ジグザグ状に配置)して構成される。変形例4に係る入力端子112、電源端子122、接地端子123の幅は入出力セル11、電源セル12A、13Aの幅よりも大きい。よって、1つの入出力端子112または電源端子122または接地端子123は、入出力セル11または電源セル12Aまたは電源セル13Aが隣接する3つのセルに平面視で重なるようになる。1つの電源端子122は隣接する入出力セル11と電源セル13Aに平面視で重なる。変形例4の半導体装置の入出力セル11、電源セル12A、13AおよびESD保護回路124はセル形状を除いて実施例1、変形例3と同様である。図9の右辺(チップ端部22)、上辺(チップ端部23)、左辺(チップ端部24)側に配置される入出力端子112、電源端子122および接地端子123もチップ端部21側に配置される入出力端子112、電源端子122および接地端子123と同様に配置される。

20

30

【0030】

千鳥配置によって入出力パッドネックを改善できるので、チップ面積を削減することができる。

【0031】

<変形例5>

実施例1の電源配線/接地配線の配置を変更した例(変形例5)について説明する。

図21は変形例5に係る半導体装置のIO領域の電源配線と接地配線の結線図であり、図9の下辺(チップ端部21)側に配置されるIO領域の向きに合わせている。図22は図21のIO領域のレイアウト図である。変形例5では、実施例1のESD保護回路124の電源配線213と接地配線214の配置を入れ替え、それに伴いNチャネル型トランジスタおよびPチャネル型トランジスタなど配置を替えている。これ以外については、変形例5は実施例1と同様である。入出力セル11とESD保護回路124が隣接する側のそれぞれの内側に接地配線212、214を配置接続する。図22のレイアウト例では、入出力セル11およびESD保護回路124と、パッド122とは平面視で重なるが、見やすくするために、図22では重なる部分ではいずれか一方のみを記載している。図の左側に入出力セル11とESD保護回路124の配置を示し、その右側にパッド122の配置を示している。入出力セル11に接続する電源配線211を配置する領域、入出力セル11に接続する接地配線212およびESD保護回路124に接続する接地配線214の領域、ESD保護回路124に接続する電源配線213を配置する領域はそれぞれX方向に沿って伸びる。入出力セル11の電源配線211とESD保護回路124の電源配線2

40

50

1 3 同士を配線 2 1 5 で接続する。配線 2 1 5 は、電源配線 2 1 1、2 1 3 のメタルよりも上層の低抵抗のメタルであり、パッド 1 2 2 間のスペースに配置される。図 9 の右辺（チップ端部 2 2）、上辺（チップ端部 2 3）、左辺（チップ端部 2 4）側に配置される電源配線および接地配線もチップ端部 2 1 側に配置される電源配線および接地配線と同様に配置される。

【0032】

これにより抵抗値や電流密度といった設計制約に対応し易い配線構造となる。また、接地配線の結線がし易くなり同層のメタルで接続することができるため、配線総数の少ない製品においてはより大きな効果が得られる。

【0033】

<変形例 6>

電源ドメインが複数の例（変形例 6）について説明する。

図 2 3 は変形例 6 に係る半導体装置の I O 領域のレイアウト図であり、図 9 の下辺（チップ端部 2 1）側に配置される I O 領域の向きに合わせている。図 2 4 は図 2 3 の I O 領域の回路図である。変形例 3 のように I O 領域で使用する電源と内部回路で使用する電源を異ならせる場合、半導体装置内は複数の電源領域（電源ドメイン）を備えることになる。変形例 6 に係る半導体装置では、電源（VDD1）および接地（VSS1）で動作する電源ドメイン PD1 と、電源（VDD2）および接地（VSS2）で動作する電源ドメイン PD2 とを備え、I O 領域にも電源ドメイン PD1 と電源ドメイン PD2 を備える。電源ドメイン PD1 および電源ドメイン PD2 のそれぞれは、実施例 1 と同様に入出力セル 1 1、電源セル 1 2 A、1 3 A および ESD 保護回路 1 2 4 を備える。変形例 6 に係る半導体装置は、I O 領域の電源ドメイン PD1 と電源ドメイン PD2 との間にブリッジセル（ブリッジ回路）1 4 を備える。ブリッジセル 1 4 は電源ドメイン PD1 の接地配線 2 1 2 と電源ドメイン PD2 の接地配線 2 2 2 とを接続する双方向のダイオード D 4、D 5 を備える。ダイオード D 4 のアノードは接地配線 2 1 2 に接続され、カソードは接地配線 2 2 2 に接続される。ダイオード D 5 のアノードは接地配線 2 2 2 に接続され、カソードは接地配線 2 1 2 に接続される。電源配線 2 1 1 と電源配線 2 2 1 は分離されている。

【0034】

図 2 5 は図 2 3 の I O 領域の課題を説明するためのレイアウト図である。図 2 6 は図 2 3 の I O 領域の課題を解決する手段を説明するためのレイアウト図である。例えば、I O 領域の第 2 の電源ドメインが内部回路で電源セル 1 2 A、1 3 A のみで構成されるように小規模な電源ドメインでは、ESD 保護回路 1 2 4 の幅が電源セル 1 2 A、1 3 A およびブリッジセル 1 4 の幅よりも広くなり、デッドスペース 1 5 が発生してしまう。この場合は、図 2 6 の比較例のように ESD 保護回路 1 2 4 を含む電源セル 1 2、1 3 を用いる方がよい場合がある。

【実施例 2】

【0035】

実施例 1 と比較例とを組み合わせた例（実施例 2）について説明する。

図 2 7 は実施例 2 に係る半導体装置の概略レイアウト図である。図 2 8 は図 2 7 の I O 領域の回路図であり、図 2 7 の下辺（チップ端部 2 1）側に配置される I O 領域の向きに合わせている。半導体装置 1 0 B には電源ドメインが 4 種類あり、図面上チップの左上と右下に実施例 1 に係る技術を適用した電源ドメインが 2 種類、左下と右辺に比較例に係る技術を適用する電源ドメインが 2 種類ある。すなわち、半導体装置 1 0 B は一つの半導体基板上に 4 つの電源ドメイン PD1、PD2、PD3、PD4 を備える。電源ドメイン PD1、PD3 の I O 領域は、チップの外周部に実施例 1 と同様な I O 領域（入出力セル 1 1、入出力端子 1 1 2、電源セル 1 2 A、1 3 A、電源端子 1 2 2、接地端子 1 2 3 および ESD 保護回路 1 2 4）を備える。電源ドメイン PD2、PD4 の I O 領域は、チップの外周部に比較例と同様な I O 領域（入出力セル 1 1、入出力端子 1 1 2、電源セル 1 2、1 3、電源端子 1 2 2 および接地端子 1 2 3）を備える。電源ドメイン PD1、PD2、PD3、PD4 の I O 領域のそれぞれの境界にはブリッジセル（ブリッジ回路）1 4 を

備える。電源ドメインPD2、PD4のIO領域の面積は電源ドメインPD1、PD3のIO領域の面積よりも小さい。言い換えると、電源ドメインPD2、PD4のIO領域がチップ端部に沿う方向の長さは電源ドメインPD1、PD3のIO領域がチップ端部に沿う方向の長さよりも小さい。

【0036】

電源ドメインPD1の入出力セル11は電源配線211および接地配線212に接続され、電源セル12Aは電源配線211および接地配線212に接続され、電源セル13Aは接地配線212に接続される。ESD保護回路124は電源配線213および接地配線212に接続される。電源配線211、接地配線212、電源配線213はY方向（チップ端22が構成する辺が延在する方向）に沿って伸び、チップ端部22から電源配線213、接地配線212、電源配線211の順に配置される。電源ドメインPD1には、入出力セル11、電源セル12A、13AがX方向に直列に配置する部分もあり、この部分では電源配線211、接地配線212、電源配線213はX方向（チップ端21が構成する辺が延在する方向）に沿って伸びる。

10

【0037】

電源ドメインPD2の入出力セル11は電源配線221および接地配線222に接続され、電源セル12は電源配線221および接地配線222に接続され、電源セル13は電源配線221および接地配線222に接続される。電源配線221、接地配線222はY方向に沿って伸び、チップ端部22から接地配線222、電源配線221の順に配置される。

20

【0038】

電源ドメインPD1と電源ドメインPD2との間にブリッジセル14を備える。ブリッジセル14は電源ドメインPD1の接地配線212と電源ドメインPD2の接地配線222とを接続する双方向のダイオードD4、D5を備える。ダイオードD4のアノードは接地配線212に接続され、カソードは接地配線222に接続される。ダイオードD5のアノードは接地配線222に接続され、カソードは接地配線212に接続される。電源配線211と電源配線221は分離されている。

【0039】

電源ドメインPD1の入出力端子（I/O）112、電源端子122、接地端子123は、それぞれ入出力セル11、電源セル12A、13Aの上に平面視で重なるように配置されるが、それぞれ入出力セル11、電源セル12A、13Aから平面視で離れて配置されてもよい。電源ドメインPD2の入出力端子（I/O）112、電源端子122、接地端子123は、それぞれ入出力セル11、電源セル12、13の上に平面視で重なるように配置されるが、それぞれ入出力セル11、電源セル12、13から平面視で離れて配置されてもよい。

30

【0040】

電源ドメインPD3のIO領域は電源ドメインPD1のIO領域と同様な構成である。また、電源ドメインPD4のIO領域は電源ドメインPD2のIO領域と同様な構成である。ただし、電源ドメインPD4のIO領域はチップの角部に配置され、チップ端部21に対向する部分とチップ端部24に対向する部分を有する。

40

【0041】

なお、半導体装置10Bのチップの四隅にはコーナセル16を備える。同一電源ドメイン内のコーナセル16は当該電源ドメインの電源配線および接地配線を備える。半導体装置10Bは半導体装置10Aと同様にIO領域よりも内側に内部回路を備える。

【0042】

小規模な電源ドメインに比較例に係るESD保護回路を配置し、大規模な電源ドメインに実施例1に係るESD保護回路を配置することにより、チップ面積の増加を抑制することができる。電源ドメインの規模に応じて、部分的に比較例のESD保護回路を入出力回路と直列に配置することにより、例えばアナログ回路用の電源ドメインには比較例のESD保護回路を用いることでのアナログ回路のノイズの影響等を抑えることができる。

50

【0043】

実施例1および変形例1から6を適宜組み合わせることができる。また、実施例1の変形例1から5を実施例2の変形例とすることができる。また、実施例2および変形例1から5を適宜組み合わせることができる。

【0044】

以上、本発明者によってなされた発明を実施形態、実施例および変形例に基づき具体的に説明したが、本発明は、上記実施形態、実施例および変形例に限定されるものではなく、種々変更可能であることはいうまでもない。

【符号の説明】

【0045】

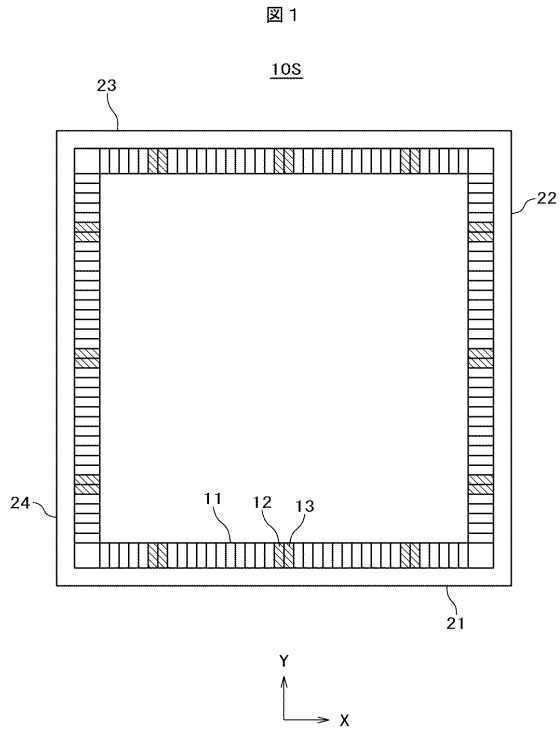
10、10A、10B、10S・・・半導体装置
11・・・入出力セル
111・・・入出力回路
D1、D2・・・ダイオード
Q2・・・Pチャンネル型トランジスタ
Q3・・・Nチャンネル型トランジスタ
INV3・・・インバータ
112・・・入出力端子（入出力パッド）
12、13・・・電源セル
121・・・ESD保護回路
122・・・電源端子（電源パッド）
123・・・接地端子（接地パッド）
12A・・・電源セル
124・・・ESD保護回路
126・・・RCタイマ
R1・・・抵抗
C1・・・容量
INV1・・・インバータ
Q1・・・Nチャンネル型トランジスタ
13A・・・電源セル
D3・・・ダイオード
14・・・ブリッジセル（ブリッジ回路）
16・・・コーナセル
21、22、23、24・・・チップ端部
D4、D5・・・ダイオード

10

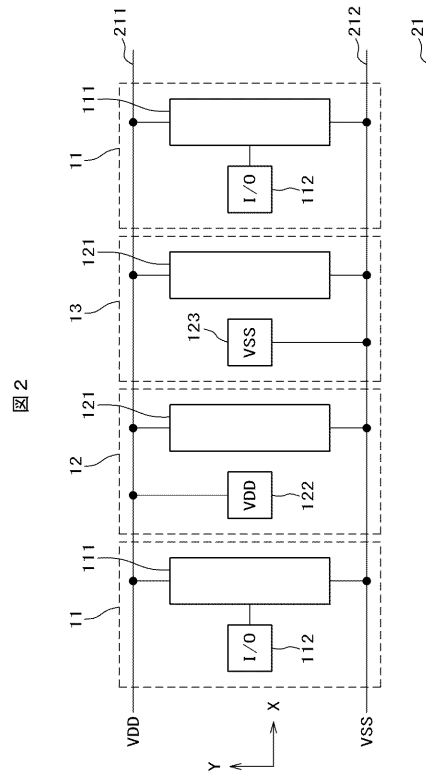
20

30

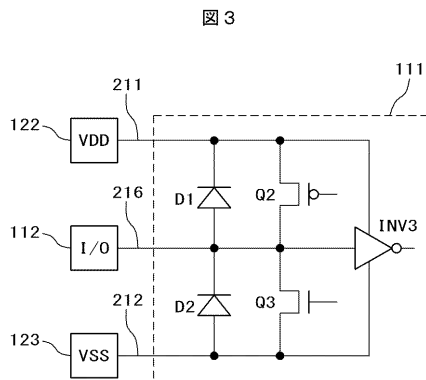
【図 1】



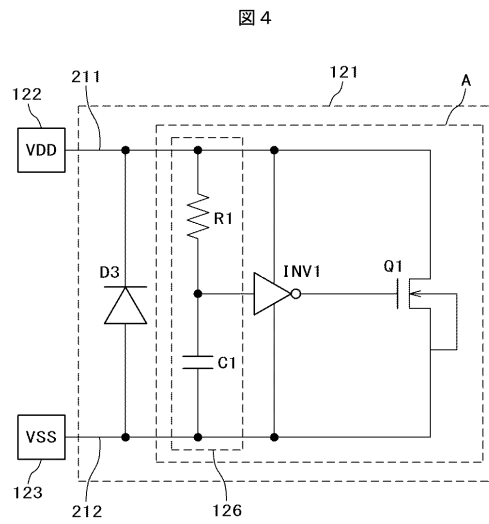
【図 2】



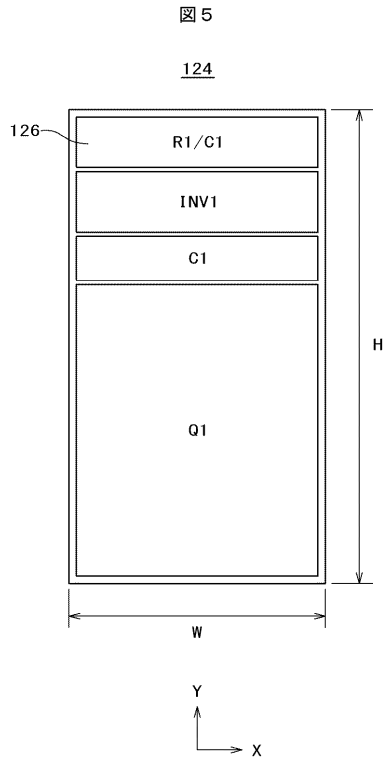
【図 3】



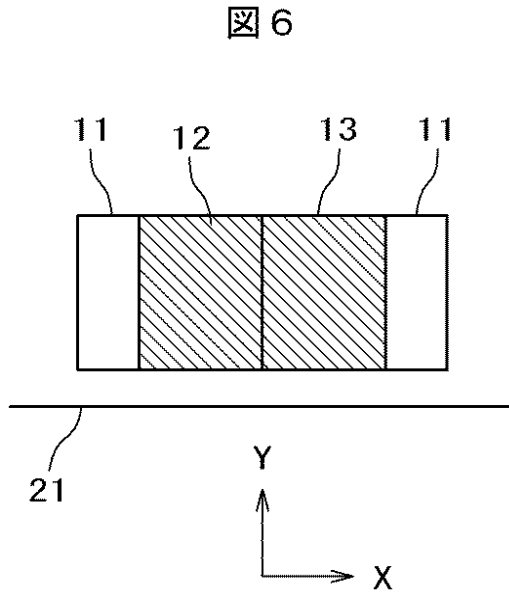
【図 4】



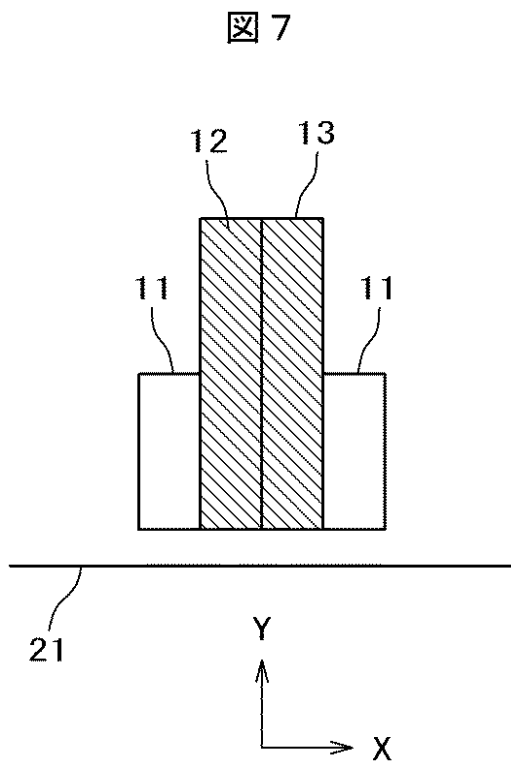
【図 5】



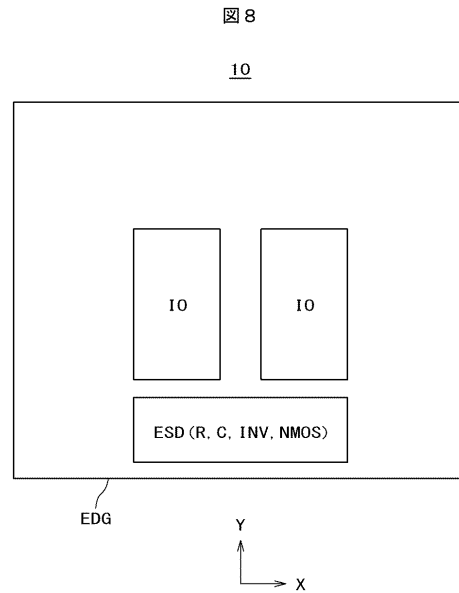
【図 6】



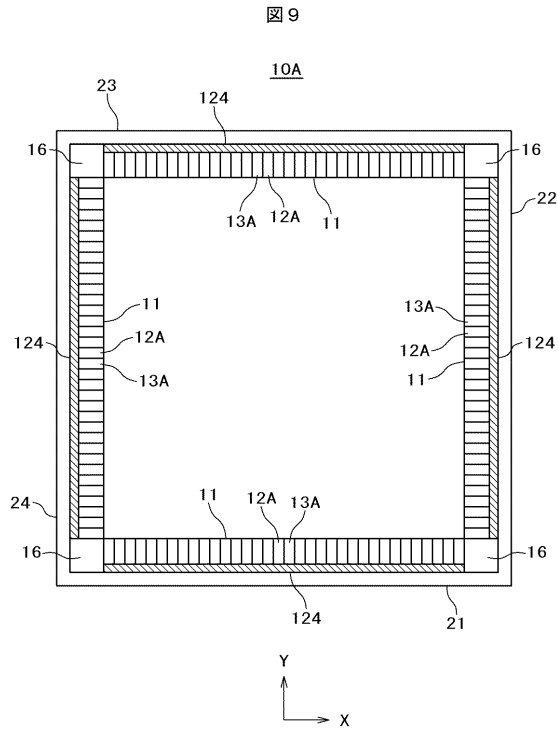
【図 7】



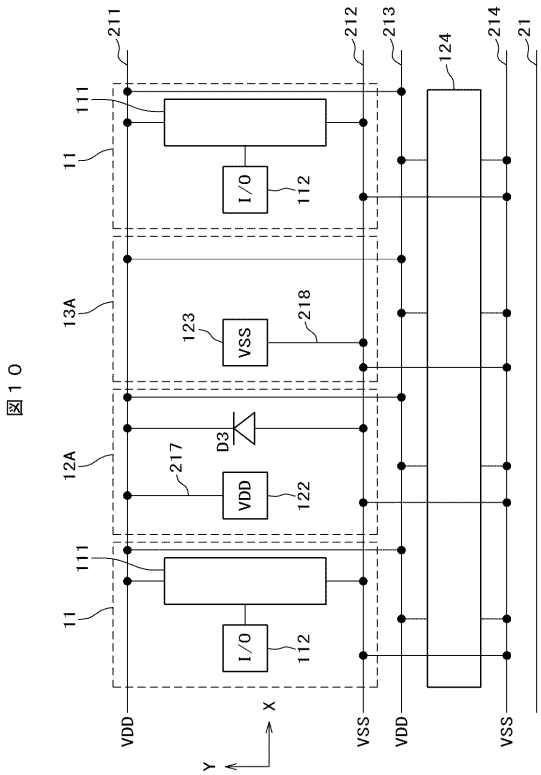
【図 8】



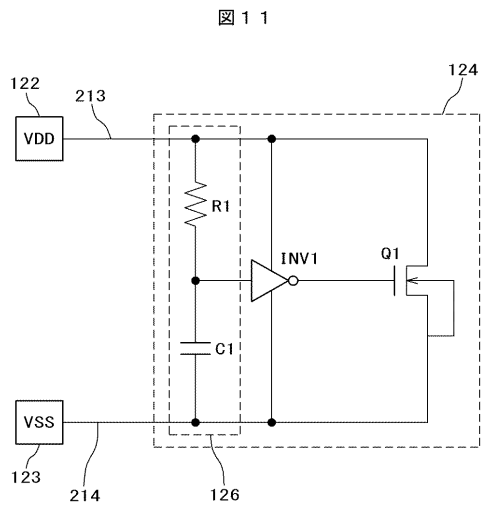
【図 9】



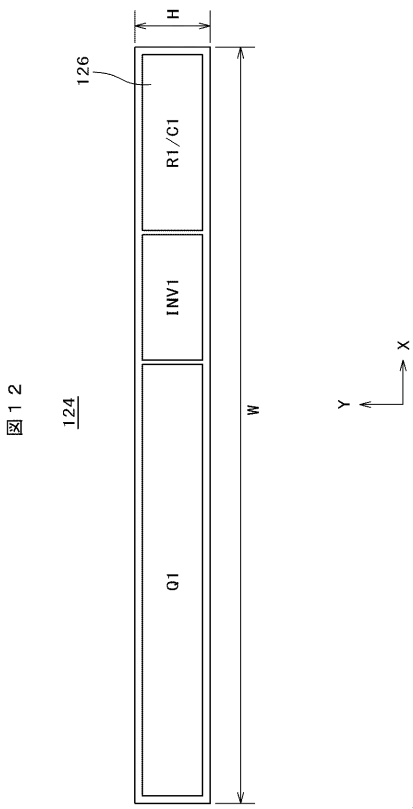
【図 10】



【図 11】

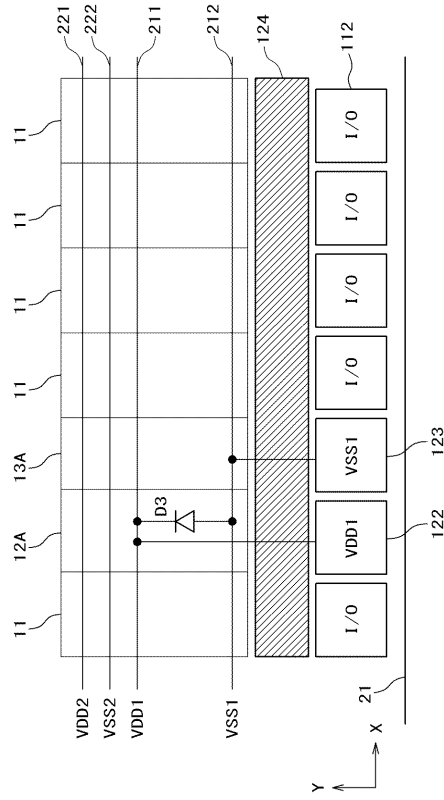


【図 12】



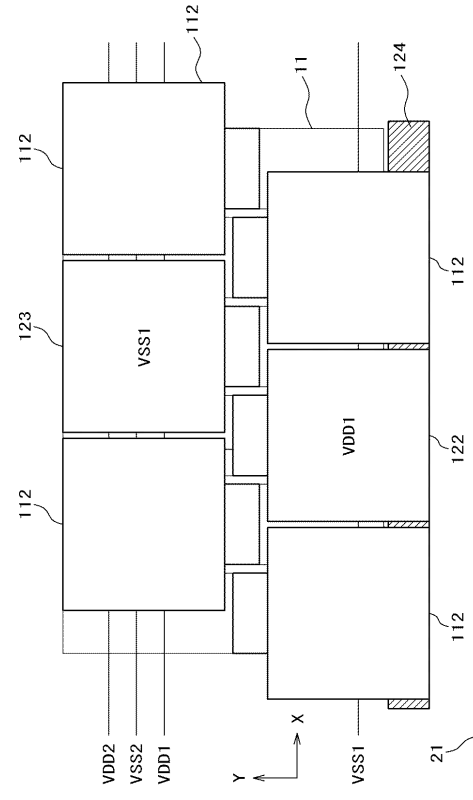
【図 17】

図 17



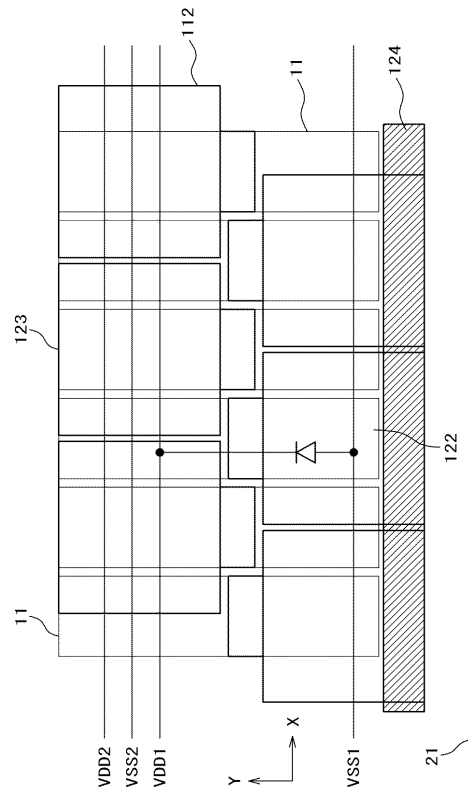
【図 18】

図 18



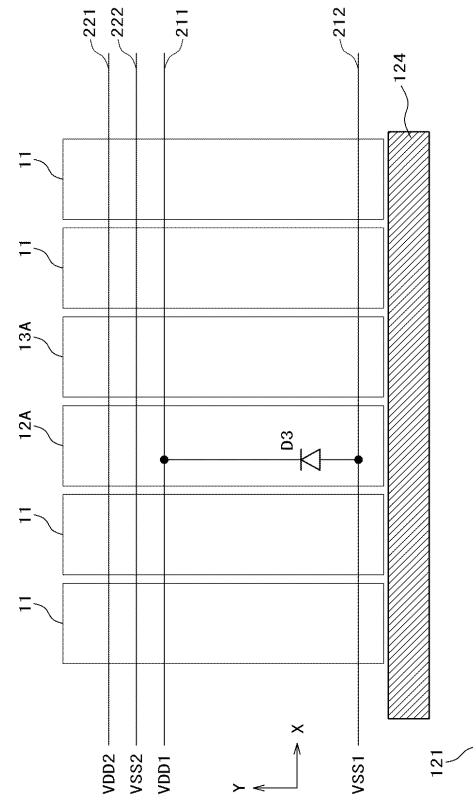
【図 19】

図 19

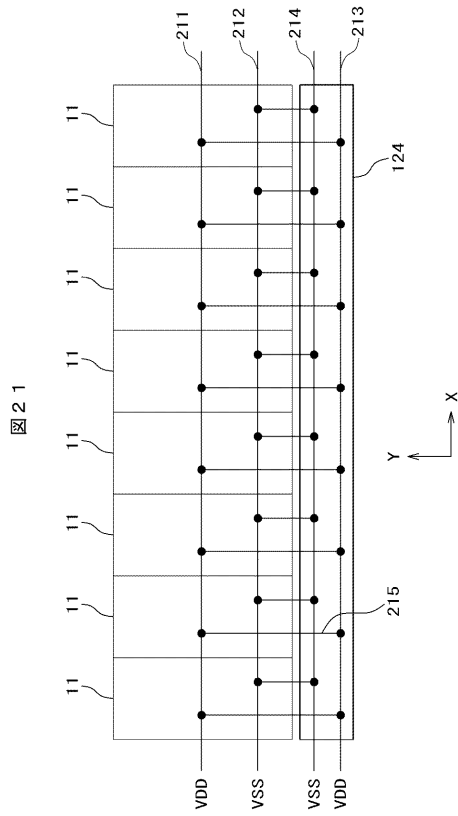


【図 20】

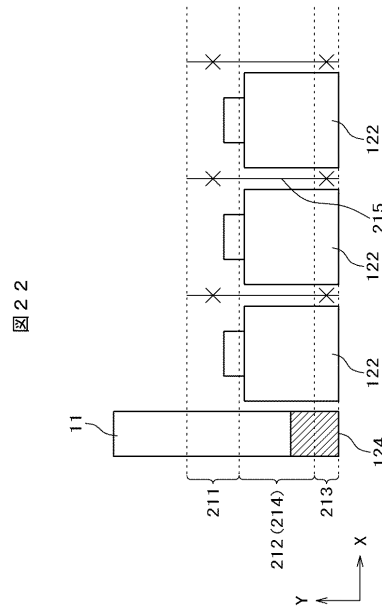
図 20



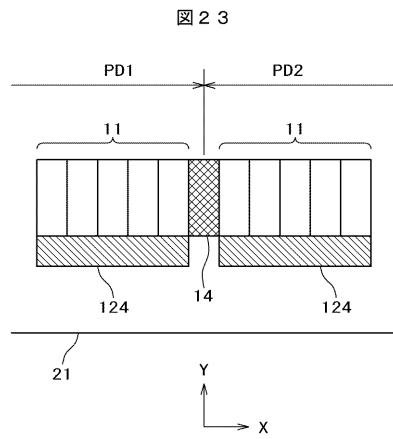
【図 2 1】



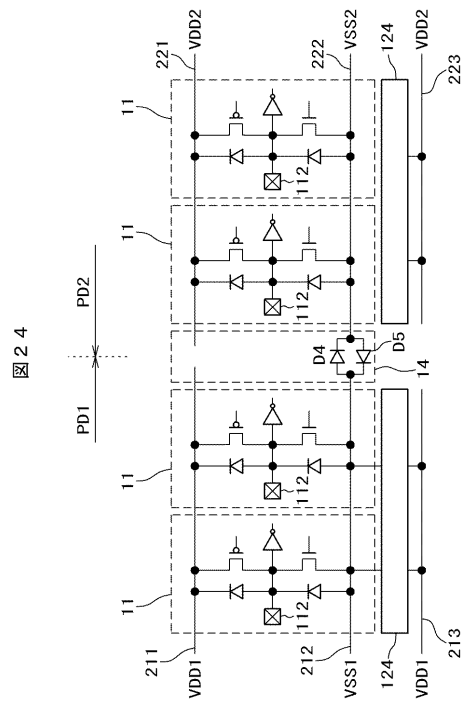
【図 2 2】



【図 2 3】

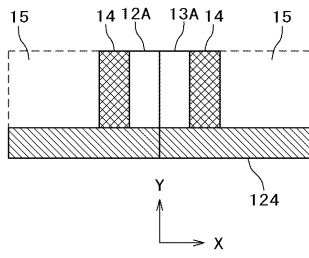


【図 2 4】



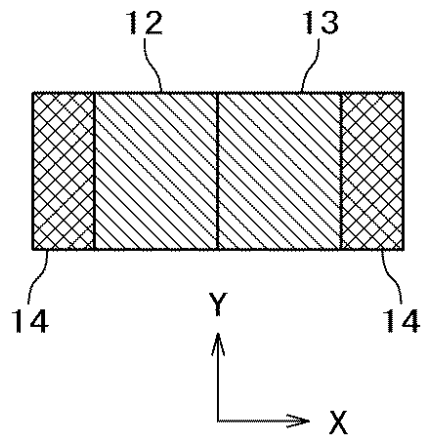
【図 25】

図 25



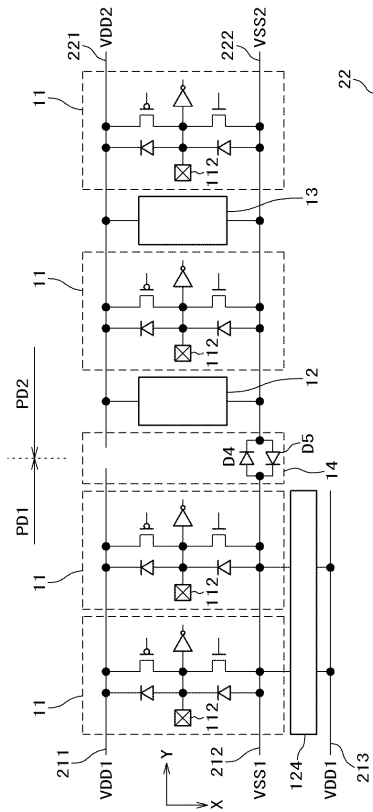
【図 26】

図 26



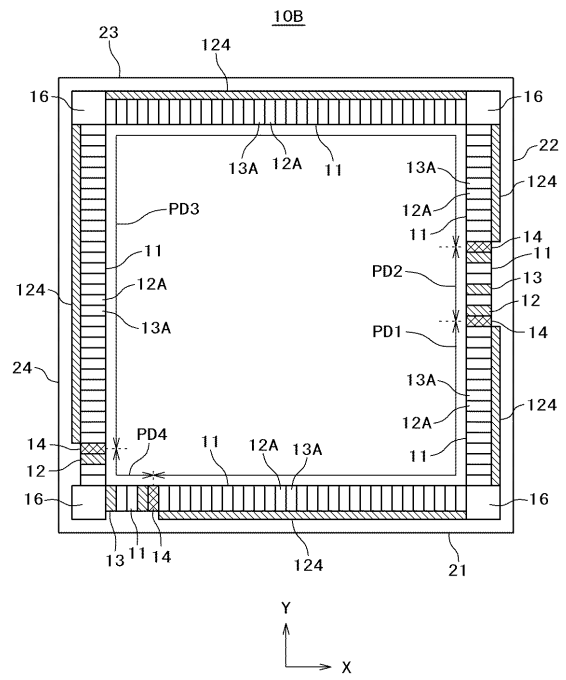
【図 28】

図 28



【図 27】

図 27



フロントページの続き

審査官 市川 武宜

- (56)参考文献 特開2013-161959 (JP, A)
国際公開第2006/011292 (WO, A1)
特開2010-278109 (JP, A)
特開平06-089973 (JP, A)
特開2011-082544 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/822
H01L 21/82
H01L 27/04
H01L 27/06