

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4340595号  
(P4340595)

(45) 発行日 平成21年10月7日(2009.10.7)

(24) 登録日 平成21年7月10日(2009.7.10)

(51) Int.Cl.

**G O 1 R 31/28 (2006.01)**

F I

G O 1 R 31/28

H

請求項の数 6 (全 11 頁)

<p>(21) 出願番号 特願2004-192195 (P2004-192195)                  (22) 出願日 平成16年6月29日 (2004.6.29)                  (65) 公開番号 特開2006-10651 (P2006-10651A)                  (43) 公開日 平成18年1月12日 (2006.1.12)                  審査請求日 平成18年3月23日 (2006.3.23)</p>	<p>(73) 特許権者 390005175                  株式会社アドバンテスト                  東京都練馬区旭町1丁目32番1号                  (74) 代理人 100104156                  弁理士 龍華 明裕                  (72) 発明者 大空 聡                  東京都練馬区旭町1丁目32番1号 株式                  会社アドバンテスト内                   審査官 堀 圭史</p>
--	---

最終頁に続く

(54) 【発明の名称】 試験装置及び試験方法

(57) 【特許請求の範囲】

【請求項1】

被試験デバイスの端子から順次出力される出力パターン列と、前記出力パターン列と比較されるべき期待値パターン列との比較結果に基づいて、前記被試験デバイスの良否を判定する試験装置であって、

前記被試験デバイスの試験プログラムに含まれる複数の命令を順次実行し、実行された各々の命令に対応付けられた期待値パターンをメモリから読み出すシーケンス制御部と、

予め定められたヘッダパターン列に一致する出力パターン列の検出開始を指示する検出開始命令が実行された場合に、前記ヘッダパターン列と一致する出力パターン列が前記被試験デバイスから出力されるか否かを検出するヘッダパターン検出部と、

前記出力パターン列及び前記期待値パターン列を比較する期待値比較部と、

前記ヘッダパターン列と一致する出力パターン列が検出された場合に、各々の期待値パターンと、当該期待値パターンと比較されるべき出力パターンとを同期して同一サイクルにおいて前記期待値比較部に入力させるタイミング調整部とを備える試験装置。

【請求項2】

前記シーケンス制御部は、前記出力パターンを前記期待値パターンと比較する比較段階を有する複数の段階からなる命令実行パイプラインにより、各々の前記命令を実行し、

前記タイミング調整部は、前記比較段階に前記期待値パターンが入力されるタイミングにおいて、当該期待値パターンと比較されるべき出力パターンを前記比較段階に入力させ

る調整を行う

請求項 1 記載の試験装置。

【請求項 3】

前記シーケンス制御部により、前記ヘッダパターン列の検出終了を指示する検出終了命令が実行された場合に、前記タイミング調整部は、一の命令に対応付けられた期待値パターンと、前記一の命令の実行時に取得された出力パターンとを、同一サイクルにおいて前記期待値比較部に入力させる

請求項 1 記載の試験装置。

【請求項 4】

複数の前記ヘッダパターン列を格納するヘッダパターン格納部を更に備え、

前記シーケンス制御部は、前記検出開始命令として、検出対象のヘッダパターン列を前記ヘッダパターン格納部から選択する指示を含む命令を実行し、

前記ヘッダパターン検出部は、前記検出開始命令に基づいて選択したヘッダパターン列について、当該ヘッダパターン列と一致する出力パターン列が前記被試験デバイスから出力されるか否かを検出する

請求項 1 記載の試験装置。

【請求項 5】

前記ヘッダパターン列の検出を開始してから予め定められた期間内に、前記ヘッダパターン列と一致する出力パターン列が検出されなかった場合に、前記ヘッダパターン列の検出に失敗した旨を通知するエラー通知部

を更に備える請求項 1 記載の試験装置。

【請求項 6】

被試験デバイスの端子から順次出力される出力パターン列と、前記出力パターン列と比較されるべき期待値パターン列との比較結果に基づいて、前記被試験デバイスの良否を判定する試験方法であって、

前記被試験デバイスの試験プログラムに含まれる複数の命令を順次実行し、実行された各々の命令に対応付けられた期待値パターンをメモリから読み出すシーケンス制御段階と、

予め定められたヘッダパターン列に一致する出力パターン列の検出開始を指示する検出開始命令が実行された場合に、前記ヘッダパターン列と一致する出力パターン列が前記被試験デバイスから出力されるか否かを検出するヘッダパターン検出段階と、

前記出力パターン列及び前記期待値パターン列を比較する期待値比較段階と、

前記ヘッダパターン列と一致する出力パターン列が検出された場合に、各々の期待値パターンと、当該期待値パターンと比較されるべき出力パターンとを同期して同一サイクルにおいて前記期待値比較段階において比較させるタイミング調整段階と

を備える試験方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、試験装置及び試験方法に関する。特に、本発明は、電子デバイスから出力される信号の出力パターンと、予め定められた期待値パターンとを比較することにより、その電子デバイスの良否を判定する試験装置及び試験方法に関する。

【背景技術】

【0002】

試験装置は、試験対象となる被試験デバイス (DUT: Device Under Test) の試験を、試験プログラムに基づいて行う。具体的には、試験装置は、試験プログラムの命令をメモリから順次読み出して実行する。そして、試験装置は、各命令に対応付けられた試験パターンをメモリから読み出して、被試験デバイスの各端子に出力する。その結果出力された出力パターンは、被試験デバイスが出力すべき予め定められた期待値パターンと比較される

。

10

20

30

40

50

なお、本出願に対応する外国の特許出願においては下記の文献が発見または提出されている。

【特許文献 1】特開平 1 1 - 2 4 8 8 0 4 号公報

【特許文献 2】特開 2 0 0 2 - 1 3 9 5 5 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 3 】

被試験デバイスによっては、出力パターン列の出力が開始されるタイミングが定まっていない場合がある。このため、出力パターン列の先頭を示す予め定められたヘッダパターン列を、被試験デバイスに出力させ、ヘッダパターンを検出した後に期待値パターンとの比較を開始する方法（ハント機能）が考えられる。即ちこの方法によると、試験装置は、ヘッダパターン列が検出された場合に、そのヘッダパターンに続いて出力される出力パターン列を、期待値パターン列と比較する。

10

【 0 0 0 4 】

しかしながら、この方法によると、被試験デバイスから出力パターン列が出力されるタイミングと、その出力パターン列と比較されるべき期待値パターンがメモリから読み出されるタイミングとが異なる場合がある。従って、パターンを適切に比較するためには、タイミングの異なる期待値パターン列及び出力パターン列を同期させなければならない。

【 0 0 0 5 】

そこで本発明は、上記の課題を解決することのできる試験装置及び試験方法を提供することを目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

20

【課題を解決するための手段】

【 0 0 0 6 】

上記課題を解決するために、本発明の第 1 の形態においては、被試験デバイスの端子から順次出力される出力パターン列と、出力パターン列と比較されるべき期待値パターン列との比較結果に基づいて、被試験デバイスの良否を判定する試験装置であって、被試験デバイスの試験プログラムに含まれる複数の命令を順次実行し、実行された各々の命令に対応付けられた期待値パターンをメモリから読み出すシーケンス制御部と、予め定められたヘッダパターン列に一致する出力パターン列の検出開始を指示する検出開始命令が実行された場合に、ヘッダパターン列と一致する出力パターン列が被試験デバイスから出力されるか否かを検出するヘッダパターン検出部と、出力パターン列及び期待値パターン列を比較する期待値比較部と、ヘッダパターン列と一致する出力パターン列が検出された場合に、各々の期待値パターンと、当該期待値パターンと比較されるべき出力パターンとを同期して同一サイクルにおいて期待値比較部に入力させるタイミング調整部とを備える試験装置を提供する。

30

【 0 0 0 7 】

シーケンス制御部は、出力パターンを期待値パターンと比較する比較段階を有する複数の段階からなる命令実行パイプラインにより、各々の命令を実行し、タイミング調整部は、比較段階に期待値パターンが入力されるタイミングにおいて、当該期待値パターンと比較されるべき出力パターンを比較段階に入力させる調整を行ってもよい。

40

シーケンス制御部により、ヘッダパターン列の検出終了を指示する検出終了命令が実行された場合に、タイミング調整部は、一の命令に対応付けられた期待値パターンと、一の命令の実行時に取得された出力パターンとを、同一サイクルにおいて期待値比較部に入力させてもよい。

【 0 0 0 8 】

複数のヘッダパターン列を格納するヘッダパターン格納部を更に備え、シーケンス制御部は、検出開始命令として、検出対象のヘッダパターン列をヘッダパターン格納部から選択する指示を含む命令を実行し、ヘッダパターン検出部は、検出開始命令に基づいて選択したヘッダパターン列について、当該ヘッダパターン列と一致する出力パターン列が被試

50

験デバイスから出力されるか否かを検出してもよい。

ヘッダパターン列の検出を開始してから予め定められた期間内に、ヘッダパターン列と一致する出力パターン列が検出されなかった場合に、ヘッダパターン列の検出に失敗した旨を通知するエラー通知部を更に備えてもよい。

【0009】

本発明の第2の形態においては、被試験デバイスの端子から順次出力される出力パターン列と、出力パターン列と比較されるべき期待値パターン列との比較結果に基づいて、被試験デバイスの良否を判定する試験方法であって、被試験デバイスの試験プログラムに含まれる複数の命令を順次実行し、実行された各々の命令に対応付けられた期待値パターンをメモリから読み出すシーケンス制御段階と、予め定められたヘッダパターン列に一致する出力パターン列の検出開始を指示する検出開始命令が実行された場合に、ヘッダパターン列と一致する出力パターン列が被試験デバイスから出力されるか否かを検出するヘッダパターン検出段階と、出力パターン列及び期待値パターン列を比較する期待値比較段階と、ヘッダパターン列と一致する出力パターン列が検出された場合に、各々の期待値パターンと、当該期待値パターンと比較されるべき出力パターンとを同期して同一サイクルにおいて期待値比較段階において比較させるタイミング調整段階とを備える試験装置を提供する。

10

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【発明の効果】

20

【0010】

本発明によれば、出力パターン列の出力を、期待値パターン列の読出しに同期させて比較することができる。

【発明を実施するための最良の形態】

【0011】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0012】

図1は、試験装置10の構成を示す。試験装置10は、1又は複数の端子を備えるDUT100を試験する試験装置であり、メインメモリ102と、セントラルパターン制御部112と、複数のチャンネルブロック130とを備える。

30

【0013】

メインメモリ102は、DUT100の試験プログラムを格納し、試験プログラムを実行した結果DUT100が出力する出力パターンを記録する。メインメモリ102は、命令メモリ104と、複数の試験パターンメモリ106と、複数の期待値パターンメモリ108と、デジタルキャプチャメモリ110とを有する。

【0014】

命令メモリ104は、試験プログラムに含まれる各命令を格納する。複数の試験パターンメモリ106のそれぞれは、DUT100の各端子に対応して設けられ、各命令に対応付けて、当該命令を実行する命令サイクル期間中に用いる試験パターン列を各端子毎に格納する。

40

【0015】

ここで試験パターン列は、命令サイクル期間中にDUT100の端子に対して順次出力するべき複数の試験パターンを含む。例えば、試験装置10が1命令サイクル当たり32ビットの信号をDUT100に対して出力する場合、試験パターンメモリ106は、各命令に対応付けて、1命令サイクル期間中に出力する32ビットの信号に対応する32個の試験パターンからなる試験パターン列を格納する。

【0016】

複数の期待値パターンメモリ108のそれぞれは、DUT100の各端子に対応して設

50

けられ、各命令に対応付けて、当該命令を実行する命令サイクル期間中に用いる期待値パターン列を格納する。ここで、期待値パターン列は、命令サイクル期間中にDUT100の端子から順次出力される複数の出力パターンと順次比較されるべき複数の期待値パターンを含む。デジタルキャプチャメモリ110は、試験プログラムを実行した結果DUT100が出力する出力パターンを記録する。

【0017】

以上において、命令メモリ104、複数の試験パターンメモリ106、複数の期待値パターンメモリ108、及び/又はデジタルキャプチャメモリ110は、メインメモリ102を構成する別個のメモリモジュールに分割して設けられてもよく、同一のメモリモジュール内の異なる記憶領域として設けられてもよい。

10

【0018】

セントラルパターン制御部112は、メインメモリ102及び複数のチャンネルブロック130に接続され、DUT100の各端子に共通の処理を行う。セントラルパターン制御部112は、パターンリストメモリ114と、ベクタ生成制御部116と、セントラルキャプチャ制御部120と、パターンリザルトメモリ122とを有する。

【0019】

パターンリストメモリ114は、試験プログラムのメインルーチンや各サブルーチンのそれぞれについて、命令メモリ104における当該ルーチンの開始/終了アドレス、試験パターンメモリ106における試験パターンの開始アドレス、期待値パターンメモリ108における期待値パターンの開始アドレス等を格納する。ベクタ生成制御部116は、シーケンシャルパターン生成部146と共に本発明に係るシーケンシャル制御部として機能し、命令サイクル毎に、DUT100の試験プログラムに含まれる命令を順次実行する。より具体的には、ベクタ生成制御部116は、各ルーチン毎に、開始アドレスから終了アドレスまでの各命令をパターンリストメモリ114から順次読み出して、順次実行する。

20

【0020】

セントラルキャプチャ制御部120は、DUT100の各端子毎の良否判定結果を各チャンネルブロック130から受けて、各ルーチン毎のDUT100の良否判定結果を集計する。パターンリザルトメモリ122は、各ルーチン毎のDUT100の良否判定結果を格納する。

【0021】

複数のチャンネルブロック130のそれぞれは、DUT100の各端子に対応して設けられる。各チャンネルブロック130は、チャンネルパターン生成部140と、タイミング生成部160と、ドライバ170と、コンパレータ180とを有する。

30

【0022】

チャンネルパターン生成部140は、当該端子の試験に用いる試験パターン列又は期待値パターン列を生成し、DUT100の出力パターン列及び期待値パターン列の比較を行う。チャンネルパターン生成部140は、シーケンシャルパターン生成部142と、フォーマット制御部144と、シーケンシャルパターン生成部146と、ハント・コンペア部148と、フェイルキャプチャ制御部150と、フェイルキャプチャメモリ152とを含む。

【0023】

シーケンシャルパターン生成部142は、実行するルーチンに対応して出力すべき試験パターン列の開始アドレスを、ベクタ生成制御部116から受信する。そして、シーケンシャルパターン生成部142は、各命令サイクルに対応して当該開始アドレスから順に試験パターンメモリ106から試験パターン列を読み出して、順次フォーマット制御部144へ出力する。フォーマット制御部144は、試験パターン列を、ドライバ170を制御するためのフォーマットに変換する。

40

【0024】

シーケンシャルパターン生成部146は、ベクタ生成制御部116と共に本発明に係るシーケンス制御部として機能し、実行するルーチンに対応して、期待値パターン列の開始アドレスをベクタ生成制御部116から受信する。そして、シーケンシャルパターン生成

50

部 1 4 6 は、各命令サイクルに対応して当該開始アドレスから順に期待値パターンメモリ 1 0 8 から期待値パターンを読み出して、順次ハント・コンペア部 1 4 8 及びフェイルキャプチャ制御部 1 5 0 へ出力する。

【 0 0 2 5 】

ハント・コンペア部 1 4 8 は、コンパレータ 1 8 0 を介して D U T 1 0 0 が出力した出力パターン列を入力し、期待値パターン列と比較する。ここでハント・コンペア部 1 4 8 は、D U T 1 0 0 から出力されるタイミングが不定の出力パターン列については、D U T 1 0 0 から特定のヘッダパターン列が出力されたことを条件として期待値パターン列との比較を開始するハント機能を有してよい。この場合、ハント・コンペア部 1 4 8 は、ヘッダパターン列に一致する出力パターン列の検出を開始する検出開始命令が実行されたことを条件として、ヘッダパターン列の検出を開始してもよい。ハント機能によって、ハント・コンペア部 1 4 8 は、例えば、ヘッダパターン列の検出を開始してからヘッダパターン列が検出されるまでに要した時間に基づいて、出力パターン列を期待値パターン列と比較するタイミングを調整する。

10

【 0 0 2 6 】

フェイルキャプチャ制御部 1 5 0 は、D U T 1 0 0 の出力パターン列及び期待値パターン列の一致 / 不一致の情報をハント・コンペア部 1 4 8 から受けて、当該端子についての D U T 1 0 0 の良否判定結果を生成する。フェイルキャプチャメモリ 1 5 2 は、ハント・コンペア部 1 4 8 によるハント処理の結果や期待値と不一致となった出力パターンの値等を含むフェイル情報を格納する。

20

【 0 0 2 7 】

タイミング生成部 1 6 0 は、ドライバ 1 7 0 が試験パターン列内の各試験パターンを出力するタイミング、及び、コンパレータ 1 8 0 が D U T 1 0 0 の出力パターンを取り込むタイミングを生成する。ドライバ 1 7 0 は、タイミング生成部 1 6 0 により指定されたタイミングにおいて、チャンネルパターン生成部 1 4 0 内のフォーマット制御部 1 4 4 により出力される各試験パターンを D U T 1 0 0 へ出力する。コンパレータ 1 8 0 は、タイミング生成部 1 6 0 により指定されたタイミングにおいて、D U T 1 0 0 の端子から出力された出力パターンを取得し、チャンネルブロック 1 3 0 内のハント・コンペア部 1 4 8 及びデジタルキャプチャメモリ 1 1 0 へ供給する。

【 0 0 2 8 】

なお、チャンネルパターン生成部 1 4 0 は、以上に示したシーケンシャルパターン生成部 1 4 2 及びシーケンシャルパターン生成部 1 4 6 を別個に設ける構成に代えて、シーケンシャルパターン生成部 1 4 2 及びシーケンシャルパターン生成部 1 4 6 の機能を有する共通のシーケンシャルパターン生成部を備える構成を採ってもよい。

30

【 0 0 2 9 】

図 2 は、ハント・コンペア部 1 4 8 の構成を示す。ハント・コンペア部 1 4 8 は、ヘッダパターン格納部 2 0 0 と、ヘッダパターン検出部 2 1 0 と、アラインメント部 2 2 0 と、期待値比較部 2 3 0 と、タイミング調整部 2 4 0 と、セレクト部 2 5 0 と、エラー通知部 2 6 0 とを有する。ヘッダパターン格納部 2 0 0 は、複数のヘッダパターン列を格納する。ヘッダパターン検出部 2 1 0 は、ベクタ生成制御部 1 1 6 から受けた信号に基づいて、ヘッダパターン列に一致する出力パターン列の検出開始を指示する検出開始命令が実行されたか否かを判断する。ここで、検出開始命令は、検出対象のヘッダパターン列をヘッダパターン格納部 2 0 0 から選択する指示を含む。

40

【 0 0 3 0 】

ヘッダパターン検出部 2 1 0 は、検出開始命令が実行された場合に、検出開始命令に基づいて、検出対象のヘッダパターン列をヘッダパターン格納部 2 0 0 から選択する。そして、ヘッダパターン検出部 2 1 0 は、検出開始命令に基づいて選択したヘッダパターン列について、そのヘッダパターン列と一致する出力パターン列が被試験デバイス 1 0 0 から出力されるか否かを検出する。具体的には、ヘッダパターン検出部 2 1 0 は、コンパレータ 1 8 0 の出力信号の中から、ヘッダパターン列と一致する出力パターン列を検出する。

50

## 【 0 0 3 1 】

タイミング調整部 2 4 0 は、ヘッダパターン列と一致する出力パターン列が検出された場合に、ヘッダパターン列の検出を開始してからヘッダパターン列が検出されるまでに経過した時間に基づいて、出力パターン列の出力タイミングを調節するパラメータをアラインメント部 2 2 0 に設定する。例えば、タイミング調整部 2 4 0 は、出力パターン列を遅延させる遅延量をアラインメント部 2 2 0 に設定してもよい。この遅延量を適切に設定することにより、出力パターン列及び期待値パターン列を同期させることができる。

## 【 0 0 3 2 】

アラインメント部 2 2 0 は、被試験デバイス 1 0 0 から出力された出力パターン列をコンパレータ 1 8 0 から入力する。そして、アラインメント部 2 2 0 は、入力した出力パターン列を、タイミング調整部 2 4 0 により設定された遅延量だけ遅延させて、期待値比較部 2 3 0 及びセクタ 2 5 0 に送る。なお、アラインメント部 2 2 0 は、ヘッダパターン列が未検出の場合には、出力パターン列を遅延させることなくそのまま出力してもよい。

10

## 【 0 0 3 3 】

より具体的には、アラインメント部 2 2 0 は、縦続接続された複数のフリップフロップと、複数のフリップフロップの何れかの出力を選択して出力するセクタとを有する。そして、初段のフリップフロップは、出力パターン列を順次入力する。セクタは、タイミング調整部 2 4 0 により設定された遅延量に基づいて、何れかのフリップフロップの出力を選択して出力する。これにより、アラインメント部 2 2 0 は、出力パターンが通過するフリップフロップの数を可変とすることができ、出力パターン列及び期待値パターン列のタイミングを合わせることができる。

20

## 【 0 0 3 4 】

期待値比較部 2 3 0 は、ヘッダパターン列が検出された場合に、アラインメント部 2 2 0 から入力した出力パターン列と、シーケンシャルパターン生成部 1 4 6 から入力した期待値パターン列とを比較し、比較結果を順次セクタ 2 5 0 に送る。セクタ 2 5 0 は、ヘッダパターン列が検出された場合には、期待値比較部 2 3 0 による比較結果を入力してフェイルキャプチャ制御部 1 5 0 に送る。一方、セクタ 2 5 0 は、ヘッダパターン列が検出されていない場合には、アラインメント部 2 2 0 から入力した出力パターン列をフェイルキャプチャ制御部 1 5 0 に送る。

## 【 0 0 3 5 】

エラー通知部 2 6 0 は、ヘッダパターン列の検出を開始してから予め定められた期間内に、そのヘッダパターン列と一致する出力パターン列が検出されなかった場合に、ヘッダパターン列の検出に失敗した旨を試験装置 1 0 の利用者に通知する。これにより、利用者は、ヘッダパターン列を検出できないエラーの発生を適切に知ることができると共に、フェイルキャプチャメモリ 1 5 2 に格納された、エラー発生までの出力パターン列を調べることによりそのエラーの発生原因を容易に追究できる。

30

## 【 0 0 3 6 】

図 3 は、期待値パターン列及び出力パターン列が比較される処理のタイミングを示す。ベクタ生成制御部 1 1 6 は、命令を実行する命令実行段階と、出力パターンを期待値パターンと比較する比較段階とを有する複数の段階からなる命令実行パイプラインにより、各々の命令を実行する。より具体的には、命令実行段階において、ベクタ生成制御部 1 1 6 は、ヘッダパターン列の検出開始を指示する P K T S T 命令と、そのヘッダパターン列の検出終了を指示する P K T E N D 命令とを含む複数の命令を、命令サイクル毎に順次実行する。ここで、P K T S T 命令は、本発明に係る検出開始命令の一例であり、P K T E N D 命令は、本発明に係る検出終了命令の一例である。

40

## 【 0 0 3 7 】

シーケンシャルパターン生成部 1 4 6 は、複数の命令の各々について、当該命令に対応する期待値パターンを期待値パターンメモリ 1 0 8 から順次読み出す。例えば、シーケンシャルパターン生成部 1 4 6 は、P K T S T 命令に対応する期待値パターンである E D<sub>1</sub>を読み出す。また、シーケンシャルパターン生成部 1 4 6 は、P K T S T 命令の次の N O

50

P命令に対応する期待値パターンである $ED_2$ を読み出す。ここで、比較段階は命令実行段階より後に実行されるので、比較段階に期待値パターン列が入力されるタイミングは、命令実行段階において対応する命令が実行されるタイミングより遅れる。

【0038】

比較段階において、コンパレータ180は、DUT100の端子から出力された出力パターンを取得し、ハント・コンペア部148へ供給する。例えば、コンパレータ180は、出力パターン列 $D_1$ 、 $D_2$ 、 $D_3$ 、 $\dots$ 、 $D_n$ 、 $D_{n+1}$ 、及び $D_{n+2}$ を順次取得してハント・コンペア部148へ供給する。アラインメント部220は、この出力パターン列を、タイミング調整部240により設定された遅延量だけ遅延させて、期待値比較部230に出力する。

10

【0039】

より具体的には、タイミング調整部240は、アラインメント部220に適切な遅延量を設定することにより、比較段階に期待値パターン列 $ED_1$ 、 $ED_2$ 、及び $ED_3$ が入力されるタイミングにおいて、 $ED_1$ 、 $ED_2$ 、及び $ED_3$ と比較されるべき出力パターン列 $D_1$ 、 $D_2$ 、 $D_3$ を比較段階に入力させる調整を行う。同様に、タイミング調整部240は、比較段階に期待値パターン列 $ED_n$ 、 $ED_{n+1}$ 、及び $ED_{n+2}$ が入力されるタイミングにおいて、 $ED_n$ 、 $ED_{n+1}$ 、及び $ED_{n+2}$ と比較されるべき出力パターン列 $D_n$ 、 $D_{n+1}$ 、 $D_{n+2}$ を比較段階に入力させる。これにより、タイミング調整部240は、各々の期待値パターンと、その期待値パターンと比較されるべき出力パターンとを同期して同一サイクルにおいて期待値比較部230に入力させることができる。

20

【0040】

このように、本実施例における試験装置10によれば、被試験デバイス100から出力パターンの出力が開始されるタイミングが不定な場合であっても、期待値パターン及び出力パターンを適切に同期させることができる。

【0041】

ベクタ生成制御部116がPKTEND命令を実行した場合において、タイミング調整部240は、期待値比較部230により出力パターンを遅延させない設定を行う。これにより、期待値比較部230は、入力した出力パターン列を遅延させることなくそのまま期待値比較部230に出力する。より具体的には、PKTEND命令実行後に、シーケンシャルパターン生成部146は、期待値パターン列 $ED_m$ 、 $ED_{m+1}$ 、及び $ED_{m+2}$ を読み出す。ここで、比較段階は命令実行段階より後に実行されるので、比較段階に期待値パターン列が入力されるタイミングは、命令実行段階において対応する命令が実行されるタイミングより遅れる。

30

【0042】

比較段階において、コンパレータ180は、出力パターン列 $D_m$ 、 $D_{m+1}$ 、及び $D_{m+2}$ を順次取得してハント・コンペア部148へ供給する。アラインメント部220は、この出力パターン列を遅延させることなく期待値比較部230に出力する。この結果、期待値比較部230は、出力パターン $D_{m+1}$ 及び期待値パターン $ED_m$ を比較して比較結果 $R_m$ をフェイルメモリに書き込む。

【0043】

40

以上のように、PKTEND命令が実行された場合には、タイミング調整部240は、アラインメント部220に設定した遅延量をヘッダパターン検出前の状態に戻す。この結果、タイミング調整部240は、ある命令に対応付けられた期待値パターンと、その命令の実行時に被試験デバイス100から取得された出力パターンとを、同一サイクルにおいて期待値比較部230に入力させることができる。これにより、被試験デバイス100の試験の一部のみに対して、期待値パターン及び出力パターンを同期させるか否かを制御できる。

【0044】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えること

50

が可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【図面の簡単な説明】

【0045】

【図1】図1は、試験装置10の構成を示す。

【図2】図2は、ハント・コンペア部148の構成を示す。

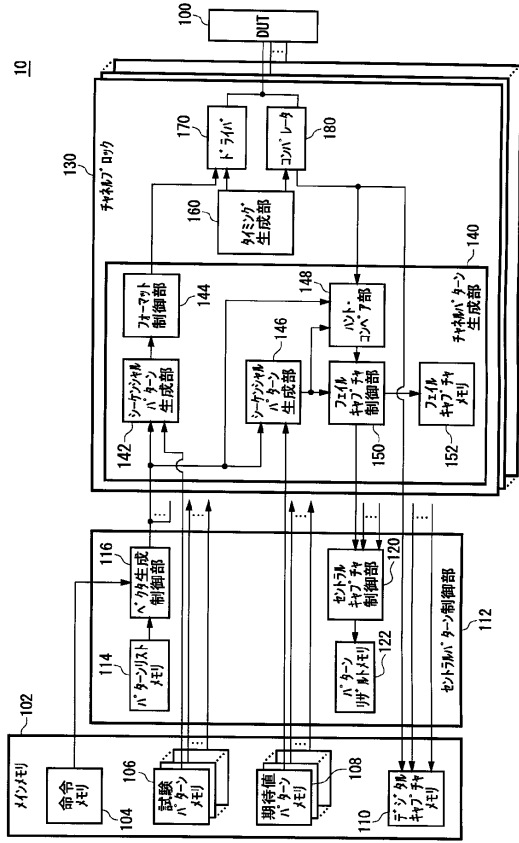
【図3】図3は、期待値パターン列及び出力パターン列が比較される処理のタイミングを示す。

【符号の説明】

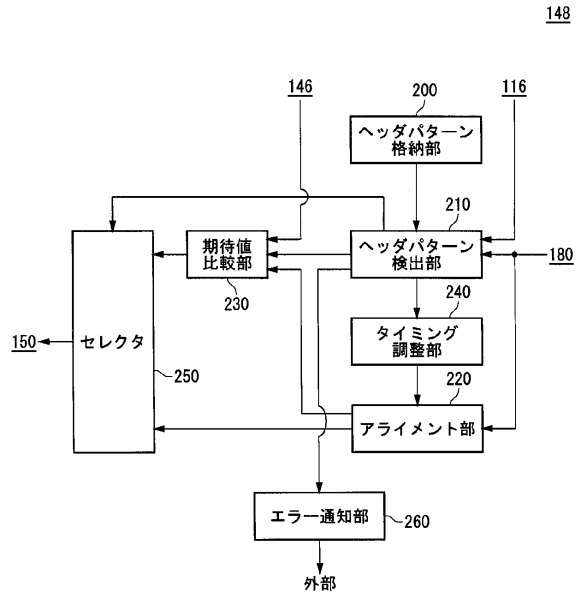
【0046】

10	試験装置	10
100	被試験デバイス	
102	メインメモリ	
104	命令メモリ	
106	試験パターンメモリ	
108	期待値パターンメモリ	
110	デジタルキャプチャメモリ	
112	セントラルパターン制御部	
114	パターンリストメモリ	
116	ベクタ生成制御部	20
120	セントラルキャプチャ制御部	
122	パターンリザルトメモリ	
130	チャンネルブロック	
140	チャンネルパターン生成部	
142	シーケンシャルパターン生成部	
144	フォーマット制御部	
146	シーケンシャルパターン生成部	
148	ハント・コンペア部	
150	フェイルキャプチャ制御部	
152	フェイルキャプチャメモリ	30
160	タイミング生成部	
170	ドライバ	
180	コンパレータ	
200	ヘッダパターン格納部	
210	ヘッダパターン検出部	
220	アラインメント部	
230	期待値比較部	
240	タイミング調整部	
250	セレクタ	
260	エラー通知部	40

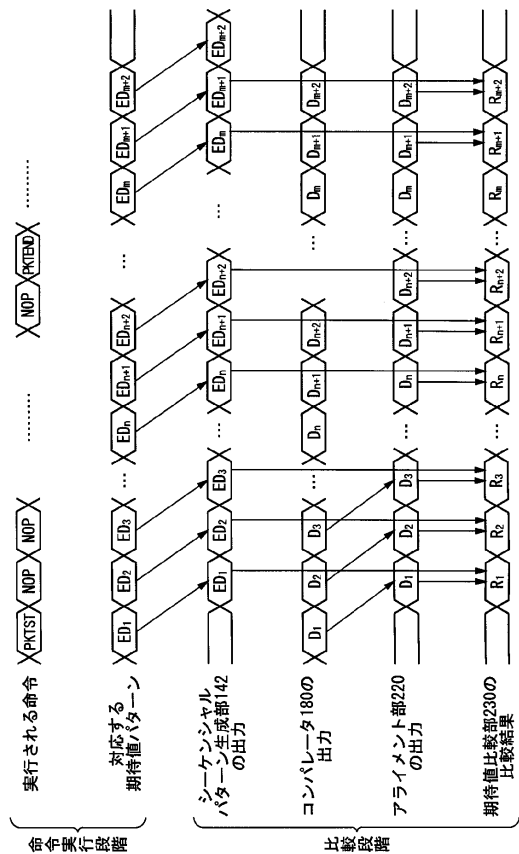
【図1】



【図2】



【図3】



---

フロントページの続き

- (56)参考文献 特開2000-98007(JP,A)  
特開昭64-59088(JP,A)  
特開2003-270303(JP,A)  
特開2002-139557(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28-3193  
G06F 11/22-277