

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-160930

(P2014-160930A)

(43) 公開日 平成26年9月4日(2014.9.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/374 (2011.01)	HO4N 5/335 740	4M118
HO4N 5/378 (2011.01)	HO4N 5/335 780	5C024
HO1L 27/146 (2006.01)	HO1L 27/14 A	

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願2013-30403 (P2013-30403)
 (22) 出願日 平成25年2月19日 (2013.2.19)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (74) 代理人 100121131
 弁理士 西川 孝
 (72) 発明者 坂根 誠二郎
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 4M118 AB01 AB10 BA14 CA02 CA25
 FA06 FA33
 5C024 AX01 CY17 EX12 GX03 GX16
 GY31 HX23 HX24 HX29 HX32

(54) 【発明の名称】 固体撮像素子およびその駆動方法、並びに電子機器

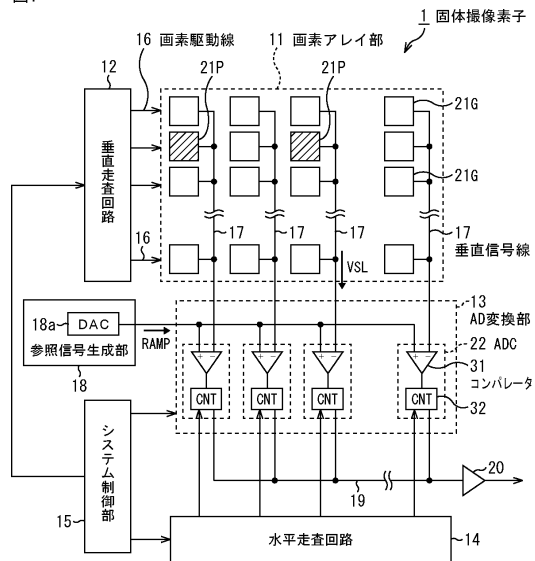
(57) 【要約】

【課題】位相差画素を含む固体撮像素子において、AD変換時間をより短くすることができるようにする。

【解決手段】固体撮像素子は、映像出力用の画素である通常画素と焦点検出用の画素である位相差画素を含む複数の画素が行列状に配列された画素アレイ部を備える。AD変換部は、画素アレイ部の画素が出力する画素信号を、参照信号としてのランプ信号と比較し、比較時間をカウントすることで、画素信号をAD変換する。参照信号生成部は、ランプ信号が通常画素と比較される場合と位相差画素と比較される場合とで、異なる傾斜のランプ信号を生成してAD変換部に出力する。本技術は、例えば、固体撮像素子等に適用できる。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

映像出力用の画素である通常画素と焦点検出用の画素である位相差画素を含む複数の画素が行列状に配列された画素アレイ部と、

前記画素アレイ部の前記画素が出力する画素信号を、参照信号としてのランプ信号と比較し、比較時間をカウントすることで、前記画素信号をAD変換するAD変換部と、

前記ランプ信号が前記通常画素と比較される場合と前記位相差画素と比較される場合とで、異なる傾斜のランプ信号を生成して前記AD変換部に出力する参照信号生成部とを備える固体撮像素子。

【請求項 2】

前記参照信号生成部は、第 1 のランプ信号を生成する第 1 のDA変換器と、前記第 1 のランプ信号よりも傾斜が緩やかな第 2 のランプ信号を生成する第 2 のDA変換器とを有し、

前記第 1 のDA変換器は、生成した前記第 1 のランプ信号を、前記通常画素が出力した画素信号が入力される前記AD変換部に出力し、

前記第 2 のDA変換器は、生成した前記第 2 のランプ信号を、前記位相差画素が出力した画素信号が入力される前記AD変換部に出力する

請求項 1 に記載の固体撮像素子。

【請求項 3】

前記画素アレイ部の所定の画素行は、前記通常画素と前記位相差画素で構成され、

前記第 1 のDA変換器は、生成した前記第 1 のランプ信号を、前記画素行の前記通常画素が出力した画素信号が入力される前記AD変換部に出力し、

前記第 2 のDA変換器は、生成した前記第 2 のランプ信号を、前記画素行の前記位相差画素が出力した画素信号が入力される前記AD変換部に出力する

請求項 2 に記載の固体撮像素子。

【請求項 4】

前記参照信号生成部は、前記画素アレイ部の前記位相差画素が配置されている画素行と、前記位相差画素が配置されていない画素行とで、異なる傾斜のランプ信号を生成して前記AD変換部に出力することにより、前記ランプ信号が前記通常画素と比較される場合と前記位相差画素と比較される場合とで、異なる傾斜のランプ信号を生成して前記AD変換部に出力する

請求項 1 に記載の固体撮像素子。

【請求項 5】

前記画素アレイ部は、前記位相差画素が配置されていない全ての画素行の画素信号を前記AD変換部に出力した後で、前記位相差画素が配置されている画素行の画素信号を前記AD変換部に出力する

請求項 1 に記載の固体撮像素子。

【請求項 6】

映像出力用の画素である通常画素と焦点検出用の画素である位相差画素を含む複数の画素が行列状に配列された画素アレイ部と、前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と、参照信号としてのランプ信号を生成して前記AD変換部に出力する参照信号生成部とを備える固体撮像素子の、

前記参照信号生成部が、前記ランプ信号が前記通常画素と比較される場合と前記位相差画素と比較される場合とで、異なる傾斜のランプ信号を生成して前記AD変換部に出力し、

前記AD変換部が、前記画素アレイ部の前記画素が出力する画素信号を、前記参照信号生成部からの前記ランプ信号と比較し、比較時間をカウントすることで、前記画素信号をAD変換する

駆動方法。

【請求項 7】

映像出力用の画素である通常画素と焦点検出用の画素である位相差画素を含む複数の画素が行列状に配列された画素アレイ部と、

10

20

30

40

50

前記画素アレイ部の前記画素が出力する画素信号を、参照信号としてのランプ信号と比較し、比較時間をカウントすることで、前記画素信号をAD変換するAD変換部と、

前記ランプ信号が前記通常画素と比較される場合と前記位相差画素と比較される場合とで、異なる傾斜のランプ信号を生成して前記AD変換部に出力する参照信号生成部と

を備える固体撮像素子

を備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、固体撮像素子およびその駆動方法、並びに電子機器に関し、特に、位相差画素を含む固体撮像素子において、AD変換時間をより短くすることができる固体撮像素子およびその駆動方法、並びに電子機器に関する。

10

【背景技術】

【0002】

複数の画素を行列状に配置した画素アレイ部において、映像出力用の通常画素に加えて、焦点検出用の位相差画素を配置した固体撮像素子がある（例えば、特許文献1参照）。

【0003】

固体撮像素子には、各画素から出力されるアナログの画素信号をAD変換するためのAD変換器が設けられている。AD変換器は、各画素から出力されたアナログの画素信号を、時間経過に応じてレベル（電圧）が階段状に変化するランプ波形の参照信号（以下、ランプ信号ともいう。）と比較する。そして、この比較処理と並行してカウント処理も実行され、比較処理が完了した時点のカウント値に基づいて画素信号のデジタル値が決定される（例えば、特許文献2参照）。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2000-156823号公報

【特許文献2】特開2011-500463号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0005】

しかしながら、AF合焦精度を向上させるためにAD変換分解能を増やすと、通常画素も同一のAD変換分解能でAD変換されるため変換時間が増大してしまう。

【0006】

本技術は、このような状況に鑑みてなされたものであり、位相差画素を含む固体撮像素子において、AD変換時間をより短くすることができるようにするものである。

【課題を解決するための手段】

【0007】

本技術の第1の側面の固体撮像素子は、映像出力用の画素である通常画素と焦点検出用の画素である位相差画素を含む複数の画素が行列状に配列された画素アレイ部と、前記画素アレイ部の前記画素が出力する画素信号を、参照信号としてのランプ信号と比較し、比較時間をカウントすることで、前記画素信号をAD変換するAD変換部と、前記ランプ信号が前記通常画素と比較される場合と前記位相差画素と比較される場合とで、異なる傾斜のランプ信号を生成して前記AD変換部に出力する参照信号生成部とを備える。

40

【0008】

本技術の第2の側面の駆動方法は、映像出力用の画素である通常画素と焦点検出用の画素である位相差画素を含む複数の画素が行列状に配列された画素アレイ部と、前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と、参照信号としてのランプ信号を生成して前記AD変換部に出力する参照信号生成部とを備える固体撮像素子の、前記参照信号生成部が、前記ランプ信号が前記通常画素と比較される場合と前記位相差画素と

50

比較される場合とで、異なる傾斜のランプ信号を生成して前記AD変換部へ出力し、前記AD変換部が、前記画素アレイ部の前記画素が出力する画素信号を、前記参照信号生成部からの前記ランプ信号と比較し、比較時間をカウントすることで、前記画素信号をAD変換する。

【0009】

本技術の第3の側面の電子機器は、映像出力用の画素である通常画素と焦点検出用の画素である位相差画素を含む複数の画素が行列状に配列された画素アレイ部と、前記画素アレイ部の前記画素が出力する画素信号を、参照信号としてのランプ信号と比較し、比較時間をカウントすることで、前記画素信号をAD変換するAD変換部と、前記ランプ信号が前記通常画素と比較される場合と前記位相差画素と比較される場合とで、異なる傾斜のランプ信号を生成して前記AD変換部へ出力する参照信号生成部とを備える固体撮像素子を備える。

10

【0010】

本技術の第1乃至第3の側面においては、ランプ信号が通常画素と比較される場合と位相差画素と比較される場合とで、異なる傾斜のランプ信号が生成されてAD変換部へ出力され、画素アレイ部の画素が出力する画素信号が、生成されたランプ信号と比較され、比較時間がカウントされることで、画素信号がAD変換される。

【0011】

固体撮像素子及び電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

20

【発明の効果】

【0012】

本技術の第1乃至第3の側面によれば、AD変換時間をより短くすることができる。

【図面の簡単な説明】

【0013】

【図1】本技術が適用された固体撮像素子の第1の実施の形態の概略構成を示すブロック図である。

【図2】画素アレイ部内の通常画素と位相差画素の配置例を示す図である。

【図3】位相差画素のタイプAとタイプBの違いについて説明する図である。

【図4】通常画素行の画素のAD変換動作について説明する図である。

30

【図5】位相差画素行の画素のAD変換動作について説明する図である。

【図6】映像生成に使用される画素エリアを示す図である。

【図7】本技術が適用された固体撮像素子の第2の実施の形態の概略構成を示すブロック図である。

【図8】第2の実施の形態のAD変換動作について説明する図である。

【図9】映像生成に使用される画素エリアを示す図である。

【図10】本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

【発明を実施するための形態】

【0014】

40

以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態（1つのDACを有する固体撮像素子による方法）

2. 第2の実施の形態（2つのDACを有する固体撮像素子による方法）

【0015】

< 1. 第1の実施の形態 >

< 1. 1 固体撮像素子の全体構成例 >

図1は、本技術が適用された固体撮像素子の第1の実施の形態の概略構成を示すブロック図である。

【0016】

50

図1に示される固体撮像素子1は、画素アレイ部11、垂直走査回路12、AD変換部13、水平走査回路14、システム制御部15、画素駆動線16、垂直信号線17、参照信号生成部18、水平出力線19、及び出力部20などを含んで構成される。

【0017】

画素アレイ部11は、受光した光量に応じた光電荷を生成しかつ蓄積する光電変換部を有する画素21が行方向及び列方向に、即ち、行列状に2次元配置された構成となっている。ここで、行方向とは画素行の画素21の配列方向、即ち、水平方向を言い、列方向とは画素列の画素21の配列方向、即ち、垂直方向を言う。

【0018】

行列状に2次元配置された複数の画素21には、映像出力用の画素である通常画素21Gと、焦点検出用の画素である位相差画素21Pの2種類の画素がある。画素アレイ部11における位相差画素21Pの配置については、図2を参照して後述する。

【0019】

画素21は、基板深さ方向に積層された光電変換部と、複数の画素トランジスタ（いわゆるMOSトランジスタ）を有して成る。複数の画素トランジスタは、例えば、転送トランジスタ、選択トランジスタ、リセットトランジスタ及び増幅トランジスタの4つのトランジスタで構成される。

【0020】

また、画素21は、共有画素構造とすることもできる。この画素共有構造は、複数のフォトダイオードと、複数の転送トランジスタと、共有する1つのフローティングディフュージョン（浮遊拡散領域）と、共有する1つずつの他の画素トランジスタとから構成される。すなわち、共有画素では、複数の単位画素を構成するフォトダイオード及び転送トランジスタが、他の1つずつの画素トランジスタを共有して構成される。

【0021】

画素アレイ部11の行列状の画素配列に対して、画素行ごとに画素駆動線16が水平方向に沿って配線され、画素列ごとに垂直信号線17が垂直方向に沿って配線されている。画素駆動線16は、画素21から画素信号VSLを読み出す際の駆動を行うための駆動信号を伝送する。図1では、画素駆動線16について1本の配線として示しているが、1本に限られるものではない。画素駆動線16の一端は、垂直走査回路12の各画素行に対応した出力端に接続されている。

【0022】

垂直走査回路12は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部11の各画素21を全画素同時あるいは行単位等で駆動する。垂直走査回路12の具体的な構成については図示を省略するが、一般的に、読み出し走査系と掃出し走査系の2つの走査系を有する構成となっている。

【0023】

読み出し走査系は、画素21から画素信号VSLを読み出すために、画素アレイ部11の画素21を行単位で順に選択走査する。画素21から読み出される画素信号VSLはアナログ信号である。掃出し走査系は、読み出し走査系によって読み出し走査が行われる読み出し行に対して、その読み出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。

【0024】

この掃出し走査系による掃出し走査により、読み出し行の画素21の光電変換部から不要な電荷が掃き出されることによって光電変換部がリセットされる。そして、この掃出し走査系による不要電荷を掃き出す（リセットする）ことにより、所謂電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換部の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

【0025】

読み出し走査系による読み出し動作によって読み出される画素信号VSLは、その直前の読み出し動作または電子シャッタ動作以降に受光した光量に対応するものである。そして

10

20

30

40

50

、直前の読み出し動作による読み出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読み出し動作による読み出しタイミングまでの期間が、画素 2 1 における光電荷の露光期間となる。

【 0 0 2 6 】

垂直走査回路 1 2 によって選択走査された画素行の各画素 2 1 から出力される画素信号 VSL は、画素列ごとに垂直信号線 1 7 の各々を通して AD 変換部 1 3 に入力される。

【 0 0 2 7 】

AD 変換部 1 3 は、複数の ADC (Analog-Digital Converter) 2 2 を有し、各々の ADC 2 2 は、画素アレイ部 1 1 の画素列に対応して配置されている。各 ADC 2 2 は、同列の画素 2 1 から垂直信号線 1 7 を介して供給される画素信号 VSL に対して、CDS (Correlated Double Sampling ; 相関 2 重サンプリング) 処理及び AD 変換処理を実行する。 10

【 0 0 2 8 】

ADC 2 2 には、参照信号生成部 1 8 の DAC (Digital to Analog Converter) 1 8 a から、時間経過に応じてレベル (電圧) が階段状に変化するランプ信号 RAMP が供給される。

【 0 0 2 9 】

ADC 2 2 は、画素アレイ部 1 1 の同列の画素 2 1 が出力する画素信号 VSL と、DAC 1 8 a からのランプ信号 RAMP とを比較するコンパレータ (比較器) 3 1 と、コンパレータの比較時間をカウントするアップダウンカウンタ 3 2 を有する。

【 0 0 3 0 】

水平走査回路 1 4 は、シフトレジスタやアドレスデコーダなどによって構成され、例えば、AD 変換部 1 3 の画素列に対応する ADC 2 2 を順番に選択する。この水平走査回路 1 4 による選択走査により、ADC 2 2 で一時的に保持されている画素データ (AD 変換後の画素信号) が順番に出力される。 20

【 0 0 3 1 】

システム制御部 1 5 は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、タイミングジェネレータで生成された各種のタイミングを基に、垂直走査回路 1 2、AD 変換部 1 3、及び、水平走査回路 1 4 などの駆動制御を行う。

【 0 0 3 2 】

参照信号生成部 1 8 は、DAC (Digital to Analog Converter) 1 8 a を少なくとも有し、DAC 1 8 a は、参照信号としてのランプ信号 RAMP を生成して、AD 変換部 1 3 の各 ADC 2 2 30 30

【 0 0 3 3 】

水平出力線 1 9 は出力部 (アンプ回路) 2 0 と接続されており、各 ADC 2 2 から出力された AD 変換後の画素信号は、水平出力線 1 9 を介して出力部 2 0 から、固体撮像素子 1 の外部へ出力される。

【 0 0 3 4 】

以上のように構成される固体撮像素子 1 は、CDS 処理と AD 変換処理を行う ADC 2 2 が画素列ごとに配置されたカラム AD 方式と呼ばれる CMOS イメージセンサである。また、固体撮像素子 1 は、画素アレイ部 1 1 内に焦点検出用の位相差画素 2 1 P が配置された像面位相差画素内蔵 CMOS イメージセンサである。 40

【 0 0 3 5 】

< 1 . 2 位相差画素の配置例 >

図 2 は、画素アレイ部 1 1 内の通常画素 2 1 G と位相差画素 2 1 P の配置例を示す図である。

【 0 0 3 6 】

画素アレイ部 1 1 の各画素行は、通常画素 2 1 G の間に位相差画素 2 1 P が配置されている位相差画素行 4 1 と、通常画素 2 1 G のみが配置されている通常画素行 4 2 のどちらかに分類される。そして、位相差画素行 4 1 は、列方向に所定の行間隔で配置される。図 2 の例では、4 行の通常画素行 4 2 に対して 1 行の割合で位相差画素行 4 1 が配置されている。 50

【0037】

位相差画素行41は、例えば、図2に示されるように、通常画素21Gと位相差画素21Pが交互に配置されて構成される。また、位相差画素21Pには、図2において「A」の文字が付されたタイプAの位相差画素21Pと、図2において「B」の文字が付されたタイプBの位相差画素21Pの2種類が存在し、タイプAとタイプBが交互に配置されている。

【0038】

なお、タイプAとタイプBの配置は、図2に示される例に限定されるものではなく、タイプAとタイプBを対とするような配置であればよい。例えば、垂直方向に隣接する2つの位相差画素行41が対となって、一方の位相差画素行41にはタイプAの位相差画素21Pと通常画素21Gが交互に配置され、他方の位相差画素行41にはタイプBの位相差画素21Pと通常画素21Gが交互に配置された構成などでもよい。

10

【0039】

図3を参照して、位相差画素21PのタイプAとタイプBの違いについて説明する。

【0040】

図3Aは、タイプAの位相差画素21Pの概略構造を示す断面図であり、図3Bは、タイプBの位相差画素21Pの概略構造を示す断面図である。

【0041】

タイプAの位相差画素21Pでは、図3Aに示されるように、フォトダイオードなどで構成される光電変換素子51の上層に、例えば、P型の第1の半導体層52を介して遮光膜53Aが形成される。そしてさらに、遮光膜53Aの上層に、平坦化膜54を介して、カラーフィルタ55およびオンチップレンズ56が形成される。

20

【0042】

タイプBの位相差画素21Pにおいても同様に、図3Bに示されるように、光電変換素子51の上層に、第1の半導体層52を介して遮光膜53Bが形成される。そして、遮光膜53Bの上層に、平坦化膜54を介して、カラーフィルタ55およびオンチップレンズ56が形成される。

【0043】

したがって、位相差画素21PのタイプAとタイプBでは、遮光膜53Aと遮光膜53Bのみが異なる。

30

【0044】

より具体的には、遮光膜53A及び遮光膜53Bを上面から見た図3C及び図3Dに示されるように、遮光膜53Aの開口部57が右寄りに配置されているのに対して、遮光膜53Bの開口部57の位置は、遮光膜53Aの開口部57と左右対称の左寄りに配置されている。このように、タイプAとタイプBでは、光電変換素子51に入射される入射光が、左右方向または上下方向に対称となるように配置されている。

【0045】

遮光膜53A及び遮光膜53Bの開口部57の形成位置の相違により、タイプAの位相差画素21Pから読み出した画素信号と、タイプBの位相差画素21Pから読み出した画素信号には、像のずれが発生する。この2つの画素信号の位相ずれ量に基づいて、デフォーカス量を算出し、撮影レンズを調整(移動)することで、オートフォーカスを達成することができる。

40

【0046】

< 1.3 通常画素行42のAD変換動作 >

図1の固体撮像素子1は、例えば、AF動作時において、画素アレイ部11内の位相差画素行41の画素信号VSLをAD変換するときのAD変換分解能と、通常画素行42の画素信号VSLをAD変換するときのAD変換分解能を異なるように制御する。より具体的には、位相差画素行41の画素信号VSLをAD変換するときのAD変換分解能が、通常画素行42の画素信号VSLをAD変換するときのAD変換分解能よりも高く設定される。これにより、固体撮像素子1では、位相差画素21Pの画素信号VSLを用いたAF合焦精度が向上されている。

50

【 0 0 4 7 】

そこで、図 4 および図 5 を参照して、固体撮像素子 1 の AF 動作時における AD 変換動作について説明する。

【 0 0 4 8 】

初めに、図 4 を参照して、通常画素行 4 2 の通常画素 2 1 G から出力された画素信号 VSL の AD 変換動作について説明する。

【 0 0 4 9 】

図 4 には、ADC 2 2 に入力されるランプ信号 RAMP および画素信号 VSL と、アップダウンカウンタ 3 2 のカウント動作が図示されている。

【 0 0 5 0 】

通常画素行 4 2 の各通常画素 2 1 G の AD 変換動作は、1 水平走査期間 (1 XHS) 内で行われる。この 1 水平走査期間 (1 XHS) には、通常画素行 4 2 の通常画素 2 1 G から出力された画素信号 VSL のリセットレベルを AD 変換する P 相 (Preset Phase) AD 変換期間と、画素レベルを AD 変換する D 相 (Data Phase) AD 変換期間が存在する。

【 0 0 5 1 】

コンパレータ 3 1 には、通常画素行 4 2 の各通常画素 2 1 G から出力された画素信号 VSL と、参照信号生成部 1 8 の DAC 1 8 a が出力したランプ信号 RAMP が、入力される。

【 0 0 5 2 】

コンパレータ 3 1 は、画素信号 VSL とランプ信号 RAMP とを比較した結果に基づいて、カウントイネーブル信号をアップダウンカウンタ 3 2 に出力する。具体的には、ランプ信号 RAMP が画素信号 VSL より大である場合には、コンパレータ 3 1 は、Hi (High) のカウントイネーブル信号をアップダウンカウンタ 3 2 に出力し、ランプ信号 RAMP が画素信号 VSL より小である場合には Lo (Low) のカウントイネーブル信号をアップダウンカウンタ 3 2 に出力する。

【 0 0 5 3 】

アップダウンカウンタ 3 2 は、最初の P 相 AD 変換期間において、Hi のカウントイネーブル信号が供給されている間だけ、システム制御部 1 5 からのクロック信号 CLK に基づいてダウンカウントする。なお、図 4 では、クロック信号 CLK のパルスは、アップダウンカウンタ 3 2 がカウントしている期間のみ示している。

【 0 0 5 4 】

ダウンカウント値は、D 相 AD 変換期間になるまで保持される。そして、次の D 相 AD 変換期間では、アップダウンカウンタ 3 2 は、Hi のカウントイネーブル信号が供給されている間だけ、クロック信号 CLK に基づいてアップカウントする。

【 0 0 5 5 】

アップダウンカウンタ 3 2 は、P 相 AD 変換期間のダウンカウント値と、D 相 AD 変換期間のアップカウント値との加算結果を、CDS 処理および AD 変換処理後の画素データとして出力する。

【 0 0 5 6 】

この CDS 処理により、リセットノイズや画素内の増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。また、AD 変換処理により、アナログの画素信号がデジタル信号に変換される。AD 変換後の画素信号は、水平走査回路 1 4 によって出力されるまで、ADC 2 2 で一時的に保持される。

【 0 0 5 7 】

なお、P 相 AD 変換期間でアップカウントし、D 相 AD 変換期間でダウンカウントしてもよい。

【 0 0 5 8 】

< 1 . 4 位相差画素行 4 1 の AD 変換動作 >

次に、図 5 を参照して、位相差画素行 4 1 の位相差画素 2 1 P から出力された画素信号 VSL の AD 変換動作について説明する。

【 0 0 5 9 】

10

20

30

40

50

図5には、位相差画素行41のAD変換動作において、参照信号生成部18のDAC18aから出力されるランプ信号RAMPが実線で示されている。また、比較を容易にするため、図4に示した通常画素行42のAD変換動作においてDAC18aから出力されるランプ信号RAMPが、破線で示されている。

【0060】

位相差画素行41のAD変換動作においては、DAC18aは、図5に示されるように、通常画素行42のAD変換動作における場合よりも、傾斜が緩やかなランプ信号RAMPを生成して出力する。

【0061】

この場合、図5に示すように、通常画素行42のAD変換動作における場合よりも、ランプ信号RAMPのレベルが画素信号VSLのレベルと等しくなるまでに要する時間は長くなる。これにより、アップダウンカウンタ32のカウンタ値は大きくなる。

10

【0062】

したがって、固体撮像素子1は、位相差画素21Pを含む位相差画素行41においては、通常画素行42よりもAD変換分解能を増やすことができる。例えば、通常画素行42のAD変換ビット数がNビットである場合に、位相差画素行41のAD変換ビット数をN+1ビットとすることができる。

【0063】

なお、ランプ信号RAMPのレベルが画素信号VSLのレベルと等しくなるまでに要する時間が長くなるため、アップダウンカウンタ32のカウンタ時間も長くなる。そのため、固体撮像素子1は、通常画素行42に対しては1水平走査期間(1XHS)でAD変換動作を行っていたが、位相差画素行41に対しては2倍の時間、すなわち2水平走査期間(2XHS)でAD変換動作を行う。

20

【0064】

< 1.5 AF動作中の映像使用画素エリア >

図6は、AF動作時に、映像生成に使用される画素エリアを示している。

【0065】

AF動作時においては、図6で斜めの格子を付して示される通常画素行42の画素信号のみが映像生成に使用される。例えば、通常画素行42の各画素信号に基づく映像が、AF動作中のデジタルカメラのモニタに表示される。

30

【0066】

位相差画素行41の各通常画素21Gの画素信号は映像生成に使用されず、位相差画素21Pの画素信号のみが焦点検出用に使用される。

【0067】

画素アレイ部11から画素信号を読み出す順番は、画素アレイ部11内の所定の画素行(例えば、一番上の画素行)から列方向に順次に読み出してもよいし、位相差画素行41と通常画素行42を別々に読み出してもよい。例えば、最初に、通常画素行42のみを読み出し、その後、AD変換分解能、すなわち、ランプ信号RAMPの傾斜を変更して、位相差画素行41を読み出してもよい。

【0068】

40

上述したような位相差画素行41のAD変換分解能を高くした動作モードでは、図6に示したように、映像生成に使用される画素数が、画素アレイ部11の最大画素数よりも少なくなる。そのため、この動作モードは、静止画を撮像する際のAF動作時や、静止画よりも低解像度で撮影する動画撮影時などに利用することができる。なお、画素アレイ部11の最大画素数で撮像する場合には、固体撮像素子1は、位相差画素行41に対しても、通常画素行42と同一のAD変換分解能でAD変換し、固体撮像素子1の出力段に設けられる信号処理回路(DSP)で、位相差画素21Pの画素信号を画素補間により求めることができる。

【0069】

以上説明したように、図1の固体撮像素子1は、例えば、AF動作時において、位相差画

50

素 2 1 P が配置されている位相差画素行 4 1 と、位相差画素 2 1 P が配置されていない通常画素行 4 2 とで、異なる傾斜（傾き）のランプ信号RAMPを生成してAD変換部 7 1 に出力することにより、ランプ信号RAMPが通常画素 2 1 Gと比較される場合と位相差画素 2 1 Pと比較される場合とで、異なる傾斜のランプ信号RAMPを生成して、AD変換部 7 1 に出力する。

【 0 0 7 0 】

これにより、通常画素行 4 2 のAD変換分解能は変更せず、位相差画素行 4 1 のみ、AD変換分解能を向上させた撮像を行うことができるので、AD変換時間をより短くして、フレームレートの低下を抑制しつつ、AF合焦精度を向上させることができる。

【 0 0 7 1 】

< 2 . 第 2 の実施の形態 >

< 2 . 1 固体撮像素子の全体構成例 >

図 7 は、本技術が適用された固体撮像素子の第 2 の実施の形態の概略構成を示すブロック図である。

【 0 0 7 2 】

図 7 において、上述した第 1 の実施の形態と対応する部分については同一の符号を付してあり、以下の説明では、第 1 の実施の形態と異なる部分についてのみ説明する。

【 0 0 7 3 】

図 7 に示される固体撮像素子 1 は、画素アレイ部 1 1、垂直走査回路 1 2、AD変換部 7 1、水平走査回路 1 4、システム制御部 1 5、画素駆動線 1 6、垂直信号線 1 7、参照信号生成部 7 2、水平出力線 1 9、及び出力部 2 0 などを含んで構成される。

【 0 0 7 4 】

すなわち、第 2 の実施の形態の固体撮像素子 1 は、第 1 の実施の形態の固体撮像素子 1 と比較すると、AD変換部 7 1 と参照信号生成部 7 2 の構成が異なる。

【 0 0 7 5 】

AD変換部 7 1 は、第 1 の実施の形態のAD変換部 1 3 と比較すると、位相差画素 2 1 P が配置されている画素列に対応して、ADC 2 2 のランプ信号RAMPの入力部の手前に、セレクト 2 3 が新たに設けられている。

【 0 0 7 6 】

参照信号生成部 7 2 は、第 1 の実施の形態の参照信号生成部 1 8 と比較すると、DAC 1 8 a に加えて、もう一つのDAC 1 8 b と制御部 1 8 c を備える点が異なる。

【 0 0 7 7 】

セレクト 2 3 は、2 つの入力部と 1 つの出力部を備え、一方の入力部にはDAC 1 8 a が出力するランプ信号RAMP1が入力され、他方の入力部には、DAC 1 8 b が出力するランプ信号RAMP2が入力される。セレクト 2 3 は、参照信号生成部 7 2 の制御部 1 8 c の制御に従い、ランプ信号RAMP1またはランプ信号RAMP2のいずれか一方を選択して出力する。

【 0 0 7 8 】

DAC 1 8 a は、通常画素 2 1 G 用のランプ信号RAMP1を生成し、AD変換部 7 1 に出力する。一方、DAC 1 8 b は、位相差画素 2 1 P 用のランプ信号RAMP2を生成し、AD変換部 7 1 に出力する。ランプ信号RAMP1とランプ信号RAMP2とは、ランプ信号の傾斜（時間経過に応じたレベルの変化割合）が異なり、ランプ信号RAMP2は、ランプ信号RAMP1よりも傾斜が緩やかな信号である。

【 0 0 7 9 】

制御部 1 8 c は、画素アレイ部 1 1 の各画素 2 1 の画素信号読み出し動作に同期して、セレクト 2 3 を制御する。具体的には、制御部 1 8 c は、画素アレイ部 1 1 から、通常画素 2 1 G の画素信号VSLがADC 2 2 のコンパレータ 3 1 に入力される場合にはDAC 1 8 a が出力するランプ信号RAMP1を選択し、位相差画素 2 1 P の画素信号VSLがADC 2 2 のコンパレータ 3 1 に入力される場合にはDAC 1 8 b が出力するランプ信号RAMP2を選択するように制御する。

【 0 0 8 0 】

10

20

30

40

50

< 2.2 第2の実施の形態のAD変換動作 >

図8を参照して、第2の実施の形態における固体撮像素子1のAD変換動作について説明する。

【0081】

図8では、DAC18aが出力する通常画素21G用のランプ信号RAMP1が破線で示され、DAC18bが出力する位相差画素21P用のランプ信号RAMP2が実線で示されている。

【0082】

読み出し行として、画素アレイ部11の通常画素行42が選択されている場合、セクタ23は、制御部18cの制御に従い、DAC18aが出力するランプ信号RAMP1を選択して出力する。

【0083】

その結果、通常画素行42の全ての通常画素21Gの画素信号VSLはランプ信号RAMP1とレベル比較され、各ADC22は、1水平走査期間(1XHS)でCDS処理およびAD変換処理を実行する。

【0084】

一方、読み出し行として、画素アレイ部11の位相差画素行41が選択されている場合、セクタ23は、制御部18cの制御に従い、DAC18bが出力するランプ信号RAMP2を選択して出力する。

【0085】

その結果、位相差画素行41の通常画素21Gから出力された画素信号VSLは、ランプ信号RAMP1とレベル比較され、位相差画素行41の位相差画素21Pから出力された画素信号VSLは、ランプ信号RAMP2とレベル比較される。これにより、位相差画素21Pの画素信号VSLは、通常画素21Gの画素信号VSLよりも高いAD変換分解能でAD変換される。例えば、通常画素21GのAD変換ビット数がNビットである場合に、位相差画素21PのAD変換ビット数を、N+1ビットとすることができる。

【0086】

位相差画素行41のAD変換動作時間は、位相差画素21PのAD変換動作時間に合わせる必要があるため、2水平走査期間(2XHS)となる。

【0087】

< 2.3 第2の実施の形態の映像使用画素エリア >

図9は、第2の実施の形態の固体撮像素子1において、映像生成に使用される画素エリアを示している。

【0088】

上述した第1の実施の形態では、位相差画素行41の通常画素21GのAD変換分解能は、通常画素行42の各通常画素21GのAD変換分解能と異なるため、位相差画素行41の通常画素21Gの画素信号VSLは使用されなかった。

【0089】

第2の実施の形態では、位相差画素行41の通常画素21GのAD変換分解能は、通常画素行42の通常画素21GのAD変換分解能と同じであるため、映像生成に使用することができる。

【0090】

したがって、図9において斜めの格子を付して示されるように、通常画素行42の各通常画素21Gの画素信号VSLに加えて、位相差画素行41の通常画素21Gの画素信号VSLも、映像生成に使用される。位相差画素行41の位相差画素21Pの画素信号は、固体撮像素子1の出力段に設けられる信号処理回路(DSP)において、位相差画素21P周辺の通常画素21Gの画素信号から画素補間により求められる。

【0091】

固体撮像素子1は、画素アレイ部11内の各画素行の画素信号VSLを、列方向に線順次に読み出す。AD変換部71は、上述したように、通常画素行42の画素信号VSLについては1水平走査期間(1XHS)でAD変換し、位相差画素行41の画素信号VSLについては2水

10

20

30

40

50

平走査期間（2 XHS）でAD変換する。

【0092】

位相差画素行41の画素信号VSLのAD変換には、通常画素行42の画素信号VSLのAD変換よりも1水平走査期間（1 XHS）だけ長くかかるため、位相差画素行41の各画素21における電荷蓄積時間の設定可能範囲は、通常画素行42の各画素21における電荷蓄積時間の設定可能範囲より1水平走査期間（1 XHS）だけ短くなる。

【0093】

以上のように、第2の実施の形態では、参照信号生成部72が、通常画素21G用のランプ信号RAMP1と、位相差画素21P用のランプ信号RAMP2を同時に出力することができるので、位相差画素行41の通常画素21Gの画素信号VSLも利用することができる。そして、位相差画素21Pについては分解能を向上させてAD変換した画素データを得ることができる。

10

【0094】

第2の実施の形態では、AD変換動作において、位相差画素行41についてのみ分解能アップに応じてカウント時間を延長し、通常画素行42については、通常のAD変換時間を維持することで、AD変換時間をより短くして、フレームレートの低下を抑制しつつ、AF合焦精度を向上させることができる。

【0095】

なお、上述した例では、通常画素行42におけるAD変換時間である1水平走査期間（1 XHS）に対して、位相差画素行41のAD変換時間を2水平走査期間（2 XHS）とし、位相差画素21PのAD変換ビット数を、通常画素21GのNビットに対して、N+1ビットに増加させた例について説明した。

20

【0096】

しかし、位相差画素21P用のランプ信号RAMP2の傾斜は、DAC18b内のゲインを調整することにより任意に設定することができるので、位相差画素21PのAD変換ビット数も任意に設定することができる。例えば、通常画素21GのNビットに対して、位相差画素21PのAD変換ビット数を、N+2ビットや、N+3ビットとしてもよい。なお、通常画素21GのAD変換ビット数に対する位相差画素21PのAD変換ビット数の増加量が大きくなると、AD変換時間は長くなるため、位相差画素行41の各画素21における電荷蓄積時間の設定可能範囲は、その分短くなる。

30

【0097】

<電子機器への適用例>

上述した固体撮像素子1は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えたオーディオプレーヤといった各種の電子機器に適用することができる。

【0098】

図10は、本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

【0099】

図10に示される撮像装置101は、光学系102、シャッタ装置103、固体撮像素子104、制御回路105、信号処理回路106、モニタ107、およびメモリ108を備えて構成され、静止画像および動画を撮像可能である。

40

【0100】

光学系102は、1枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子104に導き、固体撮像素子104の受光面に結像させる。

【0101】

シャッタ装置103は、光学系102および固体撮像素子104の間に配置され、制御回路105の制御に従って、固体撮像素子104への光照射期間および遮光期間を制御する。

【0102】

50

固体撮像素子104は、上述した固体撮像素子1により構成される。固体撮像素子104は、光学系102およびシャッタ装置103を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子104に蓄積された信号電荷は、制御回路105から供給される駆動信号（タイミング信号）に従って転送される。固体撮像素子104は、それ単体でワンチップとして構成されてもよいし、光学系102ないし信号処理回路106などと一緒にパッケージングされたカメラモジュールの一部として構成されてもよい。

【0103】

制御回路105は、固体撮像素子104の転送動作、および、シャッタ装置103のシャッタ動作を制御する駆動信号を出力して、固体撮像素子104およびシャッタ装置103を駆動する。

10

【0104】

信号処理回路106は、固体撮像素子104から出力された画素信号に対して各種の信号処理を施す。信号処理回路106が信号処理を施すことにより得られた画像（画像データ）は、モニタ107に供給されて表示されたり、メモリ108に供給されて記憶（記録）されたりする。

【0105】

本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【0106】

20

なお、本技術は以下のような構成も取ることができる。

(1)

映像出力用の画素である通常画素と焦点検出用の画素である位相差画素を含む複数の画素が行列状に配列された画素アレイ部と、

前記画素アレイ部の前記画素が出力する画素信号を、参照信号としてのランプ信号と比較し、比較時間をカウントすることで、前記画素信号をAD変換するAD変換部と、

前記ランプ信号が前記通常画素と比較される場合と前記位相差画素と比較される場合とで、異なる傾斜のランプ信号を生成して前記AD変換部に出力する参照信号生成部と

を備える固体撮像素子。

(2)

30

前記参照信号生成部は、第1のランプ信号を生成する第1のDA変換器と、前記第1のランプ信号よりも傾斜が緩やかな第2のランプ信号を生成する第2のDA変換器とを有し、

前記第1のDA変換器は、生成した前記第1のランプ信号を、前記通常画素が出力した画素信号が入力される前記AD変換部に出力し、

前記第2のDA変換器は、生成した前記第2のランプ信号を、前記位相差画素が出力した画素信号が入力される前記AD変換部に出力する

前記(1)に記載の固体撮像素子。

(3)

前記画素アレイ部の所定の画素行は、前記通常画素と前記位相差画素で構成され、

前記第1のDA変換器は、生成した前記第1のランプ信号を、前記画素行の前記通常画素が出力した画素信号が入力される前記AD変換部に出力し、

40

前記第2のDA変換器は、生成した前記第2のランプ信号を、前記画素行の前記位相差画素が出力した画素信号が入力される前記AD変換部に出力する

前記(2)に記載の固体撮像素子。

(4)

前記参照信号生成部は、前記画素アレイ部の前記位相差画素が配置されている画素行と、前記位相差画素が配置されていない画素行とで、異なる傾斜のランプ信号を生成して前記AD変換部に出力することにより、前記ランプ信号が前記通常画素と比較される場合と前記位相差画素と比較される場合とで、異なる傾斜のランプ信号を生成して前記AD変換部に出力する

50

前記(1)に記載の固体撮像素子。

(5)

前記画素アレイ部は、前記位相差画素が配置されていない全ての画素行の画素信号を前記AD変換部へ出力した後で、前記位相差画素が配置されている画素行の画素信号を前記AD変換部へ出力する

前記(1)または(4)に記載の固体撮像素子。

(6)

映像出力用の画素である通常画素と焦点検出用の画素である位相差画素を含む複数の画素が行列状に配列された画素アレイ部と、前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と、参照信号としてのランプ信号を生成して前記AD変換部へ出力する参照信号生成部とを備える固体撮像素子の、

前記参照信号生成部が、前記ランプ信号が前記通常画素と比較される場合と前記位相差画素と比較される場合とで、異なる傾斜のランプ信号を生成して前記AD変換部へ出力し、

前記AD変換部が、前記画素アレイ部の前記画素が出力する画素信号を、前記参照信号生成部からの前記ランプ信号と比較し、比較時間をカウントすることで、前記画素信号をAD変換する

駆動方法。

(7)

映像出力用の画素である通常画素と焦点検出用の画素である位相差画素を含む複数の画素が行列状に配列された画素アレイ部と、

前記画素アレイ部の前記画素が出力する画素信号を、参照信号としてのランプ信号と比較し、比較時間をカウントすることで、前記画素信号をAD変換するAD変換部と、

前記ランプ信号が前記通常画素と比較される場合と前記位相差画素と比較される場合とで、異なる傾斜のランプ信号を生成して前記AD変換部へ出力する参照信号生成部と

を備える固体撮像素子

を備える電子機器。

【符号の説明】

【0107】

1 固体撮像素子, 11 画素アレイ部, 13 AD変換部, 18 参照信号生成部, 18a, 18b DAC, 18c 制御部, 21 画素, 22 ADC, 23 セレクタ, 31 コンパレータ, 32 アップダウンカウンタ, 71 AD変換部, 72 参照信号生成部, 101 撮像装置, 104 固体撮像素子

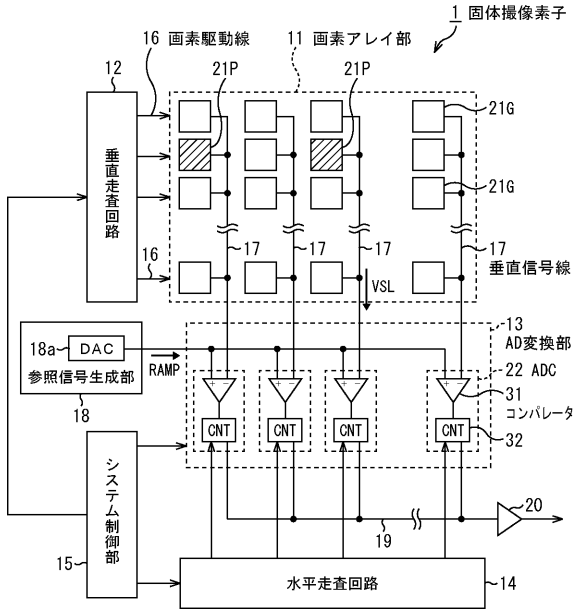
10

20

30

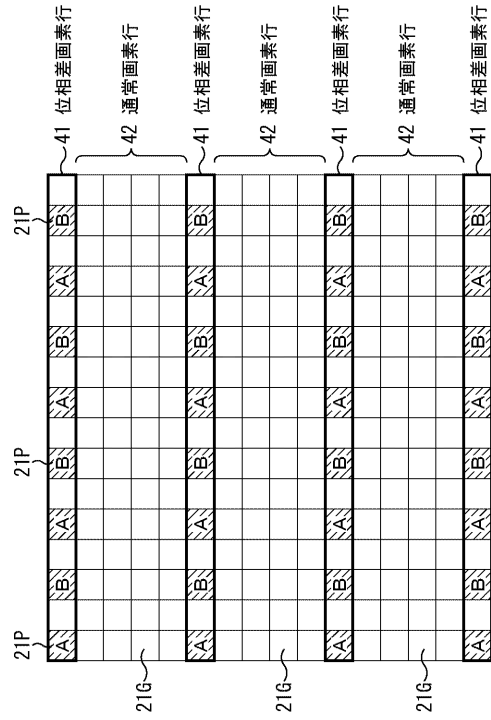
【図1】

図1



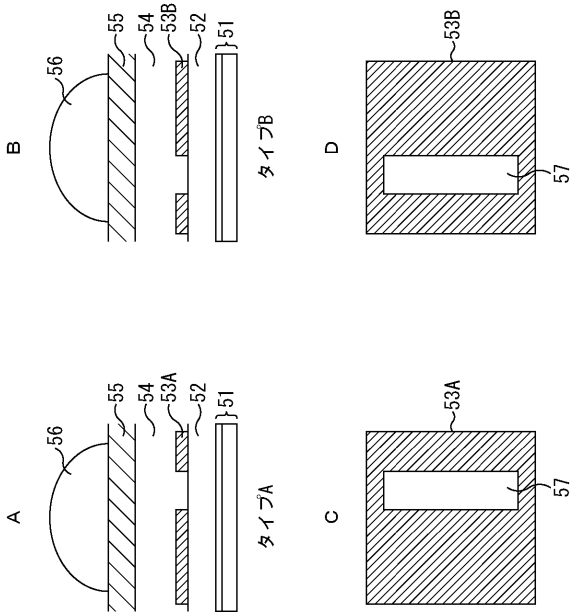
【図2】

図2



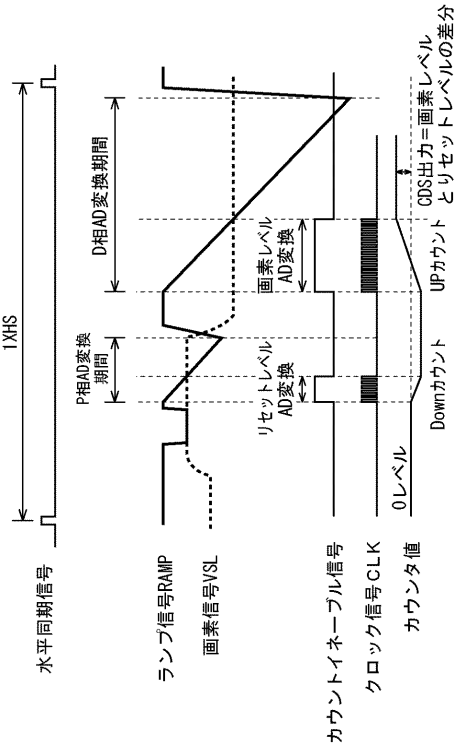
【図3】

図3



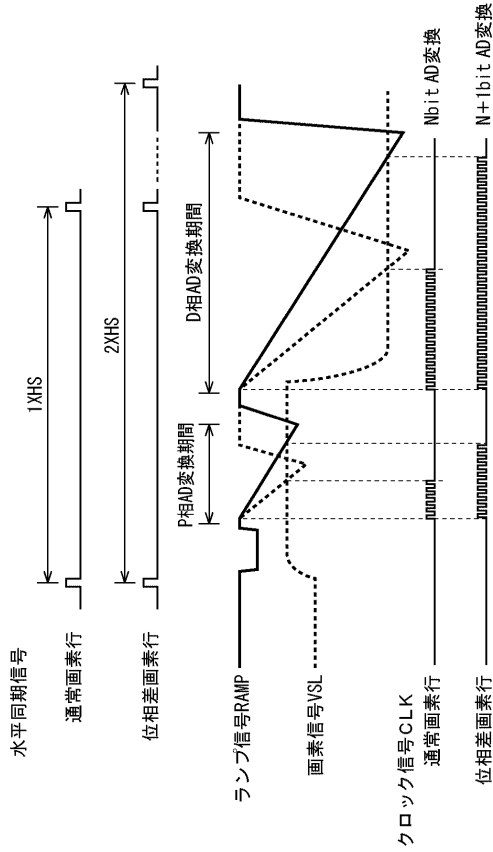
【図4】

図4



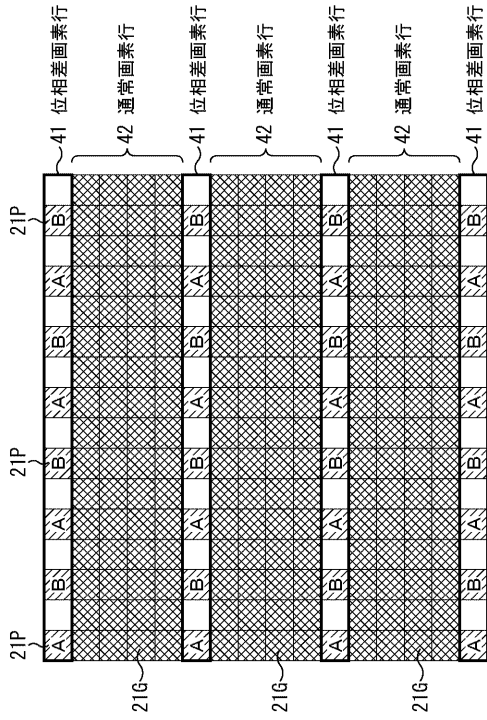
【 図 5 】

図5



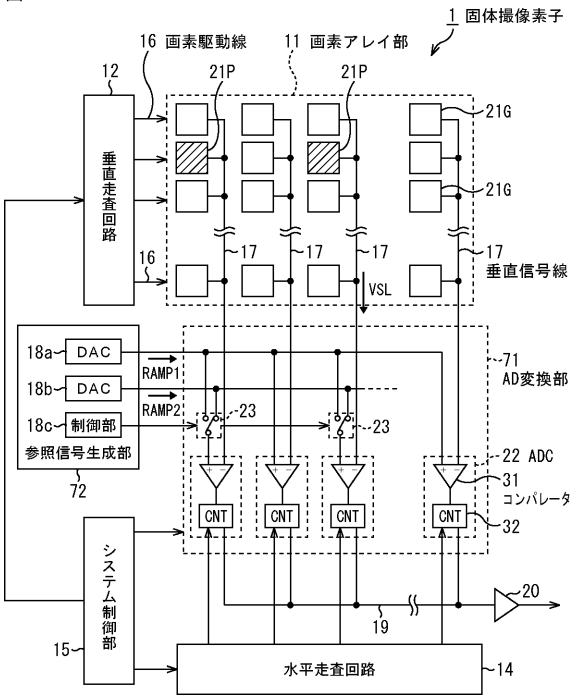
【 図 6 】

図6



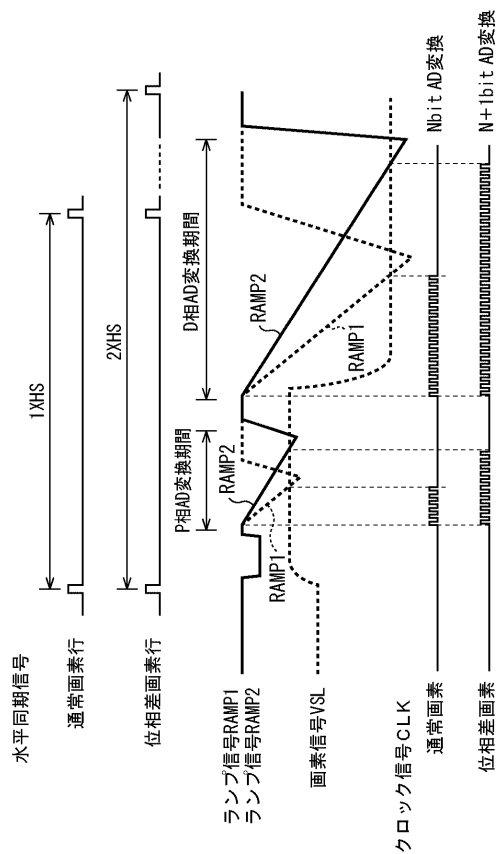
【 図 7 】

図7

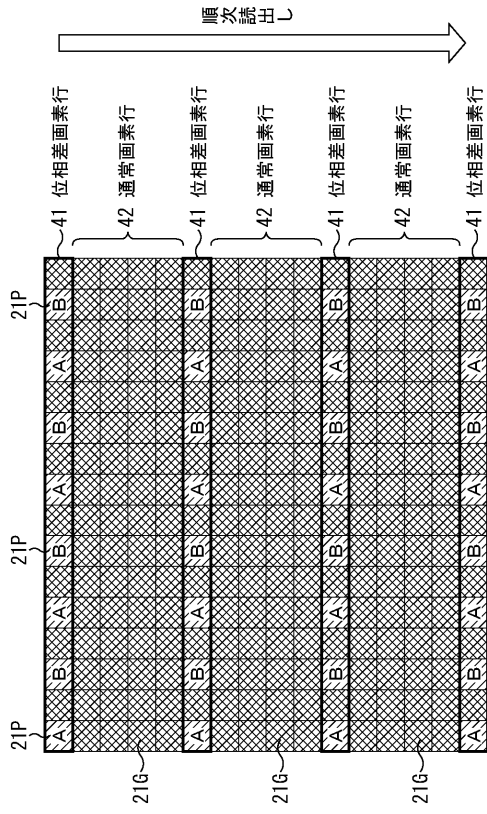


【 図 8 】

図8



【図9】
図9



【図10】
図10

