

發明專利說明書 200301830

※申請案號：92100443

※IPC分類：G02B 6/12, G02B 26/08, H04N 9/12

※申請日期：92年1月9日

壹、發明名稱

(中文) 具電荷泵像素單元之空間光調節器

(英文) SPATIAL LIGHT MODULATORS WITH CHARGE-PUMP PIXEL CELLS

貳、發明人 (共1人)

發明人 1

姓名：(中文) 彼得 W.理查茲

(英文) Peter W. Richards

住居所地址：(中文) 美國加州帕拉圖市愛墨森大街 270 號

(英文) 270 Emerson Avenue, Palo Alto, CA 94301, USA

國籍：(中文) 美國

(英文) USA

參、申請人 (共1人)

申請人 1

姓名或名稱：(中文) 美商·雷弗萊提維提公司

(英文) Reflectivity, Inc.

住居所或營業所地址：(中文) 美國加州日光山谷帕翠洛大街 350 號

(英文) 350 Potrero Avenue, Sunnyvale, CA 94085, USA

國籍：(中文) 美國

(英文) USA

代表人：(中文) 羅伯特 M.杜伯克二世

(英文) Robert M. Duboc, Jr.

捌、聲明事項

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

美國；2002年1月11日；60/347,736

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

美國；2002年1月11日；60/347,736

玖、發明說明

【發明所屬之技術領域】

本發明大體上係關於用於顯示系統上的空間光調節器，及更特定係關於將元件電壓施加至此等顯示系統的像素上的方法與設備。

【先前技術】

習知的陰極射線管(CRT)被廣泛地使用在電視(TV)及電腦顯示器上。其它的顯示技術，如液晶顯示面板(LCD)則被使用在某些特定的應用中，如可攜式電腦及投影機的顯示器上。

市場對於具有更高解析度，更大亮度，更低功率，更輕，及更小的影像顯示器之需求持續地增加。但隨著這些要求變得愈來愈嚴苛，傳統 CRT 及 LCD 的不足就變得更加的明顯。一矽晶片大小的微顯示器在解析度，亮度，功率及尺寸上都提供了較傳統技術為佳的優點。這些微顯示器通常被稱為空間光調節器(Spatial Light Modulators, SLM)，因為在許多應用中(例如投影機)，它們並不直接產生光線，而是藉由調整一入射光來產生影像。在投影的應用中，一 SLM 調節一亮的光源，如一電弧燈泡，來在一螢幕上形成一投射的影像。在其它的應用中，如超可攜式或頭戴式顯示器，一使用者可直接或透過放大鏡片看到在該 SLM 的表面上的一影像。

CRT 目前主宰桌上型顯示器及消費者 TV 的市場。但大

型 CRT 非常的笨重且昂貴。LCD 面板比 CRT 來的輕且薄，但製造可與 CRT 尺寸相匹敵的 LCD 卻貴得離譜。SLM 顯示器可達到符合成本效應且精巧的投影顯示器的要求，減少大型電腦監視器及 TV 的笨重及成本。

透射性的 LCD 微顯示器是目前影像投影系統所選擇的技術。但 LCD 的一項缺點為其需要一極化的光源。因此，LCD 在光線上是不足的。在沒有昂貴的極化轉變透鏡下，LCD 對於的一未極化的光源的利用效率低於 50%。與 LCD 不同的是，以微鏡子為基礎的 SLM 顯示器可利用未極化的光線。使用未極化的光讓利用微鏡子 SLM 的投影顯示器在相同的光源下可達到高於以 LCD 為基礎的投影機的亮度，或以一較小，功率較低，較便宜的光源達到相同的亮度。

SLM 及以 SLM 為基礎的顯示器的操作及架構在業界係屬習知，如在美國專利第 6,046,840 號，美國專利第 5,835,256 號，美國專利第 5,311,360 號，美國專利第 4,566,935 號及美國專利第 4,367,924 號中所揭示者，該等專利的內容藉由此參照被併於本文中。

第 1 圖顯示一典型的微鏡子 SLM 基礎的投影顯示系統。一光源 20 及相關的光學系統，包含光學元件 2a，2b 及 2c，將一光束 6 聚焦在該 SLM4 上。該 SLM 的像素每一個都可被控制且藉由依每一像素所需地調整入射光束 6 來形成一影像。微鏡子基礎的投射顯示器典型地調整入射光的方向。例如，為了要產生一亮的像素於該被投射的影像中，該 SLM 像素的狀態可被設定，使得來自於該像素的光

被導入投射透鏡 8 中。為了要產生一暗的像素於該被投射的影像中，該 SLM 像素的狀態被設定，使得光被導離該投射透鏡 8。其它的技術，如反射式或透射式 LCD，使用其它的調節技術，如光的極性或強度被調節。

來自於每一 SLM 像素之經過調節的光通過一投射透鏡 8 且被投射到一觀賞螢幕 10 上，該螢幕顯示由對應於載入該 SLM4 中之影像資料之亮及暗像素所構成的影像。

一”序列顏色場 (field-sequential color, FSC)”彩色顯示器可藉由暫時地將不同顏色，通常是紅色，綠色及藍色，之分離的影像交織 (interleaving) 來產生，而通常會添加一白色影像來提高影像的亮度。這可藉由前技中所述之利用一彩色濾光輪 12，如第 1 圖所示，來達成。當彩色濾光輪 12 快速地旋轉時，被投射的影像的顏色在所想要的顏色之間快速的循環。在 SLM 上的影像與該濾光輪同步化使得全彩影像之不同的色場依序地被顯示。當光源的顏色被夠快速地改變時，人類眼睛會誤認該序列顏色場為一單一的全彩影像。在影像中的灰階可藉由脈衝寬度調節來達成，如在全球智慧財產局公告之第 WO 01/84531 號中所揭示者，該案內容藉由此參照而被併於本文中。

其它的發光方法可被用來產生一序列顏色場彩色顯示器。例如，在一超可攜式顯示器中，有顏色的 LED 可被用作為光源。LED 可被單純地如所需要地被打開及關閉，而不需要使用到色輪。

另一彩色技術為使用多於一個的 SLM，典型地是一種

顏色一個，且將它們的影像光學地結合。此解決方案比單一 SLM 方案來得笨拙且較貴，但對於數位電影及高階投影而言可具有最高亮度水平。

在一 CRT 或傳統的 LCD 面板中，一像素的亮度為一類比值，在亮與暗之間連續地變化。在快速 SLM 中，例如根據微型鏡子，其它 MEMS 結構，或某些 LCD 種類者，吾人可以數位方式來操作該等像素。亦即，這些裝置的像素被驅動至兩個狀態：全開(亮)或全關(暗)。

為了要使用此一數位 SLM 來產生一灰階或全彩影像的感覺，所以必需將顯示器的像素快速地調節於開與關兩狀態之間，使得每一像素被調節的亮度波形的平均值可相應於對該像素所期待的”類比”亮度。此技術一般被稱為脈衝寬度調節(PWM)。在某一調節頻率之上人類的眼睛與腦部將一像素之快速變動的亮度(及顏色)整合並感覺到由該像素的在一影像禎幅上的平均照度之一有效的”類比”亮度(及顏色)。

以一儘可能大的電壓來驅動一數位 SLM 的像素是較佳的。例如，在一以 MEMS 為基礎的微型顯示器中，如揭示於美國專利第 5,835,256 號及第 6,046,840 號中者(該二專利案之內容藉由此參照被併於本文中)，一大的啟動電壓提高了可用來移動微機械像素元件之可用的靜電力。較大的靜電力提供微機械元件更大的操作餘裕(即增加良率)及在處理與環境的變化中更可靠地且更強健地作動它們。較大的靜電力亦讓 MEMS 結構的絞接處可更加的剛硬；剛硬的絞接是有利的因為用來製造它們的材料可被作得更厚，因而對

與處理中的變動較不敏感，進而可改善良率。較大的靜電力與較剛硬的微機械絞接的另一項優點為，可以有更多的力量來克服存在於相接觸的 MEMS 結構之間的黏滯力。像素切換速度亦可藉由提高像素的驅動電壓來獲得改善並達到更高的禎幅率，或較大的色彩位元深度。

較高的作動電壓對於其它的 SLM 亦可以是有利的。例如，許多 LCD 材質可被作成能夠用一較高的驅動電壓來更快速地切換狀態，達到更高的禎幅率及/或較大的色彩位元深度。

設計高電壓電路來各別地控制一 SLM 的像素是一項挑戰。因為半導體物理的基本原理的關係，可容忍較高的電壓之電晶體在實體上必需比可容忍較低電壓的電晶體來得大。較大的高電壓容忍度電晶體會減小其它關鍵單元構件(如在 DRAM 類中的電容器)可用的面積或完全無法嵌入。在另一方面，為了成本的關係必需將微型顯示像素的實體尺寸最小化。因此，對於改善一 SLM 像素電路的最大驅動電壓同時可保持最小的像素尺寸的技術是最想要的。

第 2 圖中所示的 1 電晶體，1 電容器(1T1C)DRAM 電荷貯存單元為用來貯存一資料電壓的一習知的電路。該 1T1C 電路被廣泛地應用至一般市面上的 DRAM 的資料貯存及其它的積體電路應用中。此 1T1C 電路結構亦被應用在顯示器上，即以相同的原理工作之 TFT 主動陣列 LCD 面板，且該技術思想亦被應用至微型顯示器上，如第美國專利第 5,671,083 號中所揭示者。

該 1T1C DRAM 電路的一習知的缺點為通過電晶體 (pass transistor) 之不理想的性能。理想下，電晶體會如一完美的開關般動作；當字元線 100 被啟動時，在位元線 101 上的電壓會在不改變貯存節點 102 的情況下被通過。一實際的 NMOS 通過電晶體會將貯存的單元電壓 102 拉低下來至最小的位元線 101 電壓 V_{bmin} 。然而，在該單元貯存節點 102 上可被驅動之最高電壓係受限於該通過電晶體 104 的門檻電壓。該電晶體只能將單元貯存節點 102 上的電壓 V_c 拉高至不大於 $V_g - V_t$ 的電壓，其中 V_g 為施加至通過電晶體的閘極上之字元線 "on" 電壓，及 V_t 為該電晶體的門檻電壓。為了要將 V_c 最大化， V_g 將被驅動至 V_{dd} ，其為電路被製造時該 IC 處理的破壞極限所容許最大供應電壓。在此例子中，所得到的單元電壓將會是 $V_{dd} - V_t$ ，其中該位元線電壓被驅動至 V_{dd} 。因此，該單元的電晶體本身能夠容忍 $V_c = V_{dd}$ ，但最大的實際則被限制為 V_c ，因為 1T1C 單元電路的先天特性的關係。

使此問題加劇的是習知的 MOSET "體效應"。這會造成通過電晶體的有效 V_t 在電晶體的源極節點 (貯存節點 102) 升高電壓時會變得比該單元被施加 $V_{dd} - V_t$ 時更大。這會進一步將最大可用輸出 V_c 變小。

電路設計業中之熟習此技藝者將可瞭解上述的說明可等效地應用在 PMOS 電晶體上，其在下拉貯存的電壓時將會遭遇到相同的電壓衰退的問題。

很清楚地，可將 V_{dd} 的完整供應電壓貯存在 V_c 上的電

路是所想要的。因為像素單元的尺寸小的關係，所以許多候選的電路設計在微顯示器上都是不可行的。例如，一 2 電晶體 (PMOS+NMOS) 通過閘極可被用來獲得擺動在該貯存節點上之完整的供應電壓。然而，用來獲得 PMOS 與 NMOS 元件之間以及它們相關的井之間適當空間的大量設計規則對於小的像素尺寸而言是不實用的。或者，一 SRAM 像素單元可被使用，但此單元需要 6 個電晶體，其通樣很可能無法放到可用的像素面積中。或者，一 PMOS 電晶體或二極體可被加至該單元用來在將該像素單元血至一低數值之前，將該像素單元”預充電”高電壓，但高電壓 PMOS 元件或二極體亦會佔據微顯示器像素原本就很小的面積中的一大部分，因為它們有相關的井的設置。另一種可能是將施加至字元線之閘極電壓提高至大於最大單元電壓達 V_t 。然而，這將會需要比在該單元中的高電壓電晶體更高電壓的電晶體。製造兩中高電壓 (HV) 電晶體會增加成本且該單元仍將無法使用最高電壓電晶體。

【內容】

本發明提供一種新穎的像素電路設計，其面積需求可與一 1T1C DRAM 式的像素單元相容，且具有該通過電晶體的破壞電壓所容許之完整擺動範圍的輸出電壓。

依據本發明的一態樣，該單元的貯存電容器的第二板子被連接至一”幫浦”訊號其可容許被貯存的電元電壓於單元寫入週期中被升高。

依據本發明的另一態樣，該單元的位元線及字元線會在寫入週期中被控制用以避免在該單元電壓於寫入週期中被升高時向前偏動該存取電晶體的汲極接合點。

依據本發明的另一態樣，該通過電晶體種類(NMOS vs. PMOS)及字元線，位元線及”幫浦”訊號的電壓水平被加以選擇用以讓滲漏，光敏感度及使用高電壓的其它負面的寄生效應減至最小。

依據本發明的另一態樣，一高的電壓可在只使用低電壓於像素陣列的位元線及字元線上時於該像素電極上被獲得；高電壓驅動器只有在該陣列的每一列的”幫浦”訊號才需要。

依據本發明的另一態樣，一非對稱的(低電壓源極與閘極)高電壓 MOS 電晶體可被使用在該單元中，用來降低該單元電晶體所需要的單元面積。

【實施方式】

第 2 圖顯示一習知 DRAM 單元電路，第 3 圖顯示本發明的一單元電路。可從這兩個圖中看出的是，每一像素包含一通過電晶體 104 及一貯存電容器 103，以及用來存取一行單元的一字元訊號 100 及一用來讀出與寫入資料至一行單元的一位元線訊號 101。單元的狀態被貯存為該貯存節點 102 上的一高或低電壓。在第 2 圖所示的一傳統 DRAM 中，該貯存電容器 103 的第一板子 103a 被連接至該通過電晶體的汲極。該貯存電容器 103 的第二板子 103b 則被連接至一

固定的供應電壓，如 V_{dd} ，地極，或某些中間供應電壓，如第 2 圖所示的 $V_{dd}/2$ 。在第 3 圖所示的本發明中，在每一列中的像素的第二電容器板子都被連接至一“幫浦”訊號 105。

以一典型的 2-多晶 CMOS 實施的電路的一簡化的剖面圖被示於第 4 圖中。當然，以下所述僅為舉例性且仍有許多其它可能的設計。為了清楚起見，連接至源極/汲極的金屬互連線及接點擴散與多晶矽閘極都沒有被示出。此結構的製造方法可在市面上獲得且是習知的。該電路係被製造在一 p 型矽基材 200 上。閘極氧化物 204 及場氧化物 202 接著被形成，及 N^+ (大量摻雜)擴散 201a, 201b 被產生，用以形成通過電晶體 104 的源極與汲極。擴散 201a, 201b 可以是簡單的擴散或是熟悉此技藝者所習知的任何其它源極-汲極結構。例如，雙擴散汲極(“DDD”)或少量摻雜的汲極(“LDD”)類的擴散對於高電壓操作是較佳的。多晶矽然後被沉積且形成圖案用以在該閘極氧化物 204 的上部及該貯存電容器 103 的底板 208 上形成該電晶體閘極 203。街下來，該電容器介電層 206 被沉積且該上多晶矽板 207 被沉積及形成圖案。或者，底板 208 可首先被形成，及閘極 203 與上板 207 可接著被沉積與形成圖案。

藉由使用金屬互連線及介層孔(未示出)，該多晶矽閘極 203 被連接至該字元線訊號 100。該源極擴散 201a 被連接至該物元線訊號 101。該汲極擴散 201b 最好是連接至電容器的上板 207 且該“幫浦”訊號 105 被連接至電容器的另一板 208 上。或者，該汲極擴散 201b 可被連接至電容器 208 的

底板及該幫浦訊號 105 則被連接至上板 207。電晶體汲極 201b 與電容器板 207 的連接形成該單元的電荷貯存節點 102。

在典型的 2-多晶矽處理中，設計規則通常為了級階覆蓋的理由不會允許上多晶矽 207 與下多晶矽 208 的邊緣重疊。因為該幫浦訊號 105 是一列像素所共用，所以最好是將該幫浦訊號連接至下多晶矽 208 且藉由頂抵住下多晶矽 208 來連接相鄰單元的幫浦訊號 105。幫浦訊號 105 可被連接至上多晶矽 207，但在此例子中因為上板無法跨越介於相鄰單元之間的下多晶矽 208 的邊界，所以可用的電容器面積會因為界於相鄰的單元的多晶矽層之間的所需的間隙而被縮小。因此之故，最好是將幫浦訊號連接至底板 208。

藉由如本發明中所述地，驅動”幫浦”訊號 105 連同位元線 101 及字元線 100，如此可貯存一大於 $V_{dd}-V_t$ 的電壓範圍於該貯存節點 102 上。

依據本發明的一實施例，該通過電晶體 104 為一 NMOS 電晶體。位元線 101 及字元線 100 採用邏輯 '0'=0V 及邏輯 '1'=V1，其中 $V1>0$ 的邏輯值。幫浦訊號 105 採用邏輯 '0'=V_{PL} 及邏輯 '1'=V_{PH}，其中 $V_{PH}>V_{PL}$ 的邏輯值。

施加至像素上的電壓波形被示於第 5 圖中。在在像素的”維持”狀態 301 中，像素貯存了一高或低電壓的數值於該貯存節點 102 上。該單元的控制訊號(字元線，位元線，及幫浦訊號的集合)如下所述地被設定在”維除”狀態。該字元線 100 被保持在低狀態，其將通過電晶體 104 關閉。該幫

浦訊號 105 被保持在高狀態。位元線 101 可以是在高或是在低狀態；該位元線狀態無關緊要因為該通過電晶體 104 是關閉的。在此狀態下，位元線及其它列的字元線與幫浦訊號可如所需地被驅動，用以在所示的單元列穩定地補持在其”維持”狀態的同時存取其它的單元列。

為了要準備將被寫入的單元，該”幫浦”訊號電壓必需被改為低。然而，如果在貯存節點 102 上的電壓已經是低的話，則必需小心才不會在該幫浦訊號 105 掉下來時讓貯存節點 102 低於基材 200 的電位(通常是接地(GND))。例如，假設被貯存在貯存節點 102 上的電壓 V_q 為 0 且字元線在幫浦訊號 105 被驅動至低時會被保持在低狀態。因為該通過電晶體是關閉的，所以經由電容器的耦合會在幫浦訊號 105 掉落時將該貯存節點 102 向下驅動，直到貯存節點 102 到達低於地極(ground)的二極體下降為止，其將介於該元件的汲極 210b 與基材 200 之間的 PN 接面向前偏移。這是極不想要的因為這會將少量的載負電流射入該基材中，很可能會造成鎖定，雜訊，及/或電路附近的漏電等問題。

解決此基材電流問題的一個方式為將位元線 101 設在低及將字元線 100 設在高，同時幫浦訊號 105 被降至低，其有效地藉由打開由該通過電晶體所形成的”開關”將該貯存節電連接至地極。如果通過電晶體 104 如一理想的開關般地作用的話，則這將可防止貯存節點 102 被驅動至低於地極。然而，該通過電晶體之該有限的 on 電阻，位元線及位元線驅動器仍會在該幫浦訊號讓某些執行低於 GND。雖

然該通過電晶體接面在此例子中可能無法被全部地向前偏動，但此情況仍是邊緣性的且需要一更加有效的解決方案。

基材電流問題的一較佳的解決方案為在幫浦訊號被降低之前將位元線及字元線驅動至高值。這將執行於貯存節點 102 上的最小電壓限制在 $V_{dd}-V_t$ ，遠高於地極且絕對安全不會有任何不想要的基材注入效應。因此，在準備一該像素單元的一寫入週期時，最好是位元線，字元線及幫浦訊號首先被設定至一”預放電”狀態 302，在此狀態時位元線，字元線及幫浦訊號皆為高值。如果該像素最初係植存一高電壓的話，則該被貯存的電壓不會受影響。

接下來，在”放電”狀態 303 時，幫浦訊號被設定為低值。如果該像素最初貯存一高電壓的話，則該被貯存的電壓會被降低至 $V_{dd}-V_t$ 。如果該像素最初貯存一低電壓的話，則該被貯存的電壓會在該幫浦訊號掉落時被定在 $V_{dd}-V_t$ 。

因為二級效應，如滲漏及電容性電荷分享，的關係，在”放電”狀態之後的最終電壓將會稍微與其最初的像素狀態有關。為了要確保先前的像素狀態被完全清除掉，控制訊號可被設定為”清除”狀態 304，在該狀態時位元線，字元線及幫浦訊號皆為低值，藉以迫使該被貯存的電壓歸 0。

在”放電”狀態 303 與”清除”狀態 304 之後，該單元即準備好被一新的數值寫入。控制訊號被設定為”寫入”狀態 305，該像素的位元線在該狀態時根據所想要的最終像素值而被設定為高或低，該字元線為高，及該幫浦訊號為低。該被貯存的像素電壓將根據該位元線是低或高而變成 0 或

$V_{dd}-V_t$ 。接下來，控制訊號被設定為”充電”狀態 306，在該狀態時幫浦訊號被設定為高，而位元線與字元線則仍保持它們得自”寫入”狀態時的先前狀態。如果位元線為低的話，則該通過電晶體將會是開啟的(on)且該像素之貯存電壓會在幫浦訊號升高時被定在 0 電壓值。然而，如果該位元線為高的話，則該電晶體將會是關閉的(off)且該貯存的電壓將會被經由該貯存電容器耦合之該幫浦訊號的上升緣驅動至高於該位元線及字元線電壓的值。

最後，該字元線被降低，將控制訊號回復至”維持”狀態 301 並完成該寫入週期。所需要的高或低電壓則已被貯存到該單元中。

理想情況下，在”充電”狀態時，幫浦線之 $V_{ph}-V_{pl}$ 伏特的向上級階會造成從最初值 $V_{dd}-V_t$ 向上升高一 $V_{ph}-V_{pl}$ 伏特的單元電壓，而獲得一 $V_{dd}-V_t+V_{ph}-V_{pl}$ 的最終電壓。例如，如果 V_{pl} 是 0 且 V_{ph} 為該處理的最大額定電壓的話，則該最大的最終像素電壓約為 $V_{dd}-V_t+V_{max}$ ，其將大於最大容許電壓。 V_{dd} 及/或 $V_{ph}-V_{pl}$ 的選定值可如所需地被降低用以將最大單元電壓保持在可接受的範圍內，同時提供夠大的餘裕低於最大的額定供應電壓。

非理想的效應，如電荷分享，將在”充電”狀態期間於該被貯存的像素電壓上的向上”級階”的大小從 $V_{ph}-V_{pl}$ 縮小為 $K(V_{ph}-V_{pl})$ ，其中 K 稍小於 1。只要將 V_{dd} 或 $V_{ph}-V_{pl}$ 稍微增加，此效應即可被克服；在典型的例子中，所需要的增加仍是在 V_{ph} 及 V_{pl} 的最大額定供應電壓之內。

本發明的一額外的優點為，該源極節點 201a 及該通過電晶體的閘極 203 並不需要支援整個輸出電壓擺動 (swing)。這使得一非對稱的高電壓電晶體可被使用在只有汲極是容忍 HV 之處，因而可有一更加緻密的佈局。而且，一較薄的閘極氧化物可被使用因為字元線電壓為低，改善了該通過電晶體之驅動特性。此外，驅動位元線與字元電的電流路元件被簡化因為電壓擺動被變小，高電壓水平移位器及驅動器只有在幫浦訊號上才需要。在位元線上之變下的電壓擺動亦大大地降低該元件的功率消耗。

一等效電路亦可被等效地應用，其使用一 PMOS 通過電晶體於一 n 型基材或井中，及適當的改變控制訊號的電壓水平的極性，如表 1 所示。

表 1

電晶體 種類	字元 線 ” 有 作用 ” 低	字元 線 ” 無 作用 ” 高	位元 線 ” 有 作用 ” 低	位元 線 ” 無 作用 ” 高	幫浦 線 ” 有 作用 ” 低	幫浦 線 ” 無 作用 ” 高
	NMOS	高	低	高	低	高
PMOS	低	高	低	高	低	高

此電路存在一可能的問題因為下電容器板相對於場氧化物及基材的”場效門檻”。當大電壓被施加在此下電容器板上時，基材的表面會被倒轉而產生一所不想要的寄生 FET。與此寄生 FET 相關之少數載體及空虛區域會單元的通過電晶體有不當的互動，而此效應是必需避免的。

此問題的一個解決之道為(以一在一 p 型基材中的 NMOS 通過電晶體為例)偏移幫浦訊號的位準。例如， $V_{p1}=-10V$ 及 $V_{ph}=+10V$ 可被使用，而非 $V_{p1}=0V$ 及 $V_{ph}=+20V$ 。然而，在傳統的 p 型基材，n 型井處理中， V_{p1} 的負電壓會產生實用上的困難，因為 NMOS 元件不能被製作來在低於地極下驅動該幫浦訊號。

一較佳的替代例為使用一 PMOS 通過電晶體，其被製造在一被偏壓至 V_{dd} 的 n 型井中，其中該 V_{dd} 為在位元線與字元線上之最大正電壓。在此例子中，吾人可選擇 $V_{p1}=0V$ 及 $V_{ph}=+20V$ ，以一製造在該基材中的 NMOS 元件來將該幫浦訊號驅動至低，及用一製造在一被電子地隔離且偏壓至 V_{ph} 的 n 型井來將該幫浦訊號驅動至高。

此設計會造成該貯存的像素電壓被驅動至低於地極，然而這是可接受的因為電壓只存在 n 型井內的該通過電晶體的 p+擴散區上。

將該通過電晶體製造在一具有一介於 V_{ph} 至 V_{p1} 之間的偏壓的井中的一個優點為，該幫浦電壓在該基材表面產生較無害的累積，而非倒轉。在一 p 型基材處理的例子中，這將需要選擇一 PMOS 元件及一低於最大幫浦訊號電壓 V_{ph} 的 n 型井偏壓。熟悉此技藝者將可瞭解到一類似電互補的電路亦可提供此項優點，如果該基材為一 n 型，及一 NMOS 元件應被使用在一具有高於最大幫浦訊號電壓的偏壓的 p 型井中。

將該通過電晶體製造在一井(與基材相反)中的進一步優

點為光誘發的漏電可被減少。雖然一部分來自於該投射系統的光源之入射光子會在該井中產生電洞-電子對造成單元漏電，但絕大部分來自於該投射系統的光源之入射光子會通過該井並在基材中產生電洞-電子對，在井與基材之間產生無害的漏電。

使用一 PMOS 通過電晶體的一項優點為，在高偏壓時與一 NMOS 電晶體比較起來其表現出較少的撞擊離子化，撞擊離子化在一 NMOS 電晶體中會讓漏電倍數變大且與一 PMOS 元件比較起來漏電增加。

此種井-偏壓設計的另一個優點為跨越該貯存電容器的電壓的最大絕對值被變小，因而能用一較薄的氧化物來產生較大的電容及更可靠的操作。

本發明的電路的另一個優點為該電路的通過電晶體可如一非對稱的高電壓電晶體般作用。詳言之，該汲極電壓的絕對值可大於源極電壓的絕對值。又，汲極的最大電壓與最小電壓的差值的絕對值亦可大於源極的最大電壓與最小電壓的差值的絕對值。

本發明所提供的電路的另一項優點為該非對稱高電壓通過電晶體讓電容器有更大的面積。又，該非對稱高電壓通過電晶體讓該貯存電容器可保持一高電壓。例如，該電容器可保持一至少 10 伏特，15 伏特或 20 伏特的電壓。

以上所述的電路具有不同的應用。例如，該電路可被使用在一空間光調節器中。在此應用中，該貯存節點(如第 3 圖中的 102)可被用來控制在該空間光調節器中的一個像素

的光學狀態，其中該像素可以是一液晶像素單元。

雖然本發明已藉由舉例及特定實施例的方式加以描述，但應被瞭解的是本發明並不侷限於所揭示的實施例。相反地，以上說明及舉例是為了要涵蓋對於熟悉此技藝者而言很明顯的不同變化及類似的安排。詳言之，該貯存電容器(第 3 圖中的 103)可以是任何種類的電容器，如一典型的 MOS 類電容器(一 MOS 類電容器為一 MOS 類的電晶體其具有閘極功能的第一板子，及該源極與汲極連接在一起形成一第二板子)。因此，以下所述之申請專利範圍的範圍應被解釋為最大的範圍用以包含所有變化及相似的結構。

【圖式簡單說明】

第 1 圖為一典型的以 SLM 為基礎的投射式顯示器系統；

第 2 圖顯示此技藝中習知之 1T1C DRAM 電路；

第 3 圖顯示依據本發明的一實施例之像素電路圖；

第 4 圖為電 3 圖中之像素電路上的一通過電晶體及電容器的簡化剖面圖；及

第 5 圖為一圖表，其顯示施加至第 3 圖的像素電路上的電壓波形。

【元件代表符號簡單說明】

20	光源	2a,2b,2c	光學元件
6	光束	8	投射透鏡
10	觀賞螢幕	12	彩色濾光輪

100	字元線	101	位元線
102	貯存節點	104	通過電晶體
103	貯存電容器	103a	第一板子
103b	第二板子	105	幫浦訊號
200	p型矽基材	201a,201b	N+擴散區
202	場氧化物	203	電晶體閘極
204	閘極氧化物	206	電容器介電質
207	上板	208	底板
302	預放電狀態	303	放電狀態
304	清除狀態	305	寫入狀態
306	充電狀態		

肆、中文發明摘要

一種電壓貯存單元電路包括一電晶體及一貯存電容器，其中該存取電晶體的源極被連接至一位元線，該存取電晶體的閘極被連接至一字元線，及其中該存取電晶體的汲極被連接至該貯存電容器的一第一板形成一貯存節點，及其中該貯存電容器的一第二板被連接至一泵訊號。此結構可產生一新穎的像素電路設計其具有可與一 1T1C DRAM 類的像素單元相提並論的面積要求，但具有該通過電晶體 (pass transistor) 之破壞電壓 (breakdown voltage) 所允許的整個振幅範圍之輸出電壓的優點。一空間光調節器，如一微鏡子陣列，可包含此一電壓貯存單元。

伍、英文發明摘要

A voltage storage cell circuit includes an access transistor and a storage capacitor, wherein the source of said access transistor is connected to a bitline, the gate of said access transistor is connected to a wordline, and wherein the drain of said access transistor is connected to a first plate of said storage capacitor forming a storage node, and wherein the second plate of said storage capacitor is connected to a pump signal. This arrangement allows for a novel pixel circuit design with area requirements comparable to that of 1T1C DRAM-like pixel cell, but with the advantage of an output voltage swing of the full range allowed by the breakdown voltage of the pass transistor. A spatial light modulator such as a micromirror array can comprise such a voltage storage cell.

拾、申請專利範圍

1. 一種電壓貯存單元電路，其至少包含：
一電晶體，其具有一源極、一閘極、及一汲極；
一貯存電容器，其具有一第一板子及一第二板子；及
其中該電晶體的源極被連接至一位元線上，該電晶體的閘極被連接至一字元線上，及其中該電晶體的汲極被連接至該貯存電容器的第一板子而形成一貯存節點，及其中該貯存電容器的第二板子被連接至一幫浦訊號。
2. 如申請專利範圍第 1 項所述之電壓貯存單元電路，其更包含一控制電路，該控制電路可操作用以驅動多個包含位元線訊號、字元線訊號及幫浦訊號之控制訊號，其中每一控制訊號都具有依據一預定的狀態順序所決定之一作用電壓位準及一不作用電壓位準。
3. 如申請專利範圍第 2 項所述之電壓貯存單元電路，其中該狀態順序包含：
一放電狀態，在該狀態期間幫浦訊號被驅動至一不作用電壓位準；
一充電狀態，在該狀態期間幫浦訊號被驅動至一作用電壓位準。
4. 如申請專利範圍第 3 項所述之電壓貯存單元電路，其中在放電狀態期間該字元線被驅動至一作動電壓位準。

5. 如申請專利範圍第 4 項所述之電壓貯存單元電路，其中在放電狀態期間該位元線被驅動至一作用電壓位準。
6. 如申請專利範圍第 5 項所述之電壓貯存單元電路，其中該狀態順序更包含：
 - 一保持狀態，在該狀態時字元線被驅動至一不作用電壓位準及該幫浦訊號被驅動至一作用電壓位準；
 - 一預放電狀態，在該狀態時位元線及字元線被驅動至一作用電壓位準，而幫浦訊號則保持在一作用電壓位準；
 - 及
 - 一寫入狀態，在該狀態時字元線被保持在一作用電壓位準，及該幫浦訊號被保持在一不作用電壓位準，及該位元線則依據該貯存節點所想要的最終電壓狀態而被設定為一作用或不作用電壓位準。
7. 如申請專利範圍第 1 項所述之電壓貯存單元電路，其中該電晶體為一被製造在一 n 型井內的 PMOS。
8. 如申請專利範圍第 7 項所述之電壓貯存單元電路，其中該 n 型井是被製造在一 p 型基材上。
9. 如申請專利範圍第 8 項所述之電壓貯存單元電路，其

中該 n 型井被連接至一低於最大幫浦訊號電壓的電壓。

10. 如申請專利範圍第 8 項所述之電壓貯存單元電路，其中該貯存節點可貯存一低於 p 型基材電壓之電壓。
11. 如申請專利範圍第 1 項所述之電壓貯存單元電路，其中該電晶體為一被製造在一 p 型井內的 NMOS。
12. 如申請專利範圍第 11 項所述之電壓貯存單元電路，其中該 p 型井是被製造在一 n 型基材上。
13. 如申請專利範圍第 12 項所述之電壓貯存單元電路，其中該 n 型井被連接至一高於最小幫浦訊號電壓的電壓。
14. 如申請專利範圍第 12 項所述之電壓貯存單元電路，其中該貯存節點可貯存一高於 n 型基材電壓之電壓。
15. 如申請專利範圍第 2 項所述之電壓貯存單元電路，其中該位元線與字元線的擺動電壓(voltage swings)係於幫浦訊號的擺動電壓。
16. 如申請專利範圍第 2 項所述之電壓貯存單元電路，其中該單元之擺動電壓係大於該位元線之擺動電壓。

17. 如申請專利範圍第 2 項所述之電壓貯存單元電路，其中該單元之擺動電壓係大於該字元線之擺動電壓。
18. 如申請專利範圍第 1 項所述之電壓貯存單元電路，其中該電晶體為一非對稱電晶體，其係具有一高電壓容忍性汲極及一低電壓容忍性源極及閘極。
19. 如申請專利範圍第 1 項所述之電壓貯存單元電路，其中該貯存電容器的第二板子被形成在一第一多晶矽層上。
20. 如申請專利範圍第 19 項所述之電壓貯存單元電路，其中該貯存電容器的第一板子被形成在一第二多晶矽層上。
21. 如申請專利範圍第 20 項所述之電壓貯存單元電路，其中該電路與一第二電壓貯存單元電路相鄰接，該等電路具有一分享的幫浦訊號，且該分享的幫浦訊號是將介於兩單元之間的第一多晶矽層相鄰接而形成的。
22. 如申請專利範圍第 1 項所述之電壓貯存單元電路，其中該貯存節點可控制一空間光調節器內的光學狀態。
23. 如申請專利範圍第 22 項所述之電壓貯存單元電路，其

中該像素為一可靜電偏折的微型鏡子。

24. 如申請專利範圍第 22 項所述之電壓貯存單元電路，其中該像素為一液晶像素單元。

25. 一種製造一電壓貯存單元電路的方法，其至少包含以下任何順序的步驟：

提供一矽基材；

形成閘極氧化物及場氧化物區於該基材上；

形成一閘極，其係相對應於一電晶體的閘極；

形成第一及第二板子及它們之間的介電質，用以界定一電容器；

形成種類與該基材相反之摻雜物的擴散區，該等擴散區係相對應於該電晶體的源極與汲極；

將該閘極連接至一字元線訊號；

將該源極連接至一位元線訊號；

將該汲極連接至該電容器的第一板子；及

將該電容器的第二板子連接至一幫浦訊號。

26. 一種包含一電晶體及一電容器的電路，其中該電晶體的源極被連接至一位元線，該電晶體的閘極連被接至一字元線，及該電晶體的汲極被連接至該電容器的一第一板子，及該電容器的第二板子被連接至一幫浦訊號。

27. 一種操作一電壓貯存單元電路的方法，其中該單元電路包含一基材，一 MOS 類的電晶體其具有一源極，一汲極及一閘極，一電容器其具有第一及第二板子，且其中該源極被連接至一位元線，該閘極被連接至一字元線，該汲極被連接至該第一板子，及該第二板子被連接至一幫浦訊號，該方法至少包含以下的步驟：

將該字元線設定至一不作用電壓位準且將該幫浦訊號設定至一作用電壓位準，用以保持一貯存在該單元中的電壓位準；

將該字元線設定至一作用電壓位準且將該幫浦訊號設定至一不作用電壓位準，用以將一貯存在該單元中的電壓位準放電釋放掉；及

依據位元線的電壓位準來設定貯存在該單元中的電壓位準。

28. 如申請專利範圍第 27 項所述之方法，其更包含：

在將該字元線設定至一不作用電壓位準及將該幫浦訊號設定至一作用電壓位準，用以保持一貯存在該單元中的電壓位準之後，及在將該字元線設定至一作用電壓位準及將該幫浦訊號設定至一不作用電壓位準，用以將一貯存在該單元中的電壓位準放電釋放掉之前，將該字元線設定至一作用電壓位準，以用於預放電。

29. 如申請專利範圍第 27 項所述之方法，其更包含：

在將該字元線設定至一作用電壓位準及將該幫浦訊號設定至一不作用電壓位準，用以將一貯存在該單元中的電壓位準放電釋放掉，及在依據位元線的電壓位準來設定貯存在該單元中的電壓位準之前，

將位元線設定至一不作用電壓位準，使得貯存在該單元中的電壓位準被降低至一不作用電壓位準，用以將貯存在該單元中的電壓位準清除掉。

30. 如申請專利範圍第 27 項所述之方法，其更包含：

在依據位元線的電壓位準來設定貯存在該單元中的電壓位準時，如果該位元線電壓是在一作用電壓位準的話，

則將該幫浦訊號設定至一作用電壓位準使得貯存在該單元內的電壓位準被衝高至一高電壓位準。

31. 如申請專利範圍第 27 項所述之方法，其中該電壓儲存單元為一空間光調節器的一部分。

32. 如申請專利範圍第 27 項所述之方法，其中該空間光調節模組為一微型鏡的陣列其具有一或多個微型鏡子。

33. 一種空間光調節器其具有至少一像素單元，該空間光調節器至少包含：

一可靜電偏折的微型鏡子；

一電極，用來電子控制該微型鏡子的轉動；及

一記憶體單元，其貯存一作用或不作用電壓位準用以施加一電壓至該電極，該單元更包含：

一 MOS 電晶體，其具有一連接至一位元線的源極、一汲極及一連接至一字元線的閘極，及

一電容器，其具有一第一及一第二板子，其中該第一板子被連接至該電晶體的汲極及該第二板子被連接至一幫浦訊號。

34. 如申請專利範圍第 33 項所述之空間光調節器，其中該記憶體單元能夠保持：

一維持狀態，用來維持貯存在該單元內的電壓位準；

一放電狀態，用來將貯存在該單元內的電壓位準設定至一不作用電壓位準；及

一寫入狀態，用來依據該位元線的電壓位準來設定貯存在該單元內的電壓位準。

35. 如申請專利範圍第 34 項所述之空間光調節器，其中該記憶體單元能夠保持：

一預放電狀態，用來準備將該被貯存於該單元內之電壓設定至一不作用電壓位準。

36. 如申請專利範圍第 34 項所述之空間光調節器，其中該記憶體單元能夠保持：

一清除狀態，用來將該被貯存的電壓位準設定至一低電壓位準。

37. 如申請專利範圍第 34 項所述之空間光調節器，其中該保持狀態被界定為：

該字元線具有一不作用電壓位準；及
該幫浦訊號具有一作用電壓位準。

38. 如申請專利範圍第 34 項所述之空間光調節器，其中該放電狀態被界定為：

該位元線具有一作用電壓位準；
該字元線具有一作用電壓位準；及
該幫浦訊號具有一不作用電壓位準。

39. 如申請專利範圍第 34 項所述之空間光調節器，其中該寫入狀態被界定為：

該字元線具有一作用電壓位準；及
該幫浦訊號具有一不作用電壓位準。

40. 如申請專利範圍第 35 項所述之空間光調節器，其中該預放電狀態被界定為：

該位元線具有一作用電壓位準；
該字元線具有一作用電壓位準；及
該幫浦訊號具有一作用電壓位準。

41. 如申請專利範圍第 36 項所述之空間光調節器，其中該清除狀態被界定為：
該位元線具有一不作用電壓位準；
該字元線具有一不作用電壓位準；及
該幫浦訊號具有一不作用電壓位準。
42. 如申請專利範圍第 33 項所述之空間光調節器，其中該電晶體為一被製造於一形成在一 p 型基材 n 型井內的 PMOS 電晶體。
43. 如申請專利範圍第 33 項所述之空間光調節器，其中該電晶體為一被製造於一形成在一 n 型基材 p 型井內的 NMOS 電晶體。
44. 如申請專利範圍第 42 項所述之空間光調節器，其中該基材為一矽基材。
45. 如申請專利範圍第 43 項所述之空間光調節器，其中該基材為一矽基材。
46. 一種空間光調節器其具有至少一像素單元，該像素單元至少包含：
一可靜電地偏折的微型鏡子；

一可操作的記憶體單元用以貯存一作用電壓，其中貯存在該記憶體單元內的電壓決定該微型鏡子偏折時的旋轉角度，及其中該記憶體單元包含一 PMOS 電晶體，該 PMOS 電晶體是被製造於一形成在一 p 型基材之 n 型井內。

47. 一種空間光調節器其具有至少一像素單元，該像素單元至少包含：

一可靜電偏折的微型鏡子；

一可操作的記憶體單元用以貯存一作用電壓，其中貯存在該記憶體單元內的電壓決定該微型鏡子偏折時的旋轉角度，且其中該記憶體單元包含一 NMOS 電晶體，該 NMOS 電晶體是被製造於一形成在一 n 型基材上的 p 型井內。

48. 一種投影機，其至少包含：

一光源；及

一空間光調節器其具有至少一像素單元，該空間光調節器至少包含：

一可靜電地偏折的微型鏡子；

一電極，用來電子控制該微型鏡子的轉動；及

一記憶體單元，其可貯存一作用或不作用電壓位準，用以施加一電壓至該電極，該記憶體單元更包含：

一 MOS 電晶體，其具有一連接至一位元線

的源極、一汲極及一連接至一字元線的閘極，及
一電容器，其具有一第一及一第二板子，其中該第一板子被連接至該電晶體的汲極及該第二板子被連接至一幫浦訊號。

49. 一種記憶體單元，其至少包含：

一 MOS 類的電晶體，其具有一源極、一汲極及一閘極；

一電容器，其具有一連接至該電晶體的汲極之第一板子，及一第二板子；

一字元線，其連接至該電晶體的源極用以將該單元定址；

一位元線，其具有一最大電壓且連接至該電晶體的源極用來寫入該單元；及

一幫浦線，其連接至該電容器的第二板子使得該電容器的第一板子的電壓的絕對值大於該位元線的電壓的絕對值。

50. 如申請專利範圍第 49 項所述之記憶體單元，其中該 MOS 類的電晶體為一 PMOS 電晶體；且該電容器的第一板子具有一電壓其小於該位元線的最大電壓。

51. 如申請專利範圍第 49 項所述之記憶體單元，其中該 MOS 類的電晶體為一 NMOS 電晶體；且該電容器的第一板子具有一電壓其大於該位元線的最小電壓。

52. 如申請專利範圍第 49 項所述之記憶體單元，其中該記憶體單元為一空間光調節器的一部分。

53. 如申請專利範圍第 49 項所述之記憶體單元，其中該空間光調節器係一微型鏡子陣列，其具有一或多個微型鏡子。

54. 一種記憶體單元，其至少包含：

一 MOS 類的電晶體，其具有一源極、一汲極及一閘極；

一電容器，其具有一連接至該電晶體的汲極之第一板子，及一第二板子；

一字元線，其連接至該電晶體的源極用以將該單元定址；

一位元線，其具有一最大電壓且連接至該電晶體的源極用來寫入該單元；及

一幫浦線，其連接至該電容器的第二板子使得該電容器的第一板子的電壓的絕對值大於該位元線的電壓的絕對值；及

其中介於該電容器的第一板子的最大與最小電壓之間的差值的絕對值大於該位元線的最大與最小電壓之間的差值的絕對值。

55. 如申請專利範圍第 54 項所述之記憶體單元，其中該記

憶體單元為一空間光調節器的一部分。

56. 如申請專利範圍第 54 項所述之記憶體單元，其中該空間光調節器係一微型鏡子陣列，其具有一或多個微型鏡子。

57. 一種記憶體單元，其至少包含：

一基材；

一在該基材上之第一 n 型摻雜區；

一在該基材上之第二 p 型摻雜區；

一第一電供應電位，其連接至該第一區；

一第二電供應電位，其連接至該第二區；

一電路，其更包含：

一電晶體，其具有一源極及一汲極，其中該汲極電壓可以是高於兩供應電位或低於兩供應電位。

58. 如申請專利範圍第 57 項所述之記憶體單元，其中該電路元件更包含：

一電容器，其具有一連接至該電晶體汲極之第一板子；

及一連接至一幫浦訊號的第二板子。

59. 如申請專利範圍第 57 項所述之記憶體單元，其中該記憶體單元為一空間光調節器的一部分。

60. 如申請專利範圍第 59 項所述之記憶體單元，其中該空間光調節器係一微型鏡子陣列，其具有一或多個微型鏡子。
61. 一種記憶體單元，其至少包含：
- 一基材；
 - 一在該基材上之第一 n 型摻雜區；
 - 一在該基材上之第二 p 型摻雜區；
 - 一第一電供應電位，其連接至該第一區；
 - 一第二電供應電位，其連接至該第二區；
 - 一電路，其包含：
 - 一電晶體，其具有一源極及一汲極，其中介於該汲極的最大電壓與最小電壓之間的差值的絕對值係大於供應電位之間的差值。
62. 如申請專利範圍第 61 項所述之記憶體單元，其中該記憶體單元為一空間光調節器的一部分。
63. 如申請專利範圍第 61 項所述之記憶體單元，其中該空間光調節器係一微型鏡子陣列，其具有一或多個微型鏡子。
64. 一種空間光調節器，其至少包含：
- 一反射性微型鏡子，用來反射一入射光；

一電路，用來控制該微型鏡的轉動角度，該電路包含：

一電晶體，其具有一源極及一汲極，其中介於該汲極的最大電壓與最小電壓之間的差值的絕對值係大於供應電位之間的差值。

65. 如申請專利範圍第 64 項所述之空間光調節器，其更包含：

一電極，其連接至該電路用以電子地控制該微型鏡子的轉動。

66. 如申請專利範圍第 64 項所述之空間光調節器，其中之電路更包含：

一電容器，其具有一第一及一第二板子，其中該第一板子被連接至該電晶體的汲極，且該第二板子被連接至一幫浦訊號。

67. 如申請專利範圍第 66 項所述之空間光調節器，其更包含：

一字元線，其係連接至該電晶體的閘極用來將該記憶體單元定址；及

一位元線，其係連接至該電晶體的源極。

68. 一種記憶體單元，其至少包含：

- 一電晶體，其具有一源極、一閘極及一汲極；及
- 一電容器，其具有用來貯存一電壓的一第一板子及一第二板子，其中該被貯存的電壓至少是 10 伏特。

69. 如申請專利範圍第 68 項所述之記憶體單元，其中該被貯存的電壓至少是 15 伏特。
70. 如申請專利範圍第 68 項所述之記憶體單元，其中該被貯存的電壓至少是 20 伏特。
71. 如申請專利範圍第 68 項所述之記憶體單元，其係為一空間光調節器的一部分。
72. 如申請專利範圍第 71 項所述之記憶體單元，其中該空間光調節器更包含：一微型鏡子，用來反射一入射光。
73. 如申請專利範圍第 68 項所述之記憶體單元，其中該電晶體被製作在一結晶型矽基材中。
74. 如申請專利範圍第 68 項所述之記憶體單元，其中該記憶體單元為一空間光調節器的一部分。
75. 如申請專利範圍第 68 項所述之記憶體單元，其中該空間光調節器為一微型鏡子陣列，其具有一或多個微型

鏡子。

76. 一種電路，其至少包含：

一非對稱性高電壓電晶體，其具有一高電壓容忍性的汲極及一低電壓容忍性的源極及閘極。

77. 如申請專利範圍第 76 項所述之電路，其更包含：

一電容器，其具有一第一及第二板子，其中該第一板子被連接至該電晶體的汲極，及該第二板子被連接至一幫浦訊號。

78. 如申請專利範圍第 76 項所述之電路，其更包含：

一有機發光二極體。

79. 如申請專利範圍第 76 項所述之電路，其中該電晶體為一形成在一矽基材上的 PMOS 電晶體。

80. 如申請專利範圍第 76 項所述之電路，其中該電晶體為一形成在一矽基材上的 NMOS 電晶體。

81. 如申請專利範圍第 76 項所述之電路，其中該電路為一空間光調節器的一部分。

82. 如申請專利範圍第 76 項所述之電路，其中該空間光調

節器為一微型鏡子陣列，其具有一或多個微型鏡子。

83. 一種電路，其至少包含：

一電晶體，其具有一源極、一閘極，及一汲極；

一字元線，其連接至該閘極；

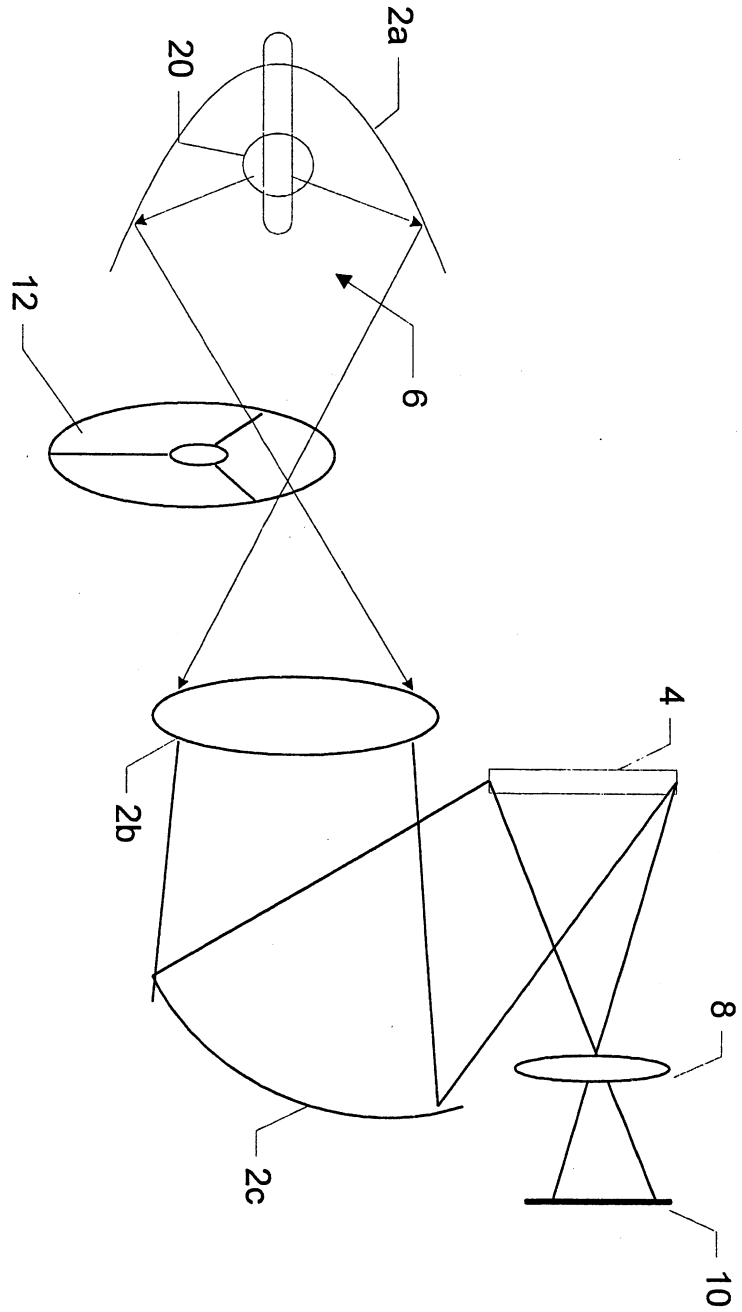
一位元線，其連接至該源極；

一電容器，其具有一第一板子及一第二板子，其中該第一板子被連接至該電晶體的汲極及該第二板子被連接至一幫浦訊號；及

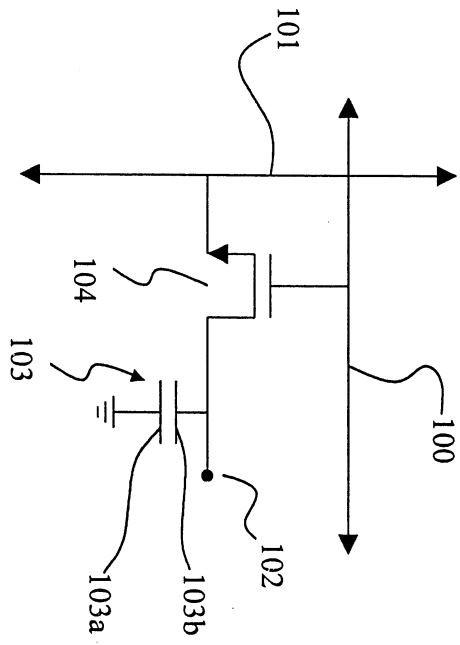
其中該字元線保持一作用電壓位準，而該幫浦訊號則在一作動電壓位準與一不作用電壓位準之間改變。

84. 如申請專利範圍第 83 項所述之電路，其中該電路為一空間光調節器的一部分。

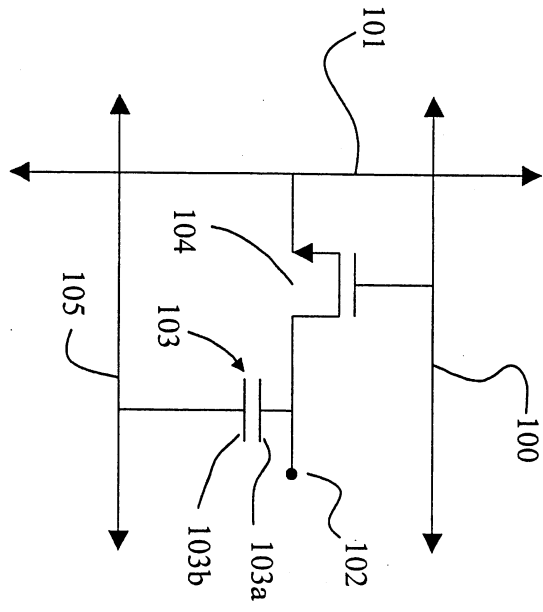
85. 如申請專利範圍第 83 項所述之電路，其中該空間光調節器為一微型鏡子陣列，其具有一或多個微型鏡子。



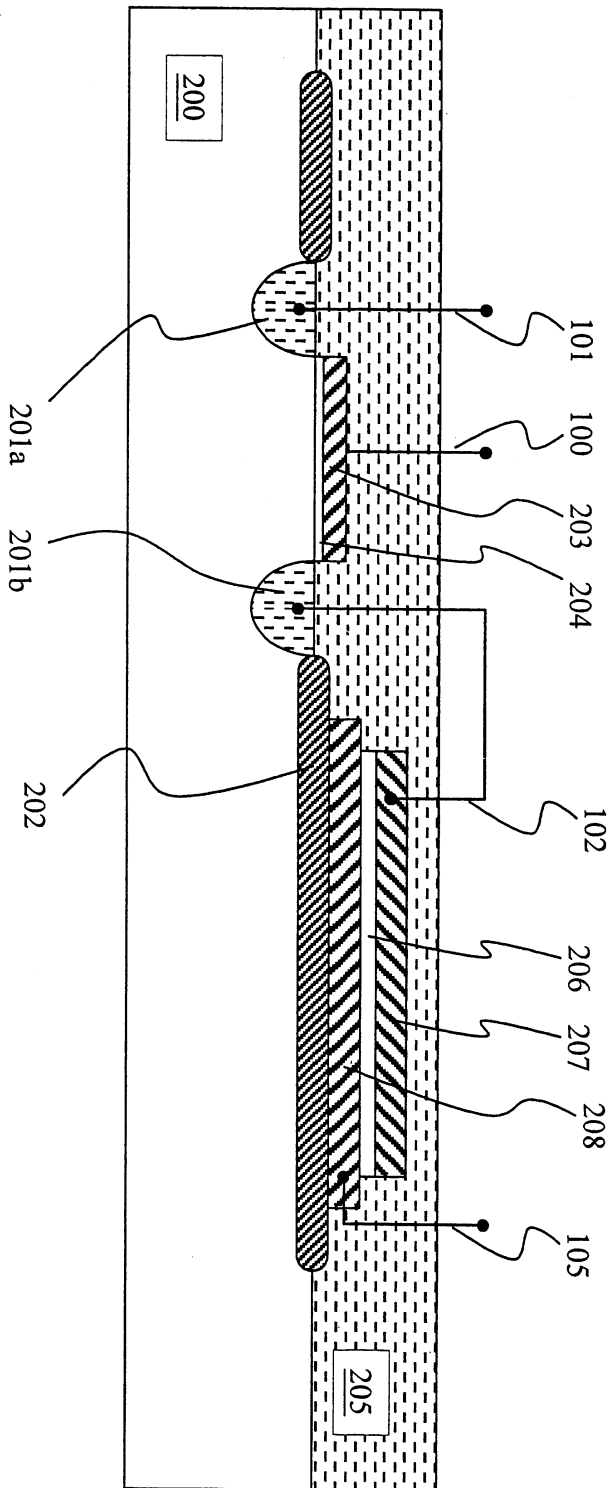
第 1 圖



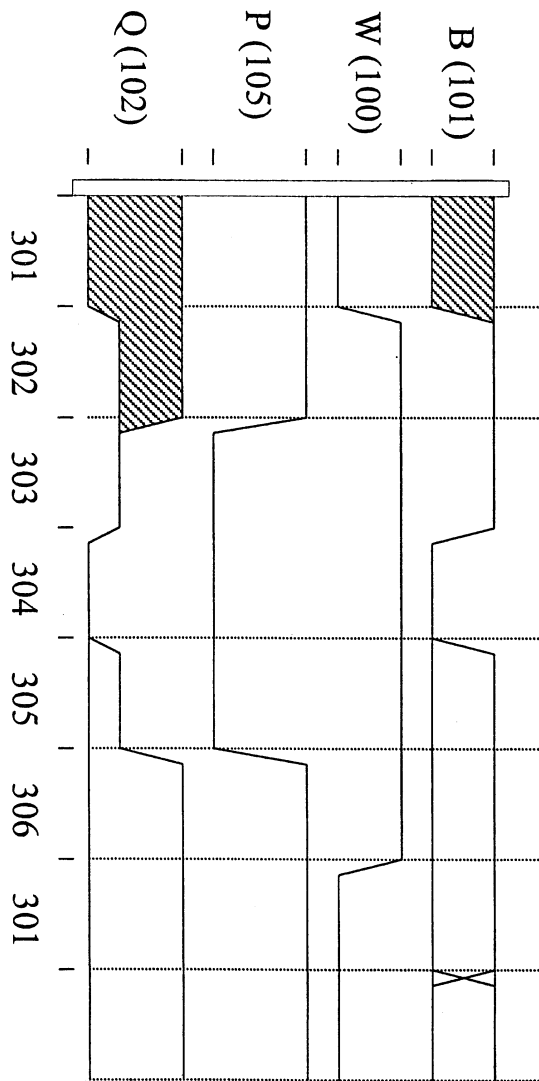
第 2 圖



第 3 圖



第 4 圖



第 5 圖

陸、(一)、本案指定代表圖為：第 4 圖

(二)、本代表圖之元件代表符號簡單說

明：

100	字元線	101	位元線
102	貯存節點	105	”幫浦”訊號
200	p 型矽基材	201a、201b	N+擴散區
202	場氧化物	203	電晶體閘極
204	閘極氧化物	206	介電層
207	上多晶矽板	208	底板

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：