

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成22年8月5日(2010.8.5)

【公開番号】特開2008-16024(P2008-16024A)

【公開日】平成20年1月24日(2008.1.24)

【年通号数】公開・登録公報2008-003

【出願番号】特願2007-172478(P2007-172478)

【国際特許分類】

G 06 F 3/06 (2006.01)

G 06 F 12/08 (2006.01)

【F I】

G 06 F 3/06 302 A

G 06 F 3/06 540

G 06 F 12/08 501 F

G 06 F 12/08 557

G 06 F 12/08 543 B

【手続補正書】

【提出日】平成22年6月22日(2010.6.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

記憶アレイの場所に関して記憶アレイ内のライトバックデータのセットのアレイを形成するステップと、実質的にライトバックデータの付加セットがホストによりキャッシュメモリへ提供されるレートでライトバックデータの前記セットをキャッシュメモリから記憶アレイへ転送するステップと、を含む方法。

【請求項2】

請求項1に記載の方法であって、ライトバックデータの各セットは複数の隣接データブロックを含む方法。

【請求項3】

請求項1に記載の方法であって、さらに、アレイ内のライトバックデータの各セットに対してストライプデータ記述子(SDD)を与えるステップを含み、SDDはライトバックデータを記憶アレイへフラッシングするための準備完了として識別する値を含む方法。

【請求項4】

請求項1に記載の方法であって、さらに、ライトバックデータの前記付加セットがキャッシュメモリへ移されるレートを監視するステップを含み、それに関連して転送ステップを実施して前記キャッシュメモリ内に前記ライトバックデータの実質的に均一な分布を維持する方法。

【請求項5】

記憶アレイの関連する場所へ転送するのに利用できるライトバックデータのセットを格納するキャッシュメモリと、ライトバックデータの前記セットをキャッシュメモリ内に配列して実質的に均一な分布を記憶アレイを横切って提供し、かつ実質的にライトバックデータの付加セットがホストによりキャッシュメモリへ提供されるレートでライトバックデータの前記セットをキャッシュメモリから記憶アレイへ転送するように構成されたプロセッサと、を含む装置。

**【請求項 6】**

請求項5に記載の装置であって、プロセッサはライトバックデータのセットを選択的にフラッシングリストへ移すキャッシュ・マネージャを含む装置。

**【請求項 7】**

請求項5に記載の装置であって、プロセッサはアレイ内のライトバックデータの各セットに対するストライプデータ記述子（S D D）を発生し、S D Dはライトバックデータを記憶アレイへのフラッシング準備完了として識別する値を含む装置。

**【請求項 8】**

請求項5に記載の装置であって、プロセッサはさらにライトバックデータの前記付加セットがキャッシュメモリへ移されるレートを監視し、それに関して前記データを転送してキャッシュメモリ内に前記ライトバックデータの実質的に均一な分布を維持する装置。