(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3689469号
(P3689469)
(45)発行日　平成17年8月31日(2005.8.31)　(24)登録日　平成17年6月17日(2005.6.17)

| (51)Int.Cl.[7] | F I | | |
|---|---|---|---|
| H04N 5/92 | H04N | 5/92 | H |
| H04N 5/907 | H04N | 5/907 | B |

請求項の数 3　(全 12 頁)

(21)出願番号　特願平7-347148
(22)出願日　平成7年12月15日(1995.12.15)
(65)公開番号　特開平9-168135
(43)公開日　平成9年6月24日(1997.6.24)
審査請求日　平成14年12月10日(2002.12.10)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100081880
弁理士　渡部　敏彦
(72)発明者　大岩　靖之
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　加藤　恵一

(56)参考文献　特開昭６１－２１２１２１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04N 5/76-5/956

(54)【発明の名称】画像処理装置及び画像処理システム

(57)【特許請求の範囲】

【請求項１】

画像入力装置から出力されたアナログ信号を入力する画像処理装置であって、

前記画像入力装置は、

入力データを所定のビット数を有する分割データに分割する分割手段と、

変換テーブルを用いて前記分割データを前記分割データに対応する変換データに変換する変換手段と、

前記変換データをアナログ信号に変換するディジタルアナログ変換手段と、

前記アナログ信号を出力する出力手段と

を有し、

前記画像処理装置は、

前記出力手段から出力されたアナログ信号をディジタル信号に変換するアナログディジタル変換手段と、

前記ディジタル信号を前記分割データに逆変換する逆変換手段と

を有し、

前記画像処理装置は、前記変換テーブルの内容を変更するか否かを判定し、前記変換テーブルの内容を変更する場合は前記前記変換テーブルの内容を変更するのに必要な値を前記画像入力装置に送信することを特徴とする画像処理装置。

【請求項２】

画像入力装置から出力されたアナログ信号を入力する画像処理装置であって、

前記画像入力装置は、
入力データを所定のビット数を有する分割データに分割する分割手段と、
変換テーブルを用いて前記分割データを前記分割データに対応する変換データに変換する変換手段と、
前記変換データをアナログ信号に変換するディジタルアナログ変換手段と、
前記アナログ信号を出力する出力手段と
を有し、
前記画像処理装置は、
前記出力手段から出力されたアナログ信号をディジタル信号に変換するアナログディジタル変換手段と、
前記ディジタル信号を前記分割データに逆変換する逆変換手段と
を有し、
前記画像処理装置は、前記所定のビット数を変更するか否かを判定し、前記所定のビット数を変更する場合は前記所定のビット数を変更することを前記画像入力装置に要求することを特徴とする画像処理装置。
【請求項３】
請求項１又は２に記載の画像入力装置と、請求項１又は２に記載の画像処理装置とを有することを特徴とする画像処理システム。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、画像処理装置及び画像処理システムに関する。
【０００２】
【従来の技術】
従来、ＣＣＤなどの固体撮像素子を使用して画像を取り込んで出力し、モニタに表示したり、ディジタル化してメモリに格納する画像入力装置が知られている。図１３は従来の画像入力装置の構成を示すブロック図である。図において、２０１はレンズ、２０２は絞り部、２０３は補色モザイクの光学ローパスフィルタ、２０４はＣＣＤ、２０５はゲインアンプ、２０６はＡ／Ｄ変換回路である。
【０００３】
２０７はメモリ１、２０８はメモリ２、２０９は演算処理回路、２１０はセレクタ、２１１はルックアップテーブル（ＬＵＴ）、２１２はＤ／Ａ変換回路、２１３はメモリコントローラ、２１４はＣＰＵ、２１５はタイミングジェネレータである。
【０００４】
上記構成を有する画像入力装置では、レンズ２０１を通して入力された画像信号は絞り部２０２、光学ローパスフィルタ２０３を透過してＣＣＤ２０４に送られる。ＣＣＤ２０４に蓄積された電荷は、タイミングジェネレータ２１５からの制御信号により駆動され光像電気信号として読み出され、ゲインアンプ２０５で増幅されて出力される。
【０００５】
ゲインアンプ２０５はタイミングジェネレータ２１５からの信号によってレベルコントロールされ、タイミングジェネレータ２１５はＣＰＵ２１４によって制御される。
【０００６】
ゲインアンプ２０５からの出力信号は、Ａ／Ｄ変換回路２０６でディジタル変換され、シアン（Ｃｙ）、マゼンダ（Ｍｇ）、イエロー（Ｙｅ）、グリーン（Ｇ）のデータとしてメモリＡ２０７に蓄積される。一方、メモリＢ２０８には暗信号データが蓄積される。これはシステムリセット時に絞り部２０２を閉じた遮光状態で蓄えられるＣＣＤ２０４からの信号データである。メモリＡ２０７とメモリＢ２０８はそれぞれメモリコントローラ２１３によって制御される。
【０００７】
演算処理回路２０９では、読み出されるメモリＡ２０７の補色画像データからメモリＢ２

０８の暗信号データが減算される。その結果は、数式（１）に示す３×３の計数Ａによるマトリックス演算によってシアン、マゼンダ、イエローより輝度信号（Ｙ）と色差信号（Ｃｒ，Ｃｂ）に変換される。

【０００８】

【数１】

$$\begin{bmatrix} Y \\ Cr \\ Cb \end{bmatrix} = A_{33} \begin{bmatrix} Cy \\ Mg \\ Ye \end{bmatrix}$$

輝度信号および色差信号に変換されたデータはセレクタ２１０に送られる。セレクタ２１０はＣＰＵ２１４によって制御される。これは後段のルックアップテーブル２１１が有するいくつかのテーブルデータのうちどれを選択するかを決めるセレクタである。

【０００９】

図１４はルックアップテーブル２１１が有するγ変換のテーブルデータを示すグラフである。このデータテーブル上にいくつかのγカーブを有することにより、任意の出力を得ることができる。このテーブルデータはγ変換以外のものでよい。

【００１０】

ルックアップテーブル２１１の出力は、Ｄ／Ａ変換回路２１２に送られ、ディジタルデータからアナログデータに戻されて外部にビデオ信号として出力される。出力されたビデオ信号は、そのままモニタに表示するか、もしくは所定の処理がなされて任意の場所に蓄積されたりする。

【００１１】

後者の場合、アナログ信号のまま処理されるか、またはディジタル信号で処理されるかであるが、ここではディジタル画像処理が行われるとして画像処理装置の簡単な例を示す。

【００１２】

図１５は画像処理装置の構成を示すブロック図である。画像処理装置と前述の画像入力装置とはビデオ信号ラインおよび制御ラインで接続されている。図において、画像入力装置からの入力信号は、Ａ／Ｄ変換回路１０１でディジタル変換され、ディジタル信号処理回路１０３またはスイッチ１０７に送られる。スイッチ１０７によって入力画像をスルーでメモリ１１０に格納する場合、メモリコントローラ１０６によって制御されるメモリ１１０に入力画像が書き込まれる。同様に、メモリコントローラ１０６によって読み出しが制御される。

【００１３】

一方、ディジタル信号処理回路１０３は、輝度および色差信号をＲ、Ｇ、Ｂ信号に変換する回路またはディジタル演算処理が施される回路である。スイッチ１０７によってディジタル信号処理回路１０３側の出力が選択される場合、処理後のデータはメモリ１１０に書き込まれる。

【００１４】

【発明が解決しようとする課題】

しかしながら、上記従来の画像処理装置では、画像入力装置と共にディジタル信号で処理を行っているものの、双方を繋ぐ入出力部はアナログ信号で送受信されている。したがって、画像データを送信するためのディジタルアナログ（Ｄ／Ａ）変換、アナログディジタル（Ａ／Ｄ）変換の際に画像データが劣化してしまうという問題があった。

【００１５】

この問題を解消するために、新たにディジタルデータのやり取りが可能な入出力部を設けることは装置の部品点数を増やしてコストを上げるばかりだけでなく、その処理を増加さ

せることになり好ましくない。

【００１６】

また、制御ラインにより画像データを転送することも考えられるが、このデータ伝送速度は高速でも１～２Ｍｂｐｓであるので、画像データの伝送には適していない。

【００１７】

そこで、本発明は、画像データの品位を損なうことなく高速で転送できる画像処理装置及び画像処理システムを提供することを目的とする。

【００１８】

【課題を解決するための手段】

請求項１に係る画像処理装置は、例えば、画像入力装置から出力されたアナログ信号を入力する画像処理装置であって、前記画像入力装置は、入力データを所定のビット数を有する分割データに分割する分割手段と、変換テーブルを用いて前記分割データを前記分割データに対応する変換データに変換する変換手段と、前記変換データをアナログ信号に変換するディジタルアナログ変換手段と、前記アナログ信号を出力する出力手段とを有し、前記画像処理装置は、前記出力手段から出力されたアナログ信号をディジタル信号に変換するアナログディジタル変換手段と、前記ディジタル信号を前記分割データに逆変換する逆変換手段とを有し、前記画像処理装置は、前記変換テーブルの内容を変更するか否かを判定し、前記変換テーブルの内容を変更する場合は前記前記変換テーブルの内容を変更するのに必要な値を前記画像入力装置に送信することを特徴とする。

請求項２に係る画像処理装置は、例えば、画像入力装置から出力されたアナログ信号を入力する画像処理装置であって、前記画像入力装置は、入力データを所定のビット数を有する分割データに分割する分割手段と、変換テーブルを用いて前記分割データを前記分割データに対応する変換データに変換する変換手段と、前記変換データをアナログ信号に変換するディジタルアナログ変換手段と、前記アナログ信号を出力する出力手段とを有し、前記画像処理装置は、前記出力手段から出力されたアナログ信号をディジタル信号に変換するアナログディジタル変換手段と、前記ディジタル信号を前記分割データに逆変換する逆変換手段とを有し、前記画像処理装置は、前記所定のビット数を変更するか否かを判定し、前記所定のビット数を変更する場合は前記所定のビット数を変更することを前記画像入力装置に要求することを特徴とする。

請求項３に係る画像処理システムは、例えば、請求項１又は２に記載の画像入力装置と、請求項１又は２に記載の画像処理装置とを有することを特徴とする。

【００２５】

【発明の実施の形態】

本発明の画像処理装置の実施の形態について説明する。本実施の形態における画像処理装置は後述する画像入力装置と共に画像処理システムを構成する。画像入力装置および画像処理装置はビデオ信号ラインおよび制御ラインで接続されている。このような画像処理システムは、画像入力装置をカメラヘッドとし、画像処理装置をカメラ本体とするカメラヘッド分離型カメラなどに適用される。

【００２６】

［第１の実施の形態］

図１は画像処理装置の構成を示すブロック図である。図において、１０１はＡ／Ｄ変換回路、１０２はルックアップテーブル（ＬＵＴ）、１０３はディジタル信号処理回路、１０４はメモリ、１０５はＣＰＵ、１０６はメモリコントローラ、１０７はスイッチである。

【００２７】

図２は画像入力装置の構成を示すブロック図である。図において、２０１はレンズ、２０２は絞り部、２０３は補色モザイクの光学ローパスフィルタ、２０４はＣＣＤ、２０５はゲインアンプ、２０６はＡ／Ｄ変換回路である。

【００２８】

２０７はメモリＡ、２０８はメモリＢ、２０９は演算処理回路、２１０はセレクタ、２１１はルックアップテーブル（ＬＵＴ）、２１２はＤ／Ａ変換回路、２１３はメモリコント

ローラ、２１４はＣＰＵ、２１５はタイミングジェネレータ、２１６は校正データ発生部である。

【００２９】

つぎに、画像処理装置のルックアップテーブル１０２について詳述する。図３はルックアップテーブル１０２が書き込まれたスタティックＲＡＭを示すブロック図である。ルックアップテーブル１０２は、ＣＰＵ１０５からのテーブルデータ転送により出力データの構成を決める。スタティックＲＡＭのルックアップテーブル１０２へのデータの書き込みで必要なテーブル変換を行なうのである。

【００３０】

１０ビット入力のうち上位２ビットを使用するＣＰＵ１０５からのテーブル切換により、ルックアップテーブル１０２は４つのテーブルを切り換え８ビットの入力データを変換する。本実施の形態では、入力データの８ビットをビット分割して２ビットずつ４回転送することにより受け手にデータを送信する。図４は２ビットずつそれぞれａ、ｂ、ｃ、ｄのグループに分割する場合を示す説明図である。

【００３１】

２ビットずつのデータは、それぞれ００、０１、１０、１１の４つの値をとることになるので、ビデオ信号ラインを通じてディジタル信号処理回路１０３で再現できればよいわけである。分解能８ビットのＡ／Ｄ変換回路１０１にビデオ信号が入力する場合、０から２５５の値の範囲で上記４つの値のどの値をとるかを決めればよい。００、０１、１０、１１の値を０から２５５のうちの４段階のレベル、０、８５、１７０、２５５に分けたそれぞれの値に割り振って示す。

【００３２】

図４のグループａについて、まず８ビットの上位２ビットが００の値をとる範囲、２進数で００００００００～００１１１１１１である、即ち、１０進数で０～６３の範囲を０と割り振る。次にとる値を最初の４つに２５５を分割した値である８５とする。これは上位２ビットの０１のときの８ビットデータがとる値の範囲、２進数で０１０００００～０１１１１１１、即ち、６４～１２７のデータに割り振る。

【００３３】

次の２ビット１０のときの値をとる範囲、２進数で１００００００～１０１１１１１、即ち、１２８～１９１は次の値１７０を割り振る。同様に最後の２ビットが１１となる範囲、２進数で１１０００００～１１１１１１１、即ち、１９２～２５５の範囲は２５５を割り振る。このようにテーブルデータを割り振ったグラフを図５の（Ａ）に示す。図５は変換テーブルを表すグラフである。

【００３４】

次の２ビット、つまり図４におけるグループｂで、まず下位の６ビットのみのとる値に関して、２ビットが００の値をとる範囲は、２進数で０００００～００１１１１、すなわち０～１５であり、これを０と割り振る。次の２ビット０１の範囲である２進数で示す０１００００～０１１１１１、すなわち１６～３１のとる値を８５に割り振り、その次の２ビット１０の範囲、２進数で１０００００～１０１１１１、すなわち３２～４７を１７０、最後の２ビット１１の範囲、２進数で１１００００～１１１１１１、すなわち４８～６３の範囲を２５５の値と割り振る。これに上位２ビットを含めてテーブルにすると、図５の（Ｂ）のグラフに示す変換テーブルとなる。同様に下位４ビットについても変換テーブルを作成する。

【００３５】

上記ルックアップテーブル１０２を有する画像処理装置では、入力したビデオ信号は、Ａ／Ｄ変換回路１０１でアナログ信号からディジタル信号に戻される。ディジタル化された入力信号は次のルックアップテーブル１０２に入力し、出力側で決定された４つ値のレベルのうちどれであるかによってそれぞれのデータはテーブルデータで変換され、その注目されている２ビットが００、０１、１０、１１の値に変換されたデータとなる。

【００３６】

例えば、上位２ビットデータ送信の場合、まず８ビットデータのうち上位２ビットが送られてくることが双方の間の通信ラインを通じて確認され、送られてきた信号をＡ／Ｄ変換回路１０１でディジタル値に変換してからその値０、８５、１７０、２５５によって上位が００、０１、１０、１１であり、下位の６ビットは０であるテーブルデータに設定される。

【００３７】

一方、テーブル変換されたデータが記憶されるメモリ１０４はマルチポートのＤＲＡＭ４枚で構成されている。図７はメモリ１０４の構成を示す説明図である。４枚のＤＲＡＭで構成されるメモリＡ、Ｂ、Ｃ、Ｄはイネーブル信号ＣＳ０、ＣＳ１、ＣＳ２、ＣＳ３によって順に選択され、ルックアップテーブル１０２側に切り換えられたスイッチ１０７を介して８ビットのうち２ビットずつそれぞれのメモリＡ、Ｂ、Ｃ、Ｄに書き込まれる。

【００３８】

最初の上位２ビットのデータの書き込みについて説明する。図６は上位２ビットのデータの書き込みを示す説明図である。データは図中矢印に示されるようにＩ／Ｏポートを通じて入力される。このとき、Ｉ／Ｏポートはあらかじめメモリコントロールからライトマスクモードとしての設定が行われ、入力のビットのうちの必要ビット以外にマスクがなされる。上位２ビット以外にマスクがなされ、書き込み対象のメモリＡのイネーブル信号ＣＳ０の入力とライト信号ＷＥとによってＤＲＡＭにデータが書き込まれる。

【００３９】

このように、Ａ、Ｂ、Ｃ、Ｄの４枚から構成されるメモリ１０４にイネーブル信号ＣＳ０からＣＳ３の切換によって上位から順に２ビットずつのビットプレーンとして８ビットのデータが縦に４枚のメモリに書き込まれていく。

【００４０】

メモリＡ、Ｂ、Ｃ、Ｄからの読み出しでは、上位から順にメモリを２ビットずつ取り出し、８ビットデータとして読み出すことによりデータを再構成する。

【００４１】

このように、本実施の形態における画像処理装置では、８ビットデータを２ビットずつに分割してデータ転送する場合を示したが、分割するビット数を減らして１ビットずつのデータ転送に適用してもよいことはいうまでもない。また、８ビットデータに限らず任意のビット数のデータ転送に関しても同様に適用できることはいうまでもない。

【００４２】

つぎに、画像入力装置側の動作について説明する。画像入力装置側からビデオ信号ラインを通じてビデオ信号のデータ転送を行う場合、まず、画像処理装置側から校正データ転送の指示が送られる。その指示を受けた画像入力装置側のＣＰＵ２１４は校正データを発生する校正データ発生部２１６に指示することにより、校正データの発生が開始される。

【００４３】

校正データは前述した画像処理装置側と同様に２ビットずつのデータにテーブル変換される。さらに、Ｄ／Ａ変換回路２１２でＤ／Ａ変換された後、ビデオ信号ラインを経由してＡ／Ｄ変換回路１０１により再びディジタル信号に戻されてメモリ１０４に格納される。

【００４４】

このとき、Ｄ／Ａ変換回路２１２におけるアナログ信号への変換および伝送路の状態によるビデオ信号の劣化などにより送信前のデータとＤ／Ａ変換後の受信データとの値に差異が生じる場合がある。図８は送信されたデータのＤ／Ａ変換後の値の分布を表すグラフである。図示するように、実際に送られたデータを中心にある程度の広がりを有しており、データはばらつきを持って受信側に送られる。このデータは２ビットの元の読み出しデータに変換され、メモリに格納されなければならないので、受信側のルックアップテーブル１０２はある程度の誤差を許容した広がりを持った入力データに対して元の２ビットデータに変換されるように考慮されていなければならない。

【００４５】

しかし、この誤差範囲を吸収できるようなルックアップテーブル１０２が構成されていて

も、図９に示すようにデータの分布が期待値に対してずれた受信状態であったり、また誤差の広がりが大きかったりして０、８５、１７０、２５５の４つの値にＤ／Ａ変換後はっきりと分割できない場合（図９の斜線部分）が発生することがある。図９は偏りのあるデータの分布を示すグラフである。

【００４６】

このような場合が起こることを検知するために、受信した校正データはＡ／Ｄ変換回路１０１でディジタル信号に戻され、ルックアップテーブル１０２においてテーブル変換されず、そのままディジタル信号処理回路１０３に送られる。ここで、いくつかの受信された同データの性質を知る。そのために、まず０、８５、１７０、２５５の送信データの平均値ｍを算出することによりどのような送受信状態であるかを知ることとする。

【００４７】

この平均値ｍはそれぞれ０、８５、１７０、２５５もしくはこれに近いものであるはずであるから、この比較により転送データの正確さを調べることができる。また、どの程度のデータのばらつきがあるかその度合を調べるために分散をディジタル信号処理回路１０３で計算する。

【００４８】

平均値、分散によるデータの転送の品位を測定し、図９のような場合、すなわちデータの分布に偏りがある場合、データ送信側のルックアップテーブルの値を変化させることによってＡ／Ｄ変換後に元のデータが正確に復元できるような正確なデータ転送を行うようにする。即ち、上記校正データの平均値、分散の計算結果から図９に示すようにテーブル変換した８５の値が０の値と分離できない値をとることが判明した場合、ＣＰＵ１０５は制御ラインを通じてテーブルデータの変更値を送信する。

【００４９】

画像入力装置側では、このテーブルデータ変更値をＣＰＵ２１４で受け、ルックアップテーブル２１１の２ビットデータ０１の変換データ８５を図１０に示すようにテーブルデータ変更値とする。ここでは、斜線の上方向にずらした値に変更される。図１０はルックアップテーブル２１１の変換データを示すグラフである。これにより、画像処理装置側へ送信されたデータが再びディジタル信号へと変換された時点でデータのばらつきの分布が図８に示されるような４つの値に分離され、元の２ビットの信号に再度テーブル変換可能なデータとして送信されることとなる。

【００５０】

ところが、上記テーブルデータの変更により校正データを正確に送信できない場合、画像処理装置側のＣＰＵ１０５は、制御ラインを使用してテーブルデータ変更値を画像入力装置側に再度送信する。しかし、画像処理装置側のＣＰＵ１０５が数回、このテーブルデータの変更を繰り返しても正確なデータ転送が行われない場合、ＣＰＵ１０５は転送する分割ビット数を変更する要求を画像入力装置側に制御ラインを通じて送信する。

【００５１】

画像入力装置は、この場合２ビットに分割して送信されていたデータを１ビットずつの送信に切り換えるように校正データ発生部２１６に指示し、校正データ発生部２１６は、これを受けて１ビットずつのデータ転送を開始する。１ビットずつのデータは、Ｄ／Ａ変換回路２１２でアナログ信号に変換され、ビデオ信号ラインから送信される。受信側の画像処理装置側では、２ビット送信のときと同様に１ビット単位で処理が行われることになる。

【００５２】

このように、本実施の形態の画像処理装置によれば、データを分割してビデオ信号ラインを通じて送信することによりデータの品位を損なうことなく転送できる。しかも、制御ラインを使用した転送レートに較べて高速にデータを送ることができる。さらに、データの転送品位を測定して校正することにより、より正確なデータ転送を行うことができる。

【００５３】

尚、本実施の形態では、データの受信が悪い場合についての例を挙げたが、この場合に限

らず、状態によっては分割するビット単位の数を少なくすることによって転送レートを挙げることも可能である。

【００５４】

［第２の実施の形態］

図１１は第２の実施の形態における画像処理装置の構成を示すブロック図である。前記第１の実施の形態と同様に、画像入力装置および画像処理装置はビデオ信号ラインおよび制御ラインで接続されている。画像入力装置は従来と同様の図１３に示された構成を有する。本実施の形態における画像処理装置は、ルックアップテーブル１０２の代わりにシリアルパラレル変換回路１４１を用いて構成される。

【００５５】

画像入力装置においてメモリＡ２０７から読み出された画像データは２ビットずつ分割されてルックアップテーブル２１１に送られる。この２ビットずつのデータは、それぞれ００、０１、１０、１１の４つの値のどれかをとることから、この４つの値がそれぞれルックアップテーブル２１１においてビデオ信号ラインの送信に適した値に変更されればよい。本実施の形態では、００、０１、１０、１１の２ビットデータを順に０、９６、１６０、２２４として送信する。

【００５６】

このように、テーブル変換されたデータはＤ／Ａ変換回路２１２においてアナログ信号に変換され、ビデオ信号ラインを通じて図１１に示す画像処理装置に送られる。送信されたデータはＡ／Ｄ変換回路１０１で再度ディジタル信号に変換されて８ビットのデータとなる。

【００５７】

ディジタル値に変換されたデータは、次段のシリアルパラレル変換回路１４１に送られる。図１２はシリアルパラレル変換回路の構成を示すブロック図である。まず、ビデオ信号ラインから送られてきた４つの値のレベル、すなわち０、９６、１６０、２２４はディジタル値に変換された場合、８ビットデータとしてそれぞれ２進数で００００００００、０１１０００００、１０１０００００、１１１０００００と変換される。

【００５８】

この８ビットのうち上位２ビットを取り出し、それぞれデータ転送時の２ビットの分割データに戻せばよいわけである。２ビットデータである上位２ビットＤ７、Ｄ６がＡ／Ｄ変換回路から取り出され、元の２ビットデータとして順に図１２に示されるシフトレジスタにシリアルで入力され、データが２ビットずつ順に４回シフトレジスタに送られる。８ビット揃った時点で、データセット信号（ＤＳ）がメモリコントローラ１０６に送られ、メモリ１１０に書き込まれる。これを繰り返すことによりメモリ１１０に画像データが書き込まれていく。

【００５９】

このように、本実施の形態の画像処理装置によれば、少ない部品の回路構成で前記第１の実施の形態と同様のデータ転送を行うことができる。

【００６０】

尚、本実施の形態では、前記第１の実施の形態と同様にデータ８ビットを２ビットずつ分割してデータ転送したが、分割するビット数を減らして１ビットずつデータ転送してもよいことはいうまでもない。また、８ビットデータに限らず、任意ビット数のデータ転送に関しても同様に適用できることはいうまでもない。

【００６１】

【発明の効果】

本発明の画像処理装置及び画像処理システムによれば、画像データの品位を損なうことなく高速で転送することができる。

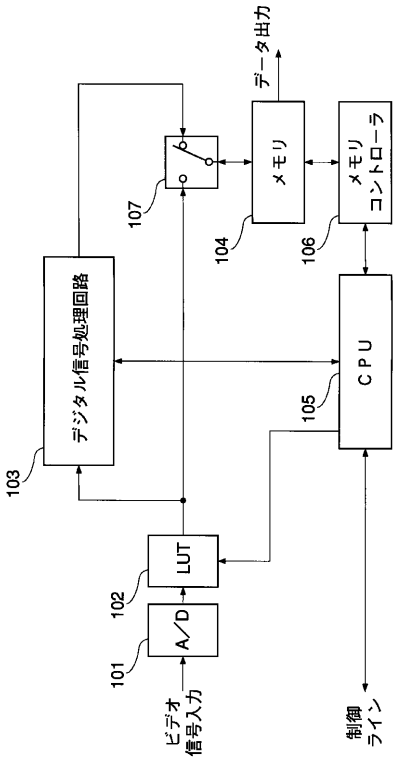
【図面の簡単な説明】

【図１】画像処理装置の構成を示すブロック図である。

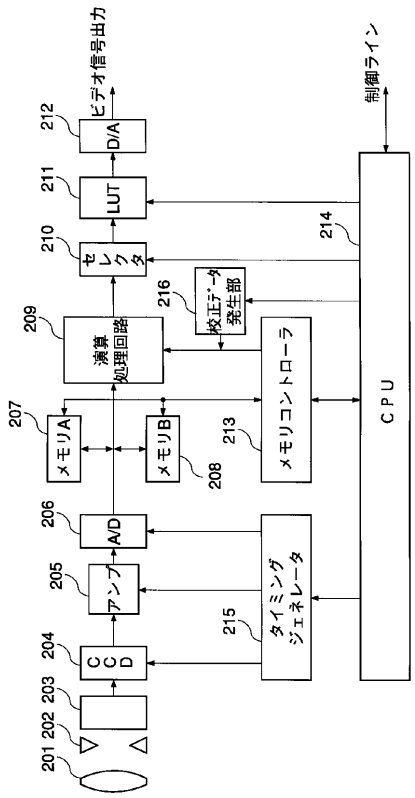
【図２】画像入力装置の構成を示すブロック図である。

【図３】ルックアップテーブル１０２が書き込まれたスタティックＲＡＭを示すブロック図である。
【図４】２ビットずつそれぞれａ、ｂ、ｃ、ｄのグループに分割する場合を示す説明図である。
【図５】変換テーブルを表すグラフである。
【図６】上位２ビットのデータの書き込みを示す説明図である。
【図７】メモリ１０４の構成を示す説明図である。
【図８】送信されたデータのＤ／Ａ変換後の値の分布を表すグラフである。
【図９】偏りのあるデータの分布を示すグラフである。
【図１０】ルックアップテーブル２１１の変換データを示すグラフである。
【図１１】第２の実施の形態における画像処理装置の構成を示すブロック図である。
【図１２】シリアルパラレル変換回路の構成を示すブロック図である。
【図１３】従来の画像入力装置の構成を示すブロック図である。
【図１４】ルックアップテーブル２１１が有するγ変換のテーブルデータを示すグラフである。
【図１５】画像処理装置の構成を示すブロック図である。
【符号の説明】
１０１　Ａ／Ｄ変換回路
１０２、２１１　ルックアップテーブル
１０３　ディジタル信号処理回路
１０４　メモリ
１０５、２１４　ＣＰＵ
１０７　スイッチ
１４１　シリアルパラレル変換回路
２１２　Ｄ／Ａ変換回路
２１６　校正データ発生部

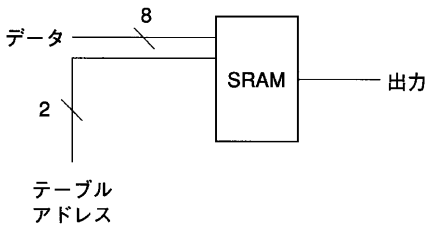
【図１】


データ出力
メモリ
メモリコントローラ
107
104
106
デジタル信号処理回路
CPU
105
103
LUT
102
A/D
101
ビデオ信号入力
制御ライン

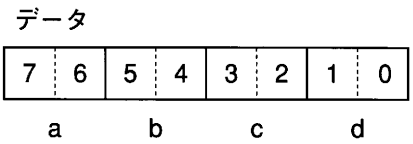
【図２】


ビデオ信号出力
制御ライン
212
D/A
211
LUT
214
210
セレクタ
216
校正データ発生部
209
演算処理回路
メモリコントローラ
207
メモリA
メモリB
213
208
CPU
206
A/D
205
アンプ
タイミングジェネレータ
215
204
CCD
203
202
201

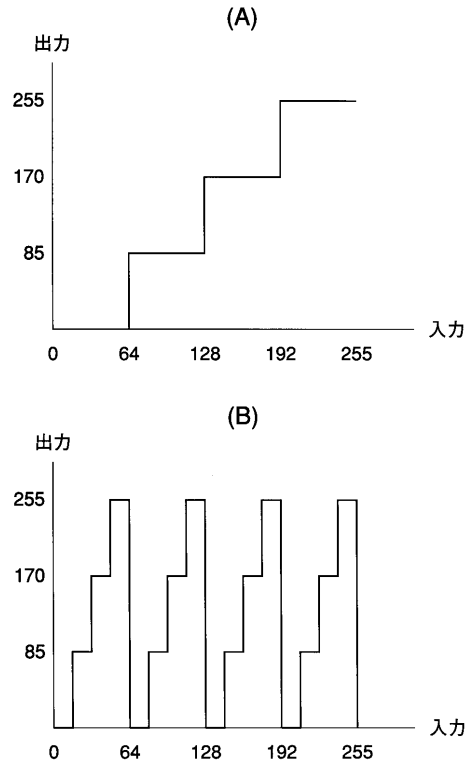
【図３】


データ
8
SRAM
出力
2
テーブル
アドレス

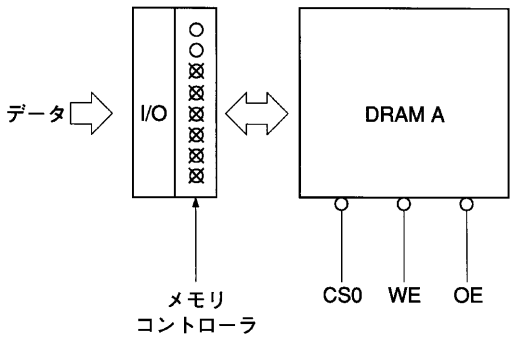
【図４】


データ
7
6
5
4
3
2
1
0
a
b
c
d

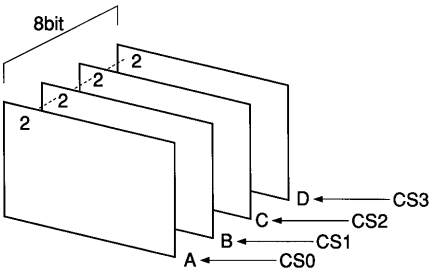
【図５】


(A)
出力
255
170
85
0
64
128
192
255
入力
(B)
出力
255
170
85
0
64
128
192
255
入力

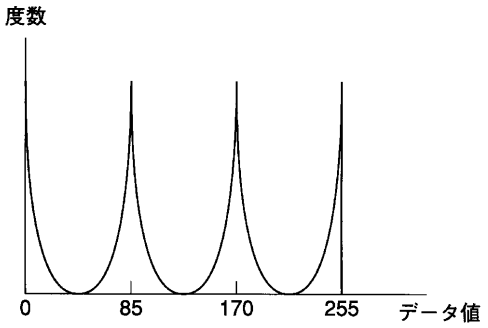
【図６】



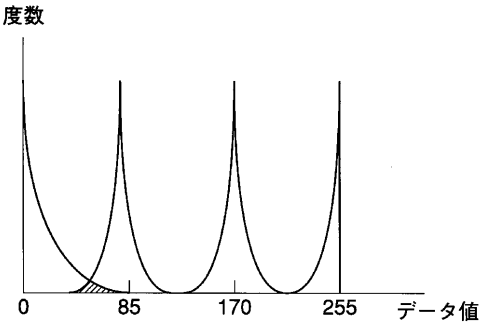

【図７】



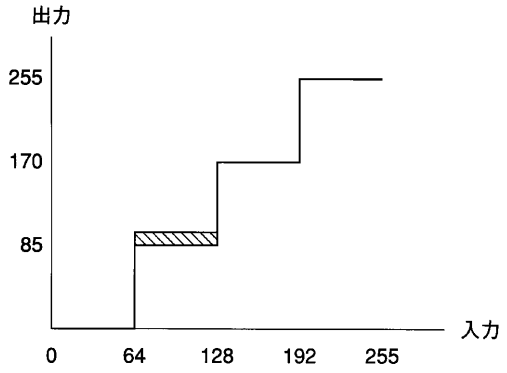

【図８】



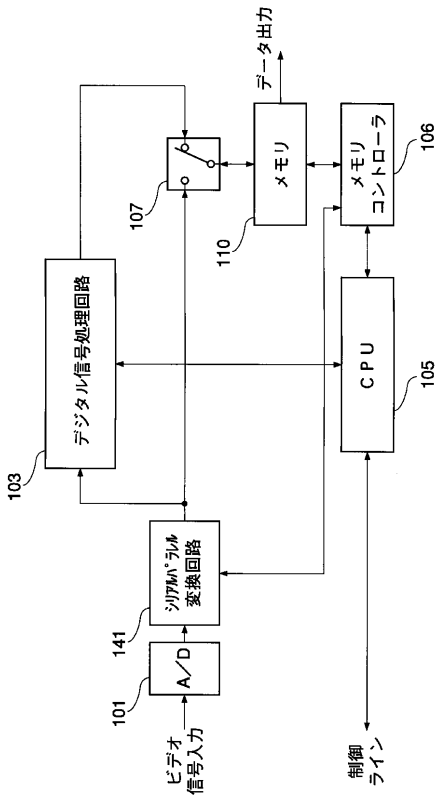

【図９】



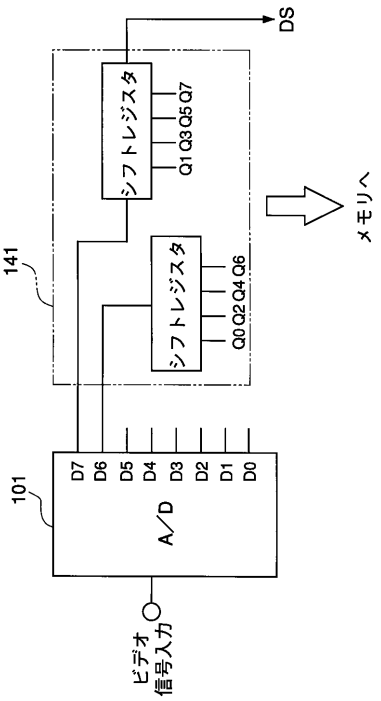

【図１０】



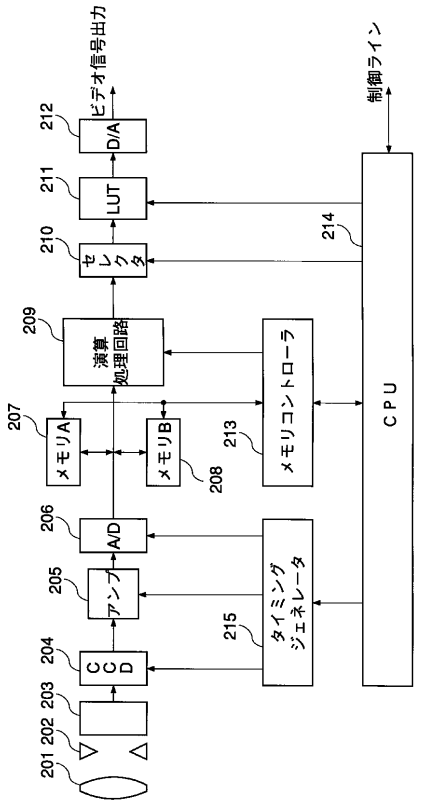

【図１１】



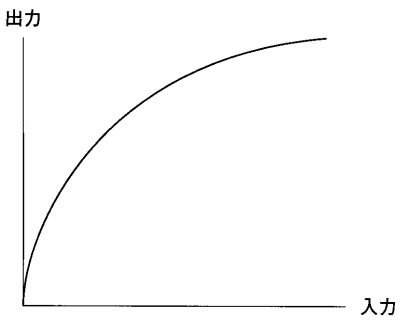
【図１２】




【図１３】




【図１４】




【図１５】

