



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/06 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월15일 10-0683100 2007년02월08일
---	-------------------------------------	--

(21) 출원번호	10-2001-0082458	(65) 공개번호	10-2002-0052954
(22) 출원일자	2001년12월21일	(43) 공개일자	2002년07월04일
심사청구일자	2004년11월04일		

(30) 우선권주장 JP-P-2000-00392221 2000년12월25일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤  
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 오카와시게아끼  
일본도찌기켄아시카가시오마따마찌2313-2  
  
오꼬다도시유키  
일본군마켄오라궁오이즈미마찌아사히5-16-9

(74) 대리인 장수길  
이중희  
구영창

(56) 선행기술조사문헌  
1001521550000 \* 1002086320000 \*  
\* 심사관에 의하여 인용된 문헌

심사관 : 정병홍

전체 청구항 수 : 총 7 항

## (54) 반도체 집적 회로 장치 및 그 제조 방법

### (57) 요약

본 발명은, 출력 트랜지스터 보호에 적합한 스파크 킬러 다이오드(spark killer diode)를 내장한 반도체 집적 회로 장치에 있어서, 다이오드 소자가 OFF시에서의 내압을 큰 폭으로 향상시키는 다이오드 소자를 효율적으로 집적화하는 것을 목적으로 한다. 본 발명의 반도체 집적 회로 장치에서는, 애노드 영역으로서 형성되어 있는 제1 P<sup>+</sup>형 매립층(35)과 캐소드 영역에 형성되어 있는 N<sup>+</sup>형 확산 영역(41)을 깊이 방향으로 이격시켜 형성함으로써, 다이오드 소자(21)에 역방향 바이어스 전압이 걸린 경우에, PN 접합에서의 제1 및 제2 에피택셜층(25 및 26)으로 구성되는 N형 영역에 공핍층 형성 영역을 큰 폭으로 얻을 수 있고, 그의 형성된 공핍층에 의해 내압을 확보함으로써 항복 전류(breakdown current)에 의한 내부 소자 파괴를 억제할 수 있다.

대표도

도 1

## 특허청구의 범위

### 청구항 1.

일 도전형의 반도체 기판과,

상기 기판 상면에 적층되어 있는 역도전형의 제1 에피택셜층과,

상기 기판 및 상기 제1 에피택셜층에 형성되어 있는 역도전형의 제1 매립층과,

상기 기판 및 상기 제1 에피택셜층에 상기 역도전형의 제1 매립층과 형성 영역을 중첩시켜, 적어도 일 영역이 상기 역도전형의 제1 매립층의 상면에 형성되어 있는 일 도전형의 제1의 매립층과,

상기 제1 에피택셜층 상면에 적층되어 있는 역도전형의 제2 에피택셜층과,

상기 제1 및 제2 에피택셜층에 형성되어, 상기 일 도전형의 제1 매립층과 연결하는 일 도전형의 제2 매립층과,

상기 제1 및 제2 에피택셜층에 형성되어, 상기 역도전형의 제1 매립층과 연결하는 역도전형의 제2 매립층과,

상기 제2 에피택셜층에 형성되어, 상기 일 도전형의 제2 매립층과 연결하는 일 도전형의 확산 영역과,

상기 제2 에피택셜층에 형성되어, 상기 일 도전형의 확산 영역에 둘러싸여진 영역에 배치된 역도전형의 제1 확산 영역과,

상기 제2 에피택셜층에 형성되어, 상기 역도전형의 제2 매립층과 연결하는 역도전형의 제2 확산 영역

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

### 청구항 2.

제1항에 있어서,

상기 일 도전형의 확산 영역에 둘러싸여진 영역에서는, 역도전형의 제3 확산 영역이 상기 역도전형의 제1 확산 영역과 형성 영역을 중첩시키고 있는 것을 특징으로 하는 반도체 집적 회로 장치.

### 청구항 3.

제1항에 있어서,

상기 일 도전형의 확산 영역과 상기 역도전형의 제2 확산 영역은, 상기 제2 에피택셜층 상면에서 단락되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

### 청구항 4.

제3항에 있어서,

상기 일 도전형의 확산 영역과 상기 역도전형의 제2 확산 영역은 애노드 도출 영역으로서, 상기 역도전형의 제1 확산 영역은 캐소드 도출 영역으로서 형성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

## 청구항 5.

일 도전형의 반도체 기판 상면에 역도전형의 제1 에피택셜층을 퇴적하고, 상기 기판 및 상기 제1 에피택셜층에 역도전형의 제1 매립층과 형성 영역을 중첩시켜 적어도 일영역이 상기 역도전형의 제1 매립층의 상면에 배치되는 일 도전형의 제1 매립층을 형성하는 공정과,

상기 제1 에피택셜층 상면에 역도전형의 제2 에피택셜층을 퇴적하고, 상기 제1 및 제2 에피택셜층에 상기 일 도전형의 제1 매립층과 연결하는 일 도전형의 제2 매립층 및 상기 역도전형의 제1 매립층과 연결하는 역도전형의 제2 매립층을 형성하는 공정과,

상기 제2 에피택셜층에 역도전형의 제1 확산 영역을 형성하고, 상기 역도전형의 제1 확산 영역을 둘러싸도록, 상기 일도전형의 제2 매립층과 연결하는 일 도전형의 확산 영역을 형성하는 공정과,

상기 제2 에피택셜층에 상기 역도전형의 제2 매립층과 연결하는 역도전형의 제2 확산 영역을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로장치의 제조 방법.

## 청구항 6.

제5항에 있어서,

상기 일 도전형의 제1 매립층은, 상기 기판에 역도전형의 불순물을 주입하고, 확산시킨 후, 상기 확산시킨 영역에 일 도전형의 불순물을 주입하고, 확산하여 형성하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

## 청구항 7.

제6항에 있어서,

상기 일 도전형의 제1 매립층은, 상기 기판에 붕소를 주입하고, 확산시켜서 형성하고, 상기 역도전형의 제1 매립층은, 상기 기판에 안티몬을 주입하고, 확산함으로써 형성하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 출력 트랜지스터 보호에 적합한 스파크 킬러 다이오드(spark killer diode)를 내장한 반도체 집적 회로 장치에 관한 것이다.

예를 들면, 3상 모터 드라이버는, 도 11과 같이, 직류 전원 VCC 및 GND간에 직렬 접속된 트랜지스터(Tr1-Tr2, Tr3-Tr4 및 Tr5-Tr6)가 병렬 접속되고, Tr1-Tr2, Tr3-TR4 및 Tr5-Tr6의 사이에서 인출된 출력 단자를 모터(M)에 접속한 회로 구성을 채용한다.

이와 같이 부하가 유도성 부하인 경우, 모터의 회전/정지에 따른 정/역방향의 기전력이 발생한다. 종래는, IC화된 직렬 접속 트랜지스터의 컬렉터·에미터간에 보호 다이오드를 접속하여, 상기 역방향 기전력에 의해서 출력 단자가 GND 전위보다 낮거나 VCC 전위보다 높아진 경우에 다이오드(4)가 ON됨으로써, 상기 기전력을 고정 전위로 대피시키고, 직렬 접속된 트랜지스터를 포함하는 IC의 내부를 보호하였다. 특히, 다이오드(4)에 수 A의 대전류가 흐를 경우는, 다이오드(4)로서 개별 부품을 이용하여 구성하였다.

여기서, 유저측에서 보면 기기의 부품 개수를 감하기 위해서 다이오드(4)도 IC화할 필요가 있다. 하지만, 수 A의 대전류가 흐르는 다이오드를 집적화하면, 집적 회로 내에서 불가피하게 발생하는 기생 트랜지스터 효과에 의해서 기생 전류가 흘러서, 무효 전류가 흐르는 것 외에 최악의 경우는 래치업에 이르는 위험성을 내포하고 있다.

그래서, 기생 전류를 방지하는 구조로서, 예를 들면, 특개평6-100459호 공보에 기재된 구조가 제안되었다.

도 12를 참조하면, P형 반도체 기판(1)과 N형 반도체 기판(2)과의 사이에  $N^+$ 형 매립층(3)이 설치되고, 이 매립층(3)을 둘러싸도록  $P^+$ 형 분리 영역(4)이 반도체층(2) 표면으로부터 반도체 기판(1)까지 확산되어, 하나의 섬(5)을 형성하고 있다. 상기 매립층(3)의 위에는 일부 중첩하도록  $P^+$ 형 매립층(6)이 형성되어 있다. 이러한  $P^+$ 형 매립층(6)을 둘러싸고, 반도체층(2) 표면으로부터  $N^+$ 형 매립층(3)에 도달하는  $N^+$ 형 도출 영역(7)이 설치되고, 이 둘러싸인 영역에는  $N^+$ 형 확산 영역(8)이 형성되어 있다. 또한, 도출 영역(7)으로 둘러싸인 영역에 있어서, 상기 확산 영역(8)을 둘러싸고, 반도체층(2)으로부터  $P^+$ 형 매립층(6)에 도달하는  $P^+$ 형 도출 영역(9)이 설치되어 있다. 또한, 상기 확산 영역(8)에는 캐소드 전극(10)이,  $P^+$ 형 도출 영역(9)에는 애노드 전극(11)이 설치되고, 이 전극은  $N^+$ 형 도출 영역(7)과 전기적으로 접속되어 있다.

요컨대,  $P^+$ 형 도출 영역(9)과  $P^+$ 형 매립층(6)이 애노드 영역,  $N^+$ 형 확산 영역(8)과 도출 영역(9)으로 둘러싸인 N형 반도체 영역이 캐소드 영역으로 이루어져 다이오드가 구성된다.

이러한 다이오드 소자에 있어서는,  $N^+$ 형 매립층(3)을 베이스,  $P^+$ 형 매립층(6)을 에미터, P형 반도체 기판(1)이나  $P^+$ 형 분리 영역(4)을 컬렉터로 하는 PNP형 기생 트랜지스터( $Tr_2$ )가 생기지만, 애노드 전극의 접속에 의해 이러한 기생 트랜지스터( $Tr_2$ )의 베이스와 에미터 사이가 동전위로 되기 때문에, 기생 PNP 트랜지스터( $Tr_2$ )가 ON 동작하는 것을 방지할 수 있다.

### 발명이 이루고자 하는 기술적 과제

상기한 바와 같이 종래의 반도체 집적 회로 장치에서는 도 11에 도시한 바와 같이, 부하가 유도성 부하인 경우, 모터의 회전/정지에 따른 정/역방향의 기전력이 발생하기 때문에, IC화된 직렬 접속 트랜지스터의 컬렉터·에미터간에 보호 다이오드를 접속하고, 상기 역방향 기전력에 의해서 출력 단자가 GND 전위보다 낮거나 VCC 전위보다 높은 경우에 다이오드(4)가 ON됨으로써 상기 기전력을 고정 전위로 대피시키고, 직렬 접속된 트랜지스터를 포함하는 IC의 내부를 보호하였다. 특히, 다이오드(4)에 수 A의 대전류를 흘릴 경우는, 다이오드(4)로서 개별 부품을 이용하여 구성하였다.

또한, 기기의 부품 개수를 감하기 위해서 다이오드(4)도 IC화할 의도의 요망에 따라, 수 A의 대전류를 흘리는 다이오드를 집적화하였지만, 집적 회로 내에서 불가피하게 발생하는 기생 트랜지스터 효과에 의해서 기생 전류가 흘러서, 무효 전류가 흐르는 등의 문제에 따라 도 12에 도시한 바와 같은 다이오드를 IC의 내부에 도입한 구조로 되었다.

하지만, 상기한 바와 같이, 다이오드(4)를 IC의 내부에 인입하는 것은 가능하지만, 도 12에 도시하는 구조에 있어서 다이오드(4)가 OFF인 경우, 즉, 캐소드 전극(10)이 애노드 전극(11)보다 고전압으로 된 경우, 기생 트랜지스터( $Tr_1$ )의 PN 접합면에서의 항복 전류에 의한 반도체 소자의 파괴에 대응하기 위한 내압이 필요하다. 따라서, 종래의 구조에서는 기생 트랜지스터( $Tr_1$ )의 베이스 영역으로서의  $P^+$ 형 매립층(6)의 폭이 좁고, 전류 증폭율(hfe)을 억제하기가 곤란하여 기생 트랜지스터( $Tr_1$ )의 내압이 확보될 수 없는 문제가 발생하였다.

### 발명의 구성

본 발명은 상기한 종래의 문제를 해결하기 위해 안출된 것으로서, 본 발명의 반도체 집적 회로 장치에서는, 일도전형의 반도체 기판과, 해당 기판 표면에 적층되어 있는 역도전형의 제1 에피택셜층과, 상기 기판과 상기 제1 에피택셜층과의 사이

에 형성되어 있는 고농도 불순물 확산층으로 구성되는 제1 역도전형의 매립층과 중첩하여 형성되어 있는 고농도 불순물 확산층으로 구성되는 제1 일도전형의 매립층과, 상기 제1 에피택셜층 표면에 적층되어 있는 역도전형의 제2 에피택셜층과, 상기 제1 에피택셜층과 상기 제2 에피택셜층과의 사이에 형성되어 있는 고농도 불순물 확산층으로 구성되는 제2 일도전형의 매립층 및 고농도 불순물 확산층으로 구성되는 제2 역도전형의 매립층과, 상기 제2 에피택셜층 표면으로부터 상기 제2 일도전형의 매립층까지 확산하여 형성되어 있는 고농도 불순물 확산층으로 구성되는 일도전형의 확산 영역과, 상기 제2 에피택셜층 표면으로부터 상기 제2 역도전형의 매립층까지 확산하여 형성되어 있고 고농도 불순물 확산층으로 구성되는 제1 역도전형의 확산 영역과, 상기 제2 일도전형의 매립층과 상기 일도전형의 확산 영역에 의해 샌드위치되고 상기 제2 에피택셜층에 형성되어 있는 역도전형의 웰 영역과, 상기 웰 영역에 중첩하여 형성되어 있는 고농도 불순물 확산층으로 구성되는 제2 역도전형의 확산 영역을 포함하는 다이오드 소자에 있어서, 상기 제1 일도전형의 매립층과 상기 제2 역도전형의 확산 영역이 깊이 방향으로 이격되어 형성되는 것을 특징으로 한다.

본 발명의 반도체 집적 회로 장치는, 바람직하게는, 상기 다이오드 소자의 상기 제1 일도전형의 매립층과 상기 제1 역도전형의 매립층을 중첩하여 형성하고, 또한, 상기 제1 일도전형의 매립층과 상기 일도전형의 확산 영역을 상기 제2 일도전형의 매립층을 통해서 연결한다. 또한, 상기 제1 일도전형의 매립층과 상기 제2 역도전형의 확산 영역을 깊이 방향으로 이격하여 형성하고 있는 구조를 갖는다. 그에 따라서, 상기 다이오드 소자가 OFF의 상태인 경우, 상기 다이오드 소자 내의 상기 제1 일도전형의 매립층과 상기 제1 에피택셜층을 접면으로 하는 PN 접합에 있어서, N형 영역에 공핍층 형성 영역을 큰 폭으로 얻을 수 있고, 상기 공핍층에 의해 내압을 확보함으로써 역방향 바이어스 상태에 대처하여, 항복 전류에 의한 내부 소자 파괴를 억제할 수 있는 반도체 집적 회로 장치를 얻을 수 있다.

본 발명의 반도체 집적 회로 장치는, 바람직하게는, 상기 다이오드 소자의 상기 역도전형의 캐소드 도출 영역과 중첩하여 상기 역도전형의 웰 영역을 형성하는데 그 특징을 갖는다. 그에 따라서, 상기 다이오드 소자가 ON의 상태인 경우, PN 접합의 N형 영역의 저항치가 낮아짐에 따라서 순방향 전압(VBFF)이 저감함으로써, 순방향에서 전류(If) 능력을 큰 폭으로 향상시키는 반도체 집적 회로 장치를 얻을 수 있다.

상술한 문제를 해결하기 위해서, 본 발명의 반도체 집적 회로 장치의 제조 방법에서는, 일도전형의 반도체 기판을 준비하는 공정과, 해당 기판에 불순물을 확산시켜서, 다이오드 소자, 일도전형의 중형 트랜지스터 및 역도전형의 중형 트랜지스터 형성 영역에 각각 역도전형의 매립층을 형성하는 공정과, 상기 기판 상에 불순물을 확산하여, 상기 다이오드 소자 형성 영역에 상기 역도전형의 매립층과 중첩하여 제1 일도전형의 매립층을 형성하는 공정과, 상기 기판 상에 역도전형의 제1 에피택셜층을 적층하는 공정과, 해당 제1 에피택셜층 상에 불순물을 확산하여, 상기 다이오드 소자 및 상기 일도전형의 중형 트랜지스터 형성 영역에 각각 제2 일도전형의 매립층을 형성하는 공정과, 상기 제1 에피택셜층 상에 역도전형의 제2 에피택셜층을 적층하는 공정과, 해당 제2 에피택셜층 상에 불순물을 확산하여, 상기 다이오드 소자 형성 영역에 일도전형의 확산 영역을 형성하고, 상기 제2 일도전형의 매립층을 통해서 상기 제1 일도전형의 매립층과 연결하는 공정과, 상기 제2 에피택셜층 상에 불순물을 확산하여, 상기 다이오드 소자 및 상기 일도전형의 중형 트랜지스터 형성 영역에 역도전형의 웰 영역을 동시에 형성하는 공정과, 상기 다이오드 소자 형성 영역의 상기 웰 영역에 역도전형의 확산 영역을 형성하는 공정을 포함하는 것을 특징으로 한다.

본 발명의 반도체 집적 회로의 제조 방법은, 바람직하게는, 상기 제2 일도전형의 매립층을 형성하는 공정은, 상기 제1 일도전형의 매립층과 상기 일도전형의 확산 영역을 연결시키는 공정으로 함으로써, 상기 제1 역도전형의 매립층과 상기 역도전형의 확산 영역을 깊이 방향으로 큰 폭으로 격리하여 공핍층 형성 영역을 증대시킬 수 있는 공정인 것을 특징으로 한다.

이하에 본 발명의 실시 형태에 있어서, 도면을 참조하면서 상세히 설명한다.

도 1은 다이오드(21), 중형 PNP 트랜지스터(22) 및 NPN 트랜지스터(23)를 조립한 반도체 집적 회로 장치의 단면도이다.

P형 단결정 실리콘 기판(24) 상에는, 두께 2 ~ 10  $\mu\text{m}$ 의 제1 에피택셜층(25) 및 두께 8 ~ 10  $\mu\text{m}$ 의 제2 에피택셜층(26)이, 2층의 합계 막두께가 8 ~ 16  $\mu\text{m}$  정도로 되도록 형성되어 있다. 또한, 기판(24)과, 제1 및 제2 에피택셜층(25 및 26)은 이들을 관통하는 P<sup>+</sup>형 분리 영역(27)에 의해서 다이오드 소자(21)를 형성하는 제1 섬영역(28), 중형 PNP 트랜지스터(22)를 형성하는 제2 섬영역(29) 및 NPN 트랜지스터(23)를 형성하는 제3 섬영역(30)이 전기적으로 분리되어 형성되어 있다.

이러한 분리 영역(27)은, 기판(24) 표면으로부터 상하 방향으로 확산한 제1 분리 영역(31)과, 제1 및 제2 에피택셜층(25 및 26)의 경계로부터 상하 방향으로 확산한 제2 분리 영역(32)과, 제2 에피택셜층(26) 표면으로부터 형성한 제3 분리 영역(33)으로 구성되고, 3자가 연결됨으로써 제1 및 제2 에피택셜층(25 및 26)을 섬 형상으로 분리한다.

제1 섬영역(28)에 형성되어 있는 다이오드 소자(21)에는, 기판(24)과 제1 에피택셜층(25)과의 사이에  $N^+$ 형의 제1 매립층(34)과  $P^+$ 형의 제1 매립층(35)이 중첩하여 형성되어 있고, 제1 및 제2 에피택셜층(25 및 26)의 경계 부분에  $P^+$ 형의 제2 매립층(36)이 형성되어 있고, 제2 에피택셜층(26) 표면으로부터  $P^+$ 형의 제2 매립층(36)에 달하는  $P^+$ 형 확산 영역(39)이 애노드 도출 영역으로서 형성되어 있다. 또한, 이들  $P^+$ 형 영역(36 및 39)에 기여있는  $N$ -형의 제1 및 제2 에피택셜층(25 및 26)이 캐소드 영역으로서 형성됨으로써 PN 접합 다이오드가 구성되어 있다. 이때, 제2 에피택셜층(26)에  $N^+$ 형 확산 영역(38)을 애노드 영역으로서 형성하고,  $N^+$ 형 확산 영역(38)과  $P^+$ 형 확산 영역(39)을 단락시켜서 애노드 도출 영역으로 하여도 된다. 이는 NPN 트랜지스터라고 하면, 베이스와 컬렉터간을 단락시켜 형성한 다이오드로 된다.

상기 본 실시 형태의 반도체 회로 장치에 따르면, 기판(24)과 제1 에피택셜층(25)과의 사이에  $N^+$ 형의 제1 매립층(34)과  $P^+$ 형의 제1 매립층(35)이 중첩하여 형성되어 있지만, 예를 들면,  $N^+$ 형의 제1 매립층(34)은 안티몬(Sb)을 사용하고,  $P^+$ 형의 제1 매립층(35)은 붕소(B)를 사용하여 형성되어 있다. 그 때문에, 불순물의 확산 속도 및 불순물의 사용 농도의 상이함에 따라, 도 1에 도시한 바와 같이,  $N^+$ 형의 제1 매립층(34)의 상하에  $P^+$ 형의 제1 매립층(35)이 형성되어 있는 구조를 갖는다. 또한, 제1 에피택셜층(25)과 제2 에피택셜층(26)과의 사이에 형성되어 있는  $P^+$ 형의 제2 매립층(36)은  $P^+$ 형의 제1 매립층(35) 및  $P^+$ 형 확산 영역(39)과 연결된다. 이러한 구조에 따라서,  $P^+$ 형의 제1 매립층(35)을 애노드 영역으로서, 또한, 제1 및 제2 에피택셜층(25 및 26)을 캐소드 영역으로 한 PN 접합 다이오드가 형성되어 있다.

여기서, 캐소드 영역으로서 형성되어 있는 제2 에피택셜층(26)에는,  $N^+$ 형 확산 영역(41)이 캐소드 도출 영역으로서 형성되어 있지만, 상술한 바와 같이,  $N^+$ 형의 확산 영역(41)과  $P^+$ 형의 제1 매립층(35)이 깊이 방향으로 이격되어 형성되어 있는 구조가 된다.

따라서, 상술한 구조를 가짐에 따라, 다이오드 소자(21)가 OFF의 상태인 경우, 요컨대,  $P^+$ 형의 제1 매립층(35)과  $N$ -형의 제1 에피택셜층(25)으로 형성되어 있는 PN 접합면에 역바이어스 전압이 걸리는 경우, 제1 및 제2 에피택셜층(25 및 26)으로 구성되는  $N$ 형 영역에 공핍층 형성 영역을 큰 폭으로 얻을 수 있고, 그의 형성된 공핍층에 의해 내압을 확보함으로써 항복 전류에 의한 내부 소자 파괴를 억제할 수 있는 반도체 집적 회로 장치를 얻을 수 있다.

또한, 상기의 본 실시 형태의 반도체 집적 회로 장치에 따르면, 다이오드 소자가 ON시에 있어서, 캐소드 영역으로서 형성되어 있고,  $P^+$ 형 영역(36 및 39)에 의해 샌드위치된  $N^+$ 형의 제2 에피택셜층(26)에,  $N^+$ 형 웰 영역(40)이 형성되어 있다. 이  $N^+$ 형 웰 영역(40)에 의해, PN 접합의  $N$ 형 영역의 저항치가 낮아짐에 따라 순방향 전압(VBFF)이 저감함으로써 순방향에서의 전류(If) 능력을 큰 폭으로 향상시킬 수 있다.

또한, 제2 에피택셜층(26)의 표면은 실리콘 산화막에 의해서 피복되고, 산화막에 형성된 콘택트홀을 통해서 각종 알루미늄 전극이 설치되어 있다. 기판(24)에는 접합 분리를 위한 접지 전위(GND)가 인가되어 있다.

여기서, 도 2의 (A)는 다이오드 소자(21)의 확대 단면도를 도시한 도면이고, 도 2의 (B)는 기생 트랜지스터를 도시한 등가 회로도이다. 이하, 다이오드 소자(21)가 ON 상태에서의 기판(24)으로의 누설 전류를 좌우하는 기생 트랜지스터의 동작에 대해서 설명한다.

기생 NPN 트랜지스터(TR1)는,  $N^+$ 형의 제1 매립층(34)을 컬렉터,  $P^+$ 형 매립층(35)을 베이스, 그리고 제1 및 제2 에피택셜층(25 및 26)을 에미터로 하여 구성되어 있다. 한편, 기생 PNP 트랜지스터(TR2)는  $P$ 형 기판(24)을 컬렉터,  $N^+$ 형의 제1 매립층(34)을 베이스 및  $P^+$ 형 매립층(35)을 에미터로 하여 구성되어 있다.

도 2의 (B)를 참조하면, 기생 NPN 트랜지스터(TR1)의 베이스·컬렉터는 애노드 전극(55)에 의해서 단락되고, 동일하게 기생 PNP 트랜지스터(TR2)의 베이스·에미터 간에 단락된다. 이때, 기생 NPN 트랜지스터(TR1)의 베이스·컬렉터간에는  $P^+$ 형 확산 영역(39)과  $P^+$ 형 매립층(36)이 갖는 저항 성분(R1)이 접속되고, 기생 PNP 트랜지스터(TR2)의 베이스·에미터 간에는  $N^+$ 형 확산 영역(38),  $N^+$ 형의 제2 매립층(37) 및  $N^+$ 형 제1 매립층(34)이 갖는 저항 성분(R2)이 접속되어 있다. 본 발명의 다이오드 소자(21)의 구조에서는, 기생 NPN 트랜지스터(TR1)의 저항 성분(R1)의 경우는,  $P^+$ 형 확산 영역(39),

$P^+$ 형 매립층(36) 및  $P^+$ 형의 제1 매립층(35)의 연결에 의해 구성되기 때문에, 저항 성분(R1)의 값은 극히 작아 진다. 또한, 기생 PNP 트랜지스터(TR2)의 저항 성분(R2)의 경우도,  $N^+$ 형 확산 영역(38),  $N^+$ 형의 제2 매립층(37) 및  $N^+$ 형의 제1 매립층(34)의 연결에 따라서 저항 성분(R2)의 값은 극히 작아 진다.

본 발명은  $N^+$ 형 웰 영역(40)의 형성에 의해 캐소드 영역의 저항을 낮출 수 있기 때문에, 순방향 전류(I<sub>f</sub>)의 능력을 향상시킬 수 있다.

한편, 기생 PNP 트랜지스터(TR2)의 베이스·에미터간에 접속되는 저항 성분(R2)의 값은 작아질 수 있기 때문에, 기생 PNP 트랜지스터(TR2)의 베이스 전위( $N^+$ 형의 제1 매립층(34)의 전위)를 에미터 전위( $P^+$ 형 매립층(35 및 36)의 전위)보다 높게 유지시킬 수 있다. 따라서, 기생 PNP 트랜지스터(TR2)의 ON 동작을 방지하고, 기관(24)으로의 누설 전류를 작게 유지할 수 있게 된다.

그 결과, 상술한 기생 PNP 트랜지스터(TR2)에 있어서, 예를 들면, 종래의 구조에서는 1A를 흘릴 때 기관(24)으로의 누설 전류가 100mA인 것에 대하여, 본 발명의 구조(저항 성분(R2)의 저항치를 8Ω으로 한 경우)에서는 20mA까지 저감할 수 있다.

제2 섬영역(29)에 형성되어 있는 중형 PNP 트랜지스터(22)에 있어서, 기본적으로 다이오드 소자(21)와 동일한 구조를 구비하고 있다. 구체적으로, 제1 및 제2 에피택셜층(25 및 26)의 경계 부분에  $P^+$ 형 매립층(43)이 컬렉터 영역으로서 형성되어 있고, 제2 에피택셜층(26) 표면으로부터  $P^+$ 형 매립층(43)에 달하는  $P^+$ 형 확산 영역(46)이 컬렉터 도출 영역으로서 형성되어 있다. 또한, 이들  $P^+$ 형 영역에 둘러싸인  $N^-$ 형의 제2 에피택셜층(26)에  $N^+$ 형 웰 영역(47)이 베이스 영역으로서 형성되어 있고,  $N^+$ 형 웰 영역(47)에는  $P^+$ 형 확산 영역(48)이 에미터 영역으로서, 또한,  $N^+$ 형 확산 영역(49)이 베이스 도출 영역으로 형성됨으로써 중형 PNP 트랜지스터(22)가 구성된다. 또한,  $P^+$ 형 확산 영역(46)을 둘러싸도록  $N^+$ 형 확산 영역(45)을 형성하고,  $N^+$ 형의 제2 매립층(44)을 통해서 제1 매립층(42)에 연결되고, 도시하지 않은 전극에 의해 전원 전위(V<sub>cc</sub>) 또는 에미터 전극(58)의 전위를 인가하였다. 이는  $P^+$ 형 확산 영역(46)을 에미터, 제2 섬영역(29)을 베이스,  $P^+$ 형 확산 영역(27)을 컬렉터로 하는 기생 PNP 트랜지스터의 발생을 억제하는 것으로, 이 중형 PNP 트랜지스터를 대전류 용도에 적합한 PNP 트랜지스터로 할 수 있다.

제3 섬영역(30)에 형성되어 있는 NPN 트랜지스터(23)에 있어서, 제3 섬영역(30)을 컬렉터 영역으로 하고, P형 확산 영역(53)을 베이스 영역으로 하고,  $N^+$ 형 확산 영역(54)을 에미터 영역으로 하여 형성되어 있는 것으로 구성된다. 또한, 기관(24)과 제1 에피택셜층(25)간에 제1  $N^+$ 형 매립층(50)과 제1 및 제2 에피택셜층(25 및 26)의 경계 부분에도 제2  $N^+$ 형 매립층(51)이 연결되어 형성된다. 또한,  $N^+$ 형 확산 영역(52)을 컬렉터 도출 영역으로 하고,  $N^+$ 형 확산 영역(52)도 제2  $N^+$ 형 매립층(51)과 연결하여 형성되어 있다. 이와 같이, 컬렉터 전극(62)의 하부에 고농도 저저항 영역을 구성함으로써, NPN 트랜지스터(23)의 포화 저항(V<sub>ce</sub>)(Sat)을 저감한다. 따라서, 이 NPN 트랜지스터(23)는 고내압, 대전류용으로서, 모터 드라이버 등의 회로 용도에 적합하다.

다음에, 도 1에 도시한 본 발명의 반도체 집적 회로 장치의 제조 방법에 대해서 도 3 ~ 도 10을 참조하여 설명한다.

우선, 도 3에 도시한 바와 같이, P-형 단결정 실리콘 기관(24)을 준비하고, 이 기관(24)의 표면을 열산화하여 열산화막을 형성하고,  $N^+$ 형의 제1 매립층(34, 42 및 50)에 대응하는 산화막을 핫 에칭하여 선택 마스크로 한다. 그리고, 기관(24) 표면에  $N^+$ 형 매립층(34, 42 및 50)을 형성하는 안티몬(Sb)을 확산한다.

다음에, 도 4에 도시한 바와 같이,  $P^+$ 형 매립층(35) 및  $P^+$ 형 분리 영역(27)의 제1 분리 영역(31)을 형성하기 위해서, 이온 주입을 행한다. 도 3에 있어서, 선택 마스크로서 이용한 산화막을 모두 제거한 후, 공지의 포토리소그래피 기술에 의해  $P^+$ 형의 제1 분리 영역(31)을 형성하는 부분에 개구부가 설치된 포토 레지스트(도시되지 않음)를 선택 마스크로서 형성한다. 그리고, P형 불순물, 예를 들면, 붕소(B)를 이온 에너지 160keV, 도입량  $1.0 \times 10^{14}/\text{cm}^2$ 로 이온 주입한다. 그 후, 포토레지스트를 제거한다.



다음에, 도 5에 도시한 바와 같이, 산화막을 전부 제거한 후, 기판(24)을 에피택셜 성장 장치의 서셉터 상에 배치하고, 램프 가열에 의해서 기판(24)에 1140℃ 정도의 온도를 제공함과 함께 반응관 내에  $\text{SiH}_2\text{Cl}_2$  가스와  $\text{H}_2$  가스를 도입함으로써 저농도 에피( $\rho = 1.25\Omega\text{cm}$ ), 두께 2.0 ~ 10.0 $\mu\text{m}$ 의 제1 에피택셜층(25)을 성장시킨다. 그리고, 제1 에피택셜층(25)의 표면을 열산화하여 열산화막을 형성한 후,  $\text{N}^+$  형의 제2 매립층(37, 44, 51)에 대응하는 산화막을 핫 에칭하여 선택 마스크로 한다.

여기서, 동시에, 기판(24) 표면에  $\text{N}^+$  형 매립층(34, 42 및 50) 및  $\text{P}^+$  형 매립층(31 및 35)을 확산한다. 이때,  $\text{P}^+$  형 매립층(35)을 형성하는 붕소(B)는,  $\text{N}^+$  형 매립층(34)을 형성하는 안티몬(Sb)과 비교해서 확산 속도가 빠르고, 또한, 불순물 농도가 낮기 때문에,  $\text{N}^+$  형 매립층(34)의 상하에 형성 영역이 형성된다.

다음에, 도 6에 도시한 바와 같이, 산화막을 전부 제거한 후, 다시, 제1 에피택셜층(25)의 표면을 열산화하여 산화막을 형성하고, 공지의 포토리소그래피 기술에 의해  $\text{P}^+$  형 매립층(36 및 43) 및  $\text{P}^+$  형의 제2 분리 영역(32)을 형성하는 부분에 개구부가 설치된 포토레지스트(도시되지 않음)를 선택 마스크로서 형성한다. 그리고, P형 불순물, 예를 들면, 붕소(B)를 이온 에너지 40keV, 도입량  $3.0 \times 10^{13}/\text{cm}^2$ 로 이온 주입한다. 그 후, 포토레지스트를 제거한다. 이때, 제2  $\text{N}^+$  형 매립층(37, 44 및 51)은 동시에 확산되어, 제1  $\text{N}^+$  형 매립층(34, 42 및 50)과 연결된다.

다음에, 도 7에 도시한 바와 같이, 산화막을 전부 제거한 후, 기판(24)을 에피택셜 성장 장치의 서셉터 상에 배치하고, 램프 가열에 의해 기판(24)에 1140℃ 정도의 온도를 제공함과 함께 반응관 내에  $\text{SiH}_2\text{Cl}_2$  가스와  $\text{H}_2$  가스를 도입함으로써 저농도 에피( $\rho = 1.25\Omega\text{cm}$ ), 두께 8.0 ~ 10.0 $\mu\text{m}$ 의 제2 에피택셜층(26)을 제1 에피택셜층(25) 상에 성장시킨다. 그리고, 제2 에피택셜층(26)의 표면을 열산화하여 열산화막을 형성한 후, 공지의 포토리소그래피 기술에 의해  $\text{N}^+$  형 웰 영역(40 및 47)을 형성하는 부분에 개구부가 설치된 포토레지스트(도시되지 않음)를 선택 마스크로서 형성한다. 그리고, N형 불순물, 예를 들면, 인(P)를 이온 에너지 160keV, 도입량  $1.0 \times 10^{12}/\text{cm}^2$ 로 이온 주입한다. 그 후, 포토레지스트를 제거한다.

이때,  $\text{P}^+$  형 매립층(36 및 43) 및  $\text{P}^+$  형의 제2 분리 영역(32)은 동시에 확산되어, 각각 제1  $\text{P}^+$  형 매립층(35), 제1  $\text{N}^+$  형 매립층(42) 및  $\text{P}^+$  형의 제1 분리 영역(31)과 연결된다.

다음에, 도 8에 도시한 바와 같이, 제2 에피택셜층(26)의 표면을 열산화하여 산화막을 형성하고,  $\text{N}^+$  형의 컬렉터 도출 영역(38, 45 및 52) 및 베이스 도출 영역(49)에 대응하는 산화막을 핫 에칭하여 선택 마스크로 한다. 또한, 제2 에피택셜층(26) 표면에  $\text{N}^+$  형 확산 영역(38, 45 및 52) 및 베이스 도출 영역(49)을 형성하는 안티몬(Sb)을 확산한다.

다음에, 도 9에 도시한 바와 같이, 산화막을 모두 제거한 후, 다시, 제2 에피택셜층(26)의 표면을 열산화하여 산화막을 형성하고, 공지의 포토리소그래피 기술에 의해  $\text{P}^+$  형 확산 영역(39 및 46) 및  $\text{P}^+$  형의 에미터 영역(48) 및  $\text{P}^+$  형의 제3 분리 영역(33)을 형성하는 부분에 개구부가 설치된 포토레지스트(도시되지 않음)를 선택 마스크로서 형성한다. 그리고, P형 불순물, 예를 들면, 붕소(B)를 이온 에너지 40keV, 도입량  $3.0 \times 10^{13}/\text{cm}^2$ 로 이온 주입한다. 그 후, 포토레지스트를 제거한다.

이때, 제2  $\text{N}^+$  형 매립층(37, 44 및 51)은 동시에 확산되어, 제1  $\text{N}^+$  형 매립층(34, 42 및 50)과 연결된다. 또한,  $\text{N}^+$  형 확산 영역(38, 45 및 52)은 동시에 확산되어, 각각 제2  $\text{N}^+$  형 매립층(37, 44 및 51)과 연결된다. 그 결과, 제1 섬영역(28)에는 다이오드 소자(21)가 완성되고, 제2 섬영역(29)에는 중형 PNP 트랜지스터(22)가 완성된다.

다음에, 도 10에 도시한 바와 같이, 제3 섬영역(30)에는 P형 베이스 영역(53) 및  $\text{N}^+$  형 에미터 영역(54)을 형성함으로써, NPN 트랜지스터(23)가 완성된다. 그 후, 도 1에 도시한 바와 같이, 다이오드 소자(21)에는 애노드 전극(55), 캐소드 전극(56)이, 중형 PNP 트랜지스터(22)에는 컬렉터 전극(57), 에미터 전극(58), 베이스 전극(59)이, NPN 트랜지스터(23)에는 에미터 전극(60), 베이스 전극(61), 컬렉터 전극(62)이 알루미늄 재료에 의해 형성함으로써 외부 전극과 접속된다.

### 발명의 효과

본 발명에 따르면, 반도체 집적 회로 장치의 다이오드 소자에 있어서, 기판과 제1 에피택셜층과의 사이에 형성되어 있는  $\text{P}^+$  형의 제1 매립층과, 캐소드 전극과 접속되어 있는  $\text{N}^+$  형 확산 영역과는 PN 접합을 형성하고 있지만, 이러한 양자는 깊



이 방향으로 사이를 두고서 형성되어 있다. 그에 따라서, 상기 다이오드 소자가 OFF의 경우, 요컨대, 상기 다이오드 소자에 역방향 바이어스 전압이 걸리는 경우, 제1 및 제2 에피택셜층으로 구성되는 N형 영역에 공핍층 형성 영역을 큰 폭으로 얻을 수 있고, 그의 형성된 공핍층에 의해 내압을 확보하여 항복 전류에 의한 내부 소자 파괴를 억제할 수 있는 반도체 집적 회로 장치를 얻을 수 있다.

또한, 본 발명에 따르면, 반도체 집적 회로 장치의 다이오드 소자에 있어서, 다이오드 소자가 ON의 상태인 경우, 캐소드 영역으로서 형성되어 있는 N<sup>-</sup>형의 제2 에피택셜층에, N<sup>+</sup>형 웰 영역이 형성되어 있다. 이러한 N<sup>+</sup>형 웰 영역에 의해 PN 접합의 N형 영역의 저항치가 낮아짐에 따라 순방향 전압(VBEF)가 저감함으로써, 순방향에서의 전류(If) 능력을 큰 폭으로 향상시킬 수 있다.

또한, 본 발명에 따른 N<sup>+</sup>형 웰 영역 형성에 의해, 다이오드 소자가 ON의 상태인 경우, 다이오드 소자 내에 형성되는 기생 트랜지스터(TR1)의 전류 증폭율은 향상되고, 기생 트랜지스터(TR2)의 전류 증폭율은 저감할 수 있고, 기판으로의 누설 전류의 억제 효과가 높아진다. 그 결과, 출력 트랜지스터 보호에 적합한 스파크 킬러 다이오드를 반도체 집적 회로 장치에 집적화할 수 있고, 전자 기기의 소형화, 고밀도화에 기여할 수 있다.

## 도면의 간단한 설명

도 1은 본 발명의 반도체 집적 회로 장치를 설명하는 단면도.

도 2는 본 발명의 도 1의 반도체 집적 회로 장치의 다이오드 소자를 설명하기 위한 (A) 확대 단면도 및 (B) 등가 회로도.

도 3은 본 발명의 반도체 집적 회로 장치의 제조 방법을 설명하는 단면도.

도 4는 본 발명의 반도체 집적 회로 장치의 제조 방법을 설명하는 단면도.

도 5는 본 발명의 반도체 집적 회로 장치의 제조 방법을 설명하는 단면도.

도 6은 본 발명의 반도체 집적 회로 장치의 제조 방법을 설명하는 단면도.

도 7은 본 발명의 반도체 집적 회로 장치의 제조 방법을 설명하는 단면도.

도 8은 본 발명의 반도체 집적 회로 장치의 제조 방법을 설명하는 단면도.

도 9는 본 발명의 반도체 집적 회로 장치의 제조 방법을 설명하는 단면도.

도 10은 본 발명의 반도체 집적 회로 장치의 제조 방법을 설명하는 단면도.

도 11은 본 발명의 반도체 집적 회로 장치를 설명하는 회로도.

도 12는 종래의 반도체 집적 회로 장치의 다이오드 소자를 설명하기 위한 단면도.

<도면의 주요 부분에 대한 부호의 설명>

21 : 다이오드 소자

22 : 중형 PNP 트랜지스터

23 : NPN 트랜지스터

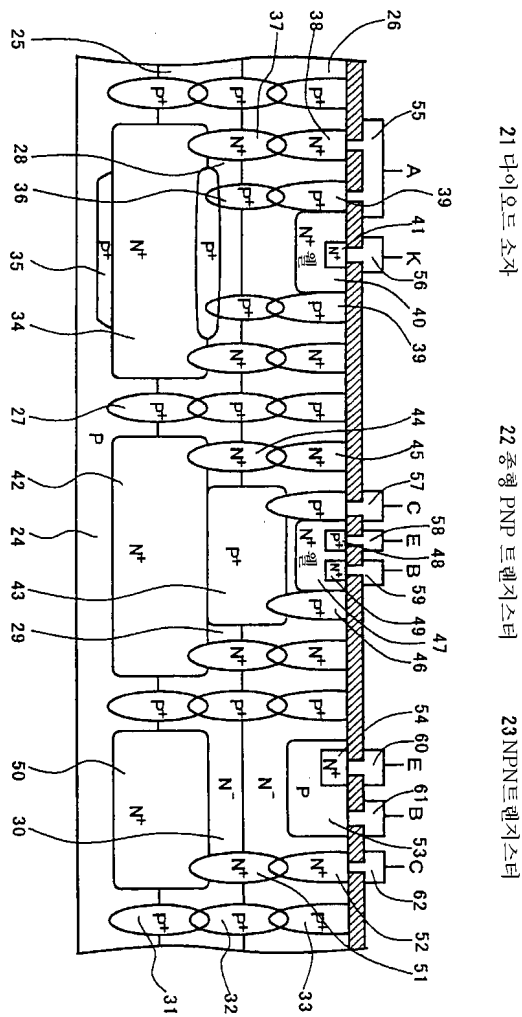
25, 26 : 에피택셜층

35 : P<sup>+</sup>형 매립층

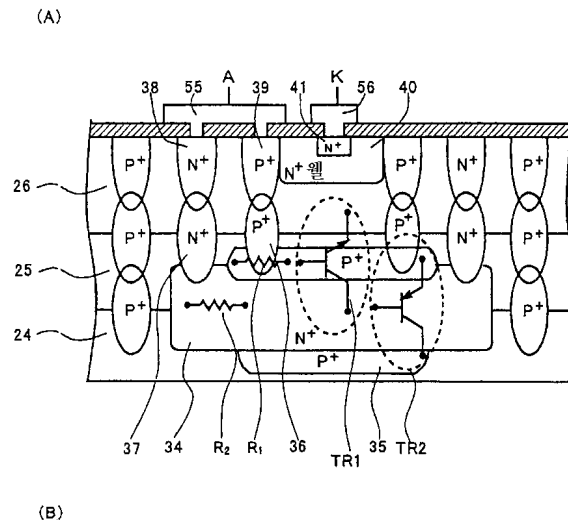
41 : N<sup>+</sup>형 확산 영역

도면

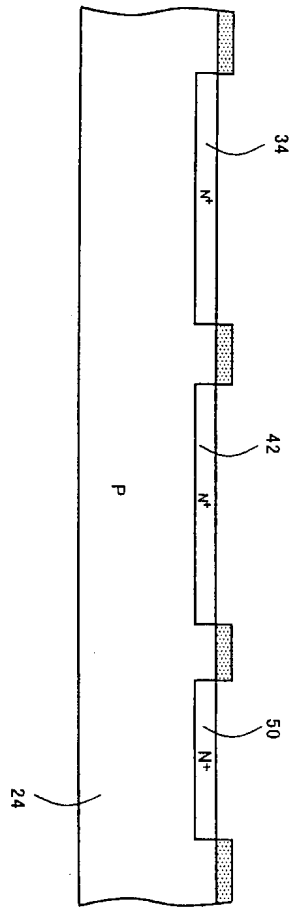
도면1



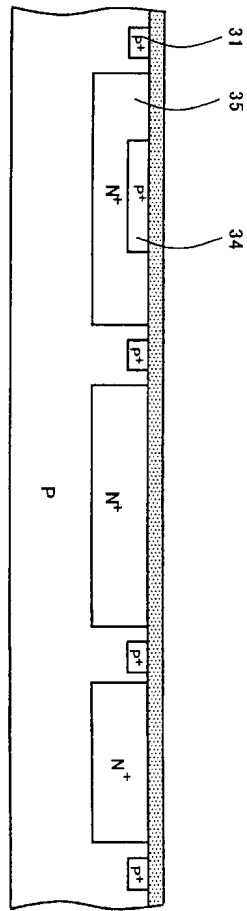
도면2



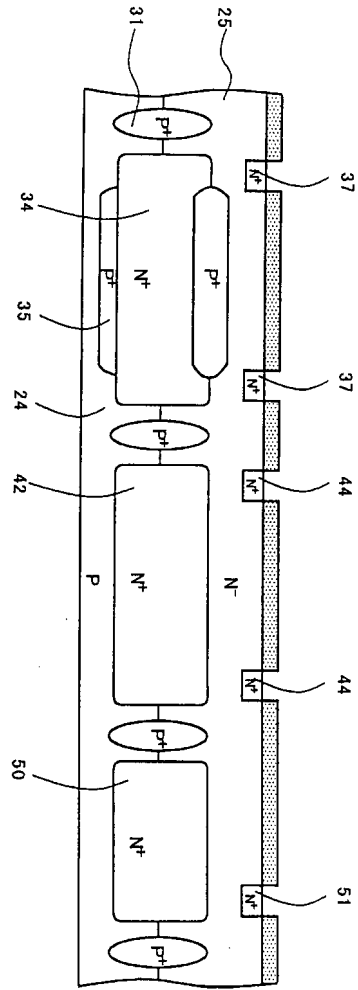
도면3



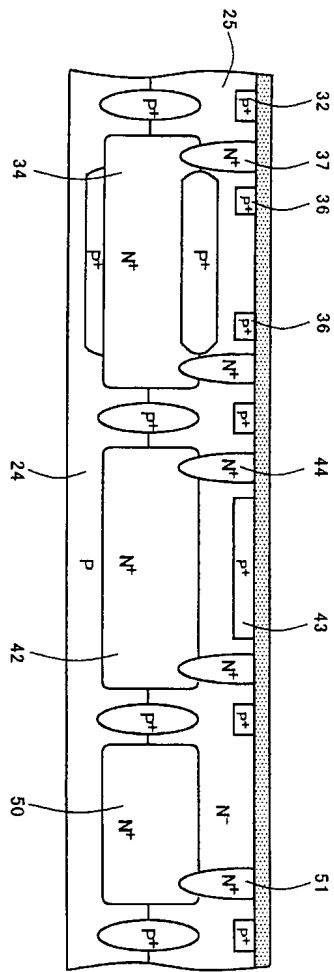
도면4



도면5

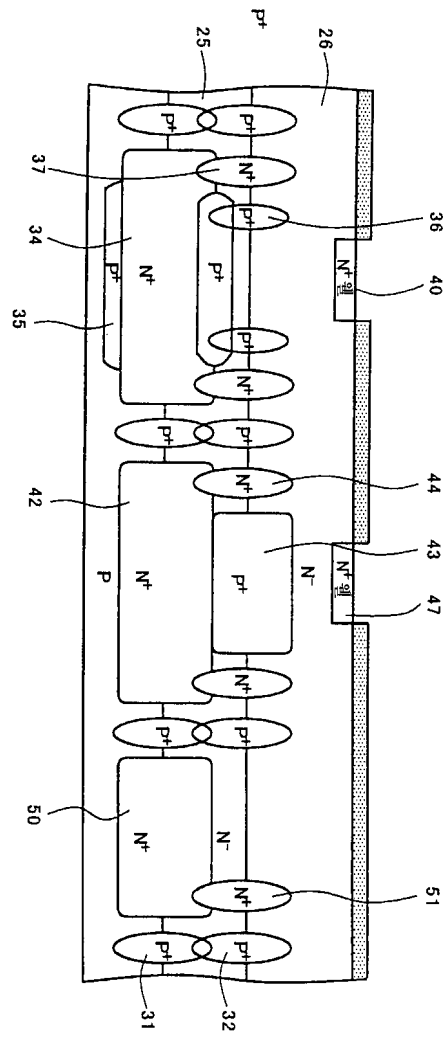


도면6

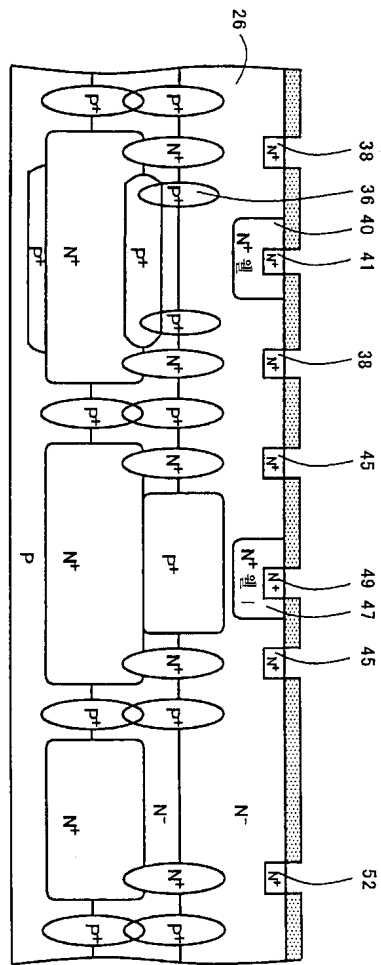




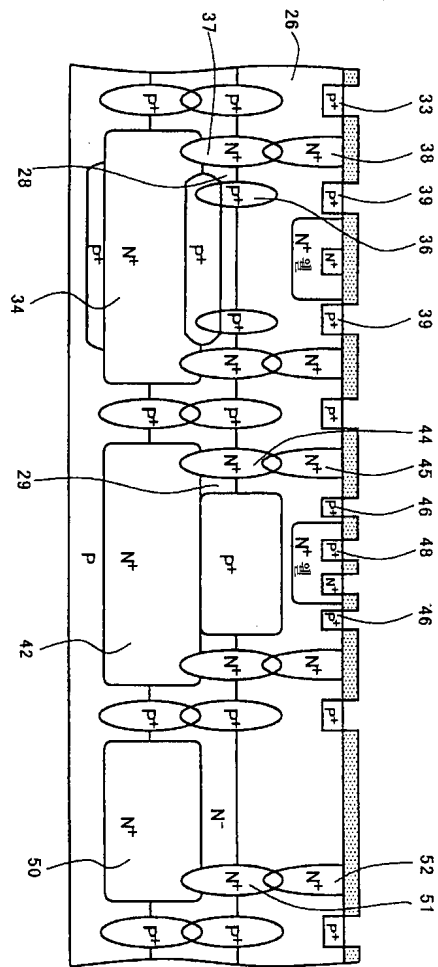
도면7



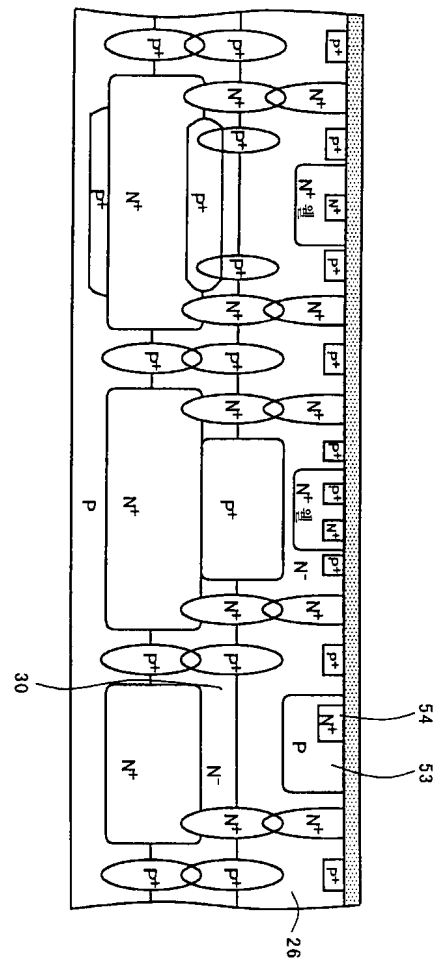
도면8



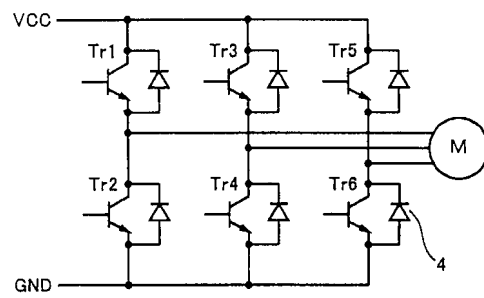
도면9



도면10



도면11



도면12

