

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-81663

(P2009-81663A)

(43) 公開日 平成21年4月16日(2009.4.16)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 5/907 (2006.01)	H04N 5/907 B	5C052
H04N 5/225 (2006.01)	H04N 5/225 F	5C122

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号	特願2007-249455 (P2007-249455)	(71) 出願人	000004329
(22) 出願日	平成19年9月26日 (2007. 9. 26)		
			日本ビクター株式会社
			神奈川県横浜市神奈川区守屋町3丁目12番地
		(74) 代理人	100083806
			弁理士 三好 秀和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(72) 発明者	太田 敦士
			神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
		Fターム(参考)	5C052 AA17 AB04 CC11 GA01 GB06 GE06 GF04 5C122 DA03 EA01 EA55 GA09 GA19 GA25 HA68 HA73

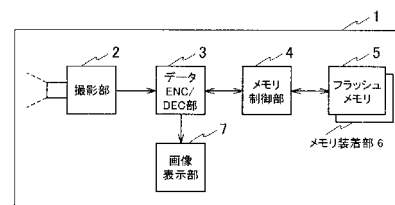
(54) 【発明の名称】 ビデオカメラ

(57) 【要約】

【課題】フラッシュメモリ5の記憶容量に応じてキャッシュメモリの容量を増設しなくても記録再生に支障がなく、データの書き込み読み出しのパフォーマンスの低下を防止し、読み出しの回数増加によるエラーの発生を抑圧できるビデオカメラを提供する。

【解決手段】被写体画像を情報圧縮して間欠記録し、かつ記録媒体として、メモリ5を使用し、データENC/DEC部3、メモリ装着部6、メモリ制御部4を有し、制御部4は、メモリ5に記憶された圧縮画像信号により対応付けられた論理アドレス10Aと物理アドレス10Bとを一組として順次列記した論理/物理アドレス変換テーブル10を用意しておき、メモリ5へ圧縮画像信号を書き込む際、又は、読み出す際に、RAM11内に保存されている論理アドレス10Aと物理アドレス10Bの各組を参照して、メモリ制御を行う。

【選択図】図1



【特許請求の範囲】

【請求項 1】

被写体画像を情報圧縮して間欠記録し、かつ記録媒体として、不揮発性半導体メモリを使用するビデオカメラであって、

前記被写体画像を撮影して得た被写体画像信号を出力する撮影部と、
前記撮影部から供給される前記被写体画像信号を情報圧縮するエンコード処理を行いかつ撮影順に論理アドレスを付して得た圧縮画像信号を出力し、また供給される前記圧縮画像信号を前記エンコード処理と相補的にデコード処理をして得た前記画像信号を前記論理アドレスに基づいて出力するエンコード・デコード部と、

前記エンコード・デコード部から出力する前記圧縮画像信号に対して当該メモリ固有の物理アドレスを対応付けて前記不揮発性半導体メモリに記憶し、また前記物理アドレスを対応付けて記憶した前記圧縮画像信号を前記不揮発性半導体メモリから読み出して前記エンコード・デコード部側へ出力するために、前記不揮発性半導体メモリを装着するメモリ装着部と、

前記メモリ装着部に装着された前記不揮発性半導体メモリに記憶された前記圧縮画像信号により対応付けられた、各前記論理アドレスと各前記物理アドレスとを一組として、それぞれ順次列記した論理 / 物理アドレス変換テーブルを予め作成しておき、前記不揮発性半導体メモリへ前記圧縮画像信号を書き込む際、又は、前記不揮発性半導体メモリから前記圧縮画像信号を読み出す際に、キャッシュメモリ内に保存されてある前記論理アドレスと前記物理アドレスの各組を参照して、メモリ制御を行うメモリ制御部とを、
有することを特徴とするビデオカメラ。

【請求項 2】

前記不揮発性半導体メモリは、NAND型フラッシュメモリであることを特徴とする請求項 1 に記載のビデオカメラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記録媒体として不揮発性半導体メモリを用いたビデオカメラに関する。

【背景技術】

【0002】

デジタルカメラ等の記憶装置として、電源を切断した後も記憶内容が保持される不揮発性半導体メモリの一種であるフラッシュメモリ(flash memory)が普及している。フラッシュメモリにはNAND型とNOR型があるが、書き込み速度が速く大容量が容易に得られるNAND型が多用されている。

【0003】

しかし、NAND型フラッシュメモリは、その構成上、読み書きのアクセスがページ単位(例えば、2048バイト)でしか行えず、かつデータの消去は複数ページ(例えば、64ページ)を1つにまとめたブロック単位でしか行うことができない、という制約がある。

【0004】

更にフラッシュメモリは、高電圧の印加で浮遊ゲートに電荷を蓄積してデータを保持するため、書き込みや消去を繰り返すことにより不良ブロックが発生する。このため、論理アドレスとフラッシュメモリ内の物理アドレスの変換テーブルを作り、両アドレスの対応付けを行う必要がある。

【0005】

こうしたフラッシュメモリを制御するシステムとしては、論理アドレスとこれに対応する物理アドレスとの組を多数保存するRAM(Random Access Memory)を設け、フラッシュメモリ内の論理 / 物理アドレスの変換テーブルを読み出す際にここに保存する。そして再び論理 / 物理アドレスの変換テーブルの変更が必要となった時には、RAM内に存在している所望の物理アドレスを用いれば、本来扱うデータの書き込み読み出しのパフォーマンスの低下を防ぐことができるシステムがある(特許文献1)。

【 0 0 0 6 】

また、ライトバッファメモリに記憶される論理アドレスと物理アドレスとの対応情報を基に、複数のフラッシュメモリのアクセス制御を行うようにして、連続に書き込まれる１ワードのデータを任意のフラッシュメモリに書き込み、そのフラッシュメモリに次の１ワードのデータの書き込みが可能となるまでの待ち時間に、アクセス可能なフラッシュメモリに連続して書き込みを行うようにして、高速な書き込みができる半導体記憶装置がある（特許文献２）。

【特許文献１】特許第３７４９８９１号

【特許文献２】特開２００５－１００４７０号公報

【発明の開示】

10

【発明が解決しようとする課題】

【 0 0 0 7 】

上記した論理／物理アドレスの変換テーブルは、フラッシュメモリ内もしくは他の不揮発性記憶装置の特定のエリアに保持してはならないが、フラッシュメモリ内に保持した場合、この変換テーブルを読み出すために時間を要してしまい、本来扱うデータの書き込み読み出しのパフォーマンスが低下する問題があり、また、特に１つのメモリセルが複数ビットに相当する多値タイプのフラッシュメモリでは、読み出し回数の増加によりエラーの発生率も増加する問題があった。

【 0 0 0 8 】

また、上記特許文献１に記載の発明では、メモリブロックと同等の容量を持つキャッシュメモリを使用し、アクセス対象のデータがキャッシュメモリ内に存在した場合は、フラッシュメモリにアクセスすることなくデータを出力している。しかしこの方法では、メモリの記憶容量が大容量化するのに応じて、キャッシュメモリの容量も大容量化してしまう欠点があった。またここには、フラッシュメモリに論理／物理アドレスの変換テーブルを記憶させた場合のアドレス値の読み出しエラーについての具体的な開示はない。

20

【 0 0 0 9 】

このように装着されるフラッシュメモリに大記憶容量の不揮発性半導体メモリを用いる際には、この不揮発性半導体メモリから読み出される膨大な読み出しデータを本体のキャッシュメモリに一旦記憶してから使用する必要がある。このために、キャッシュメモリの記憶容量は不揮発性半導体メモリに対応して大記憶容量化してしまい、結果として、こ

30

【 0 0 1 0 】

本発明は、このような課題に着目し、これを有効に解決すべく創案されたものであり、上述した大記憶容量の不揮発性半導体メモリの利点である高速アクセス、高密度記録、長時間記録のメリットをデジタルビデオカメラの分野に適用するものである。

【 0 0 1 1 】

このために、デジタルビデオカメラで撮影した画像を記録する際の技術の特徴、即ち、撮影時は連続して撮影された画像データを順次情報圧縮（エンコード）して記録媒体に圧縮画像データとして間欠記録し、一方再生の際には記録媒体から間欠して読み出した圧縮画像信号を情報伸長して連続した画像データとして再生するという、順次連続して記録し

40

【 0 0 1 2 】

また、記録媒体から読み出す圧縮画像データのデータ量もほぼ一定として信号処理が可能であることに着目して、この書き込み読み出しのデータ量を少しの余裕を持って満たしてあれば、装着される不揮発性半導体メモリの大記憶容量に対応して、キャッシュメモリの記憶容量を増加させなくとも、実用上差し支えない程度にビデオカメラで被写体を高精細な画質で記録再生可能となる。

【 0 0 1 3 】

このような理由によって、本発明は、不揮発性半導体メモリからキャッシュメモリへの

50

圧縮画像データの書き込み、読み出しを制御することによって、不揮発性半導体メモリの大記憶容量化に対応してキャッシュメモリの記憶容量を増加させたのと同等の効果を得ることができ、また、読み出しの回数増加によるエラーの発生を未然に抑圧することができ、そして装置本体のコストを低減することができるビデオカメラを提供することを目的とする。

【課題を解決するための手段】

【0014】

そこで本発明は、上記した課題を解決するために、下記する(1)、(2)の構成を有するビデオカメラを提供する。

【0015】

(1) 図1、図2、図4に示すように、被写体画像を情報圧縮して間欠記録し、かつ記録媒体として、不揮発性半導体メモリ(フラッシュメモリ)5を使用するビデオカメラ1であって、

前記被写体画像を撮影して得た被写体画像信号を出力する撮影部2と、
前記撮影部2から供給される前記被写体画像信号を情報圧縮するエンコード処理を行いかつ撮影順に論理アドレス10Aを付して得た圧縮画像信号を出力し、また供給される前記圧縮画像信号を前記エンコード処理と相補的にデコード処理をして得た前記画像信号を前記論理アドレス10Aに基づいて出力するエンコード・デコード部(データENC/DEC部)3と、

前記エンコード・デコード部3から出力する前記圧縮画像信号に対して当該メモリ固有の物理アドレス10Bを対応付けて(得た論理/物理アドレス変換テーブル10を)前記不揮発性半導体メモリ5(のアドレス変換テーブルエリア5A)に記憶し、また前記物理アドレス10Bを対応付けて記憶した前記圧縮画像信号を前記不揮発性半導体メモリ5(のアドレス変換テーブルエリア5A)から読み出して前記エンコード・デコード部3側へ出力するために、前記不揮発性半導体メモリ5を装着するメモリ装着部6と、

前記メモリ装着部6に装着された前記不揮発性半導体メモリ5に記憶された前記圧縮画像信号により対応付けられた、各前記論理アドレス10Aと各前記物理アドレス10Bとを一組として、それぞれ順次列記した論理/物理アドレス変換テーブル(アドレス変換テーブル)10を予め作成(フラッシュメモリ5内のアドレス変換テーブルエリア5Aに記憶)しておき、前記不揮発性半導体メモリ5へ前記圧縮画像信号を書き込む際、又は、前記不揮発性半導体メモリ5から前記圧縮画像信号を読み出す際に、キャッシュメモリ(RAM11)内に保存されてある前記論理アドレス10Aと前記物理アドレス10Bの各組を参照して、メモリ制御を行うメモリ制御部4とを、
有することを特徴とするビデオカメラ。

【0016】

(2) 前記不揮発性半導体メモリは、NAND型フラッシュメモリであることを特徴とする請求項1に記載のビデオカメラ。

【発明の効果】

【0017】

上記した構成を有する本発明によれば、不揮発性半導体メモリからキャッシュメモリへの圧縮画像データの書き込み、読み出しを制御することによって、不揮発性半導体メモリの大記憶容量化に対応してキャッシュメモリの記憶容量を増加させたのと同等の効果を得ることができ、また、読み出しの回数増加によるエラーの発生を未然に抑圧することができ、そして装置本体のコストを低減することができるビデオカメラを提供することができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明のビデオカメラの実施の形態を説明する。

【0019】

図1は、本発明のビデオカメラの実施の形態を説明するためのブロック図である。

10

20

30

40

50

【 0 0 2 0 】

ビデオカメラ 1 は、図 1 に示すように、撮影部 2、データ・エンコード・デコード (ENC/DEC) 部 3、メモリ制御部 4、フラッシュメモリ 5 を装着するメモリ装着部 6、画像表示部 7 を有している。不揮発性半導体メモリであるフラッシュメモリ 5 は、NAND 型フラッシュメモリである。

【 0 0 2 1 】

次に、上記した構成を有するビデオカメラ 1 の記録再生動作について説明する。

【 0 0 2 2 】

記録時は、撮影部 2 は被写体画像を撮影した被写体画像で撮影された画像データは、データ ENC/DEC 部 3 に送られ、ここでエンコード (情報圧縮) 処理されて圧縮画像データとして生成され、この後、撮影順に論理アドレス 10A を付した圧縮画像データは、メモリ制御部 4 の書き込み制御に応じて、フラッシュメモリ 5 に書き込まれる。

10

【 0 0 2 3 】

再生時には、フラッシュメモリ 5 から読み出された、撮影順に論理アドレス 10A を付した圧縮画像データは、メモリ制御部 4 の読み出し制御に応じて、データ ENC/DEC 部 3 に送られ、ここで、前記したエンコード処理と相補的にデコード (情報伸長) 処理されて元の画像データとして復元され再生される。データ ENC/DEC 部 3 で復元された画像データは、画像表示部 7 に送られ、ここで表示される。

【 0 0 2 4 】

さてここで、本発明の主要部である、メモリ制御部 4 とフラッシュメモリ 5 との関係、即ち、論理アドレスと物理アドレスとの関係について、図 2 ~ 図 4 を用いて説明する。

20

【 0 0 2 5 】

図 2 は論理 / 物理アドレス変換テーブルを説明するための図、図 3 は論理 / 物理アドレス変換のシーケンスを示すフローチャート、図 4 はフラッシュメモリコントローラの物理アドレス取得部の構成を示す図である。

【 0 0 2 6 】

図 2 及び図 4 中、5A はアドレス変換テーブル 10 (図 2) を格納するフラッシュメモリ 5 内のアドレス変換テーブルエリア、5B は圧縮データであるメインデータを格納するフラッシュメモリ 5 内のメインデータエリア、10 は論理 / 物理アドレス変換テーブルであるアドレス変換テーブル、10A は指定論理アドレス (論理アドレス)、10B は物理アドレス、11 はキャッシュメモリである RAM、20 はフラッシュメモリコントローラ、21 は物理アドレス選択回路、22 は RAM アドレス選択回路、23 はフラッシュアドレス (Flash) 生成回路、24 は論理アドレス判定回路である。

30

【 0 0 2 7 】

フラッシュメモリ 5 は、次のように、圧縮データを記憶し、記憶した圧縮データを読み出す。

【 0 0 2 8 】

即ち、記録時、データ ENC/DEC 部 3 から出力する圧縮画像データに対して当該フラッシュメモリ固有の物理アドレス 10B を対応付けてこれを記憶する。図 2 に示すように、例えば、圧縮画像データに順次付されている論理アドレス 10A が「0」、「1」、「2」、「3」、「4」、「5」のとき、物理アドレス 10B はそれぞれ、「2」、「3」、「5」、「11」、「7」「13」と対応付ける。

40

【 0 0 2 9 】

また再生時には、この物理アドレス 10B を対応付けて記憶した圧縮画像信号をここから読み出して、データ ENC/DEC 部 3 側へ出力する。

【 0 0 3 0 】

前記メモリ制御部 4 は、次のように、フラッシュメモリ 5 の書き込み、読み出し動作を制御する。

【 0 0 3 1 】

即ち、フラッシュメモリ 5 に記憶された圧縮画像信号により対応付けられた論理アドレ

50

スと当該フラッシュメモリ固有の物理アドレスとを一組（図 2 に示すように、例えば、論理アドレス「1」と物理アドレス「3」とを一組）として、それぞれ順次列記した論理 / 物理アドレス変換テーブル（アドレス変換テーブル 10）を予め、フラッシュメモリ 5 内のアドレス変換テーブルエリア 5 A に作成して格納しておく。

【0032】

この後、フラッシュメモリ 5 のメインデータエリア 5 B へ圧縮画像信号を書き込む際、又は、フラッシュメモリ 5 のメインデータエリア 5 B から圧縮画像信号を読み出す際に、まず、キャッシュメモリである RAM 11（図 2）を参照する。

【0033】

そして、前記論理アドレスに対して前記物理アドレスが変更されている組がある場合（図 2 に示すように、論理アドレス「1」と物理アドレス「3」との関係がない場合）には、当該組に優先して、前記論理アドレスに対して前記物理アドレスが変更されていない組（図 2 に示すように、論理アドレス「2」と物理アドレス「5」の組、論理アドレス「3」と物理アドレス「11」の組、論理アドレス「4」と物理アドレス「7」の組、論理アドレス「5」と物理アドレス「13」の組）を抽出してこれを使用する（RAM 11 を使用するキャッシュメモリに書き込む）メモリ制御を、メモリ制御部 4 は行う。

【0034】

上記したことをさらに詳しく説明する。

【0035】

図 2 に示すように、フラッシュメモリ 5 内のアドレス変換テーブルエリア 5 A（図 4）には、アドレス変換テーブル 10 が設けられている。また、上記メモリ制御部 4 であるフラッシュメモリコントローラ 20 内の RAM 11（図 4）には、論理アドレス順に対応する物理アドレスが格納されている。

【0036】

図 2 に示すように、論理アドレス 10 A と物理アドレス 10 B との対応関係は次のようである。

【0037】

論理アドレス「0」 - 物理アドレス「2」、
論理アドレス「1」 - 物理アドレス「3」、
論理アドレス「2」 - 物理アドレス「5」、
論理アドレス「3」 - 物理アドレス「11」、
論理アドレス「4」 - 物理アドレス「7」、
論理アドレス「5」 - 物理アドレス「13」、
が、それぞれ各組となっている。

【0038】

ここで、外部から論理アドレス「2」が指定された場合、対応する物理アドレス「5」を出力することになるが、この時、論理アドレス「2」 - 物理アドレス「5」の組に加えて、論理アドレス「3」 - 物理アドレス「11」の組、論理アドレス「4」 - 物理アドレス「7」の組、そして、論理アドレス「5」 - 物理アドレス「13」の組も RAM 11 に書き込む。

【0039】

このように、複数の論理 / 物理アドレスの各組を RAM 11 に保存しておくことにより、次回以降、論理 / 物理アドレスの変換が必要となった時に、フラッシュメモリ 5 内のアドレス変換テーブル 10 を全て読み出さなくても済む確率が増し、これによって本来扱うデータのリードやライトのパフォーマンスが向上する。

【0040】

図 3 は、本発明の実施の形態に係る論理 / 物理アドレス変換のシーケンスを示している。

【0041】

フラッシュメモリコントローラ 20 は、アクセスする論理アドレスを外部から指定された

10

20

30

40

50

ら（ステップ S T 1）、論理アドレスと物理アドレスの組が保存されている RAM 1 1 内のデータを読み出し（ステップ S T 2）、指定された論理アドレスが存在するかを検索する（ステップ S T 3）。

【 0 0 4 2 】

この検索の結果、指定された論理アドレスが検出された場合は、対応する物理アドレスを外部へ出力する（ステップ S T 4）。一方、指定された論理アドレスが検出されなかった場合には、フラッシュメモリ 5 内のアドレス変換テーブル 1 0（5 A）を読み出し（ステップ S T 5）、対応する物理アドレスを外部へ出力する（ステップ S T 6）とともに、RAM 1 1 内のデータを更新する（ステップ S T 7）。

【 0 0 4 3 】

ここで、図 4 に示すフラッシュメモリコントローラの物理アドレス取得部について説明する。

【 0 0 4 4 】

図 4 において、フラッシュメモリコントローラ 2 0 の物理アドレス取得部は、RAM アドレス生成回路 2 2、RAM 1 1、論理アドレス判定回路 2 4、Flash アドレス生成回路 2 3、物理アドレス選択回路 2 1 を有する。

【 0 0 4 5 】

RAM アドレス生成回路 2 2 では、外部からの論理 / 物理アドレス変換の開始信号を受け、RAM 1 1 に対してデータを読み出すコマンドやアドレスを出力する。また、フラッシュメモリ 5 からアドレス変換テーブル 1 0（5 A）が読み出された際には、外部からの論理アドレスとフラッシュからの物理アドレスを組にしたものを RAM 1 1 に書き込むためのコマンドやアドレスを出力する（図 2 参照）。

【 0 0 4 6 】

論理アドレス判定回路 2 4 では、RAM 1 1 から読み出されたデータの中に外部から指定された論理アドレスが存在するかを確認する。指定された論理アドレスが存在した場合は、論理 / 物理アドレス変換完了とし、外部に対して対応する物理アドレスを出力する。一方、指定された論理アドレスが存在しなかった場合は、Flash アドレス生成回路 2 3 に対してアドレス変換テーブル 1 0（5 A）の読み出し開始信号を出力する。

【 0 0 4 7 】

Flash アドレス生成回路 2 3 では、論理アドレス判定回路 2 4 からのアドレス変換テーブルの読み出し開始信号を受け、フラッシュメモリ 5 に対してアドレス変換テーブル 1 0（5 A）を読み出すコマンドやアドレスを出力する。

【 0 0 4 8 】

物理アドレス選択回路 2 1 では、フラッシュメモリ 5 から読み出されたデータの中から指定された論理アドレスに対応する物理アドレスを選択し、外部に対してその物理アドレスを出力する。

【 図面の簡単な説明 】

【 0 0 4 9 】

【 図 1 】 本発明のビデオカメラの実施の形態を説明するためのブロック図である。

【 図 2 】 論理 / 物理アドレス変換テーブルを説明するための図である。

【 図 3 】 論理 / 物理アドレス変換のシーケンスを示すフローチャートである。

【 図 4 】 フラッシュメモリコントローラの物理アドレス取得部の構成を示す図である。

【 符号の説明 】

【 0 0 5 0 】

- 1 ビデオカメラ
- 2 撮影部
- 3 データ E N C / D E C 部（エンコード・デコード部）
- 4 メモリ制御部
- 5 フラッシュメモリ（不揮発性半導体メモリ）
- 5 A アドレス変換テーブルエリア

10

20

30

40

50

6 メモリ装着部

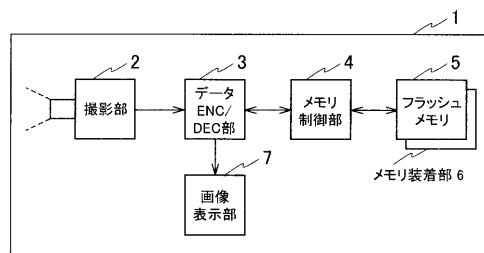
10 アドレス変換テーブル(論理/物理アドレス変換テーブル)

10A 前記論理アドレス

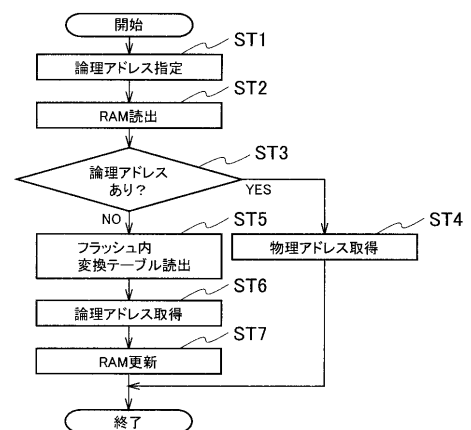
10B 物理アドレス

11 RAM(キャッシュメモリ)

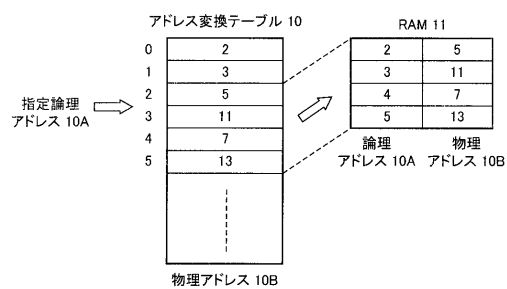
【図1】



【図3】



【図2】



【 図 4 】

