



## (12) 发明专利申请

(10) 申请公布号 CN 102017103 A

(43) 申请公布日 2011. 04. 13

(21) 申请号 200680050437. X

(51) Int. Cl.

(22) 申请日 2006. 11. 30

H01L 21/336 (2006. 01)

(30) 优先权数据

H01L 21/3205 (2006. 01)

11/327, 657 2006. 01. 05 US

(85) PCT申请进入国家阶段日

2008. 07. 04

(86) PCT申请的申请数据

PCT/US2006/061423 2006. 11. 30

(87) PCT申请的公布数据

W02007/117312 EN 2007. 10. 18

(71) 申请人 飞兆半导体公司

地址 美国缅因州

(72) 发明人 布鲁斯·道格拉斯·马钱特

托马斯·E·格雷布斯

罗德尼·S·里德利

内森·劳伦斯·克拉夫特

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 尚志峰

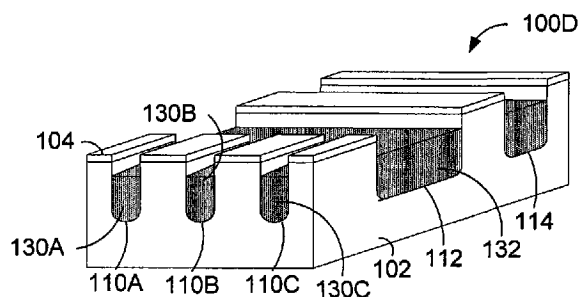
权利要求书 11 页 说明书 15 页 附图 21 页

### (54) 发明名称

利用化学机械抛光的功率器件

### (57) 摘要

一种沟槽栅场效应晶体管 (FET) 如下形成 : 使用一个掩模, 在硅区中限定并同时形成多个有源栅极沟槽和至少一个栅极流道沟槽, 使得 : (i) 至少一个栅极流道沟槽具有比多个有源栅极沟槽中的每一个的宽度都大的宽度, 以及 (ii) 多个有源栅极沟槽与至少一个栅极流道沟槽相连。



1. 一种形成沟槽栅场效应晶体管 (FET) 的方法, 包括:

使用一个掩模, 在硅区中限定并同时形成多个有源栅极沟槽和至少一个栅极流道沟槽, 使得: (i) 所述至少一个栅极流道沟槽具有比所述多个有源栅极沟槽中的每一个的宽度都大的宽度, 以及 (ii) 所述多个有源栅极沟槽与所述至少一个栅极流道沟槽相连。

2. 根据权利要求 1 所述的方法, 进一步包括:

使用 CMP 在所述多个有源栅极沟槽内和所述至少一个栅极流道沟槽内形成凹进层。

3. 根据权利要求 2 所述的方法, 其中, 所述凹进层是沿所述多个有源栅极沟槽和所述栅极流道沟槽的底部形成的厚底电介质 (TBD)。

4. 根据权利要求 2 所述的方法, 其中, 所述凹进层是在所述多个有源栅极沟槽的每一个中以及所述栅极流道沟槽中的栅极流道中形成栅电极的多晶硅层, 其中, 所述栅电极和所述栅极流道相连。

5. 根据权利要求 2 所述的方法, 进一步包括:

在所述限定并同时形成步骤之前形成 CMP 停止层;

形成填充所述多个有源栅极沟槽并延伸至与所述多个有源栅极沟槽相邻的台面区之上的第一层; 以及

回抛光所述第一层直到到达所述台面区之上的所述 CMP 停止层;

使回抛光后的第一层凹进所述多个有源栅极沟槽预定深度。

6. 根据权利要求 5 所述的方法, 其中, 所述凹进层是多晶硅层, 以及所述 CMP 停止层是非导电层。

7. 根据权利要求 1 所述的方法, 进一步包括:

在所述多个有源栅极沟槽的每一个中形成凹进的栅电极、并在所述至少一个栅极流道沟槽中形成凹进的栅极流道;

以及

使用 CMP 在所述多个有源栅极沟槽的每一个中的所述栅电极之上和所述栅极流道沟槽中的所述栅极流道之上形成介质盖。

8. 根据权利要求 7 所述的方法, 进一步包括:

在所述形成凹进的栅电极的步骤之后, 形成填充所述多个有源栅极沟槽和所述栅极流道沟槽、并延伸至与所述多个有源栅极沟槽相邻的台面区之上的第一电介质层; 以及

回抛光所述第一电介质层直到到达预先指定的 CMP 停止层, 从而在所述栅极流道和每个栅电极之上形成所述介质盖。

9. 根据权利要求 8 所述的方法, 其中, 所述预先指定的 CMP 停止层是所述硅区。

10. 根据权利要求 8 所述的方法, 其中, 所述预先指定的 CMP 停止层是在所述形成第一电介质层的步骤之前形成的氮化物层。

11. 根据权利要求 8 所述的方法, 进一步包括:

在所述凹进的栅极流道之上的所述介质盖中形成接触开口; 以及

形成通过所述接触开口接触所述栅极流道的互连层。

12. 根据权利要求 1 所述的方法, 其中, 所述多个有源栅极沟槽垂直于所述至少一个栅极流道沟槽延伸。

13. 根据权利要求 1 所述的方法, 其中, 使用所述一个掩模, 在形成所述多个有源栅

极沟槽和所述至少一个栅极流道沟槽的同时，在所述硅区的终止区中形成至少一个终止沟槽。

14. 根据权利要求 1 所述的方法，进一步包括：

使用 CMP，沿所述多个有源栅极沟槽和所述至少一个栅极流道沟槽的底部形成厚底电介质 (TBD)。

15. 根据权利要求 14 所述的方法，其中，所述 TBD 形成步骤包括：

形成填充所述多个有源栅极沟槽、延伸进所述栅极流道沟槽中、并延伸至与所述多个有源栅极沟槽相邻的台面区之上的电介质层；

回抛光所述电介质层直到到达延伸至所述台面区之上的预先指定的 CMP 停止层；以及

使回抛光后的电介质层仅凹进所述多个有源栅极沟槽预定深度。

16. 根据权利要求 15 所述的方法，其中，所述预先指定的 CMP 停止层是所述硅区。

17. 根据权利要求 15 所述的方法，其中，所述预先指定的 CMP 停止层是在所述限定并同时形成步骤之后形成的硅层。

18. 根据权利要求 15 所述的方法，其中，所述预先指定的 CMP 停止层是所述一个掩模中的氮化物层。

19. 根据权利要求 1 所述的方法，进一步包括：

形成填充所述多个有源栅极沟槽和所述栅极流道沟槽、并延伸至与所述多个有源栅极沟槽相邻的台面区之上的多晶硅层；

回抛光所述多晶硅层直到到达延伸至所述台面区之上的预先指定的 CMP 停止层；以及

使回抛光后的多晶硅层凹进所述多个有源栅极沟槽和所述至少一个栅极流道沟槽预定深度，从而在所述多个有源栅极沟槽的每一个中和所述栅极流道沟槽中的凹进的栅极流道中形成凹进的栅电极。

20. 根据权利要求 19 所述的方法，其中，所述预先指定的 CMP 停止层是在所述形成多晶硅层的步骤之前形成的非导电层。

21. 根据权利要求 20 所述的方法，其中，所述非导电层是栅极电介质。

22. 根据权利要求 20 所述的方法，其中，所述非导电层是栅极电介质和所述一个掩模的组合。

23. 根据权利要求 20 所述的方法，其中，所述非导电层是所述一个掩模中的氮化物层。

24. 根据权利要求 19 所述的方法，进一步包括：

在所述多晶硅层形成步骤之前，使用 CMP，沿所述至少一个栅极流道沟槽和所述多个有源栅极沟槽的底部形成厚底电介质 (TBD)。

25. 根据权利要求 24 所述的方法，其中，所述 TBD 形成步骤包括：

形成填充所述多个有源栅极沟槽、延伸进所述栅极流道沟槽、并延伸至与所述多个有源栅极沟槽相邻的台面区之上的第一电介质层；

回抛光所述第一电介质层直到到达延伸至所述台面区之上的预先指定的 CMP 停止层；以及

使回抛光后的第一电介质层仅凹进所述多个有源栅极沟槽预定深度。

26. 根据权利要求 25 所述的方法，其中，所述回抛光所述第一电介质层的步骤中的所述预先指定的 CMP 停止层是所述硅区。

27. 根据权利要求 25 所述的方法，其中，所述回抛光所述第一电介质层的步骤中的所述预先指定的 CMP 停止层是在所述限定并同时形成步骤之后形成的硅层。

28. 根据权利要求 25 所述的方法，其中，所述回抛光所述第一电介质层的步骤中的所述预先指定的 CMP 停止层是所述一个掩模中的氮化物层。

29. 根据权利要求 25 所述的方法，进一步包括：

在所述使回抛光后的多晶硅层凹进的步骤之后，形成填充所述多个有源栅极沟槽和所述栅极流道沟槽、并延伸至与所述多个有源栅极沟槽相邻的台面区之上的第二电介质层；以及

回抛光所述第二电介质层直到到达预先指定的 CMP 停止层，从而在所述凹进的栅电极的每一个之上和所述凹进的栅极流道之上形成介质盖。

30. 根据权利要求 29 所述的方法，其中，所述形成第二电介质层的步骤中的所述预先指定的 CMP 停止层是所述硅区。

31. 根据权利要求 29 所述的方法，其中，所述形成第二电介质层的步骤中的所述预先指定的 CMP 停止层是氮化物层。

32. 根据权利要求 31 所述的方法，其中，所述一个掩模包括所述氮化物层。

33. 根据权利要求 29 所述的方法，进一步包括：

在所述凹进的栅极流道之上的所述介质盖中形成接触开口；以及  
形成通过所述接触开口接触所述栅极流道的互连层。

34. 根据权利要求 19 所述的方法，进一步包括：

在所述使回抛光后的多晶硅层凹进的步骤之后，形成填充所述多个有源栅极沟槽和所述栅极流道沟槽、并延伸至与所述多个有源栅极沟槽相邻的台面区之上的电介质层；以及

回抛光所述电介质层直到到达预先指定的 CMP 停止层，从而在所述凹进的栅电极的每一个之上和所述凹进的栅极流道之上形成介质盖。

35. 根据权利要求 34 所述的方法，其中，所述形成电介质层的步骤中的所述预先指定的 CMP 停止层是所述硅区。

36. 根据权利要求 34 所述的方法，其中，所述形成电介质层的步骤中的所述预先指定的 CMP 停止层是氮化物层。

37. 根据权利要求 36 所述的方法，其中，所述一个掩模包括所述氮化物层。

38. 根据权利要求 34 所述的方法，进一步包括：

在所述凹进的栅极流道之上的所述介质盖中形成接触开口；以及  
形成通过所述接触开口接触所述栅极流道的互连层。

39. 根据权利要求 19 所述的方法，其中，所述硅区具有第一导电型，所述方法进一步包括：

在所述硅区中形成第二导电型的阱区；

在所述阱区中形成所述第一导电型的源区；以及

形成电接触所述阱区和所述源区的第一金属层、以及接触所述凹进的栅极流道的第二金属层。

40. 一种形成沟槽栅场效应晶体管 (FET) 的方法, 包括:

使用第一掩模, 在硅区中限定并同时形成延伸第一深度的多个有源栅极沟槽和至少一个栅极流道沟槽, 使得 (i) 所述至少一个栅极流道沟槽具有比所述多个有源栅极沟槽中的每一个的宽度都大的宽度, 以及 (ii) 所述多个有源栅极沟槽与所述至少一个栅极流道沟槽相连; 以及

使用保护所述至少一个栅极流道沟槽的第二掩模和所述第一掩模, 在所述硅区中仅使所述多个有源栅极沟槽进一步延伸至第二和最终深度。

41. 根据权利要求 40 所述的方法, 进一步包括:

使用 CMP, 在所述多个有源栅极沟槽内和所述至少一个栅极流道沟槽内形成凹进层。

42. 根据权利要求 41 所述的方法, 其中, 所述凹进层是沿所述多个有源栅极沟槽和所述栅极流道沟槽的底部形成的厚底电介质 (TBD)。

43. 根据权利要求 41 所述的方法, 其中, 所述凹进层是在所述多个有源栅极沟槽的每一个中和所述栅极流道沟槽中的栅极流道中形成栅电极的多晶硅层, 其中, 所述栅电极和所述栅极流道相连。

44. 根据权利要求 40 所述的方法, 进一步包括:

在所述多个有源栅极沟槽的每一个中形成凹进的栅电极、并在所述至少一个栅极流道沟槽中形成凹进的栅极流道;

以及

使用 CMP, 在所述多个有源栅极沟槽的每一个中的所述栅电极之上和所述栅极流道沟槽中的所述栅极流道之上形成介质盖。

45. 根据权利要求 40 所述的方法, 其中, 所述多个有源栅极沟槽垂直于所述至少一个栅极流道沟槽延伸。

46. 根据权利要求 40 所述的方法, 其中, 在形成所述多个有源栅极沟槽和所述至少一个栅极流道沟槽的同时, 使用所述第一掩模在所述硅区的终止区中形成至少一个终止沟槽。

47. 根据权利要求 40 所述的方法, 进一步包括:

使用 CMP, 沿所述多个有源栅极沟槽和所述至少一个栅极流道沟槽的底部形成厚底电介质 (TBD)。

48. 根据权利要求 47 所述的方法, 进一步包括:

使用 CMP, 在所述多个有源栅极沟槽的每一个内形成凹进的栅电极、并在所述至少一个栅极流道沟槽内形成凹进的栅极流道。

49. 根据权利要求 48 所述的方法, 进一步包括:

使用 CMP, 在所述多个有源栅极沟槽的每一个中的所述栅电极之上和所述栅极流道沟槽中的所述栅极流道之上形成介质盖。

50. 根据权利要求 49 所述的方法, 进一步包括:

在所述凹进的栅极流道之上的所述介质盖中形成接触开口; 以及

形成通过所述接触开口接触所述栅极流道的互连层。

51. 根据权利要求 49 所述的方法，其中，所述硅区具有第一导电型，所述方法进一步包括：

在所述硅区中形成第二导电型的阱区；

在所述阱区中形成所述第一导电型的源区；以及

形成电接触所述阱区和所述源区的第一金属层、以及接触所述凹进的栅极流道的第二金属层。

52. 一种场效应晶体管，包括：

硅区中的多个有源栅极沟槽，每个有源栅极沟槽都包括凹进的栅电极；

所述硅区中的栅极流道沟槽，所述栅极流道沟槽与所述多个有源栅极沟槽相连，所述栅极流道沟槽包括凹进的栅极流道，所述凹进的栅极流道与所述凹进的栅电极相连从而与所述凹进的栅电极电连接，其中，所述栅极流道沟槽具有比所述多个有源栅极沟槽中的每一个的宽度都大的宽度。

53. 根据权利要求 52 所述的场效应晶体管，其中，所述栅极流道沟槽的宽度至少三倍地大于每个有源栅极沟槽的宽度。

54. 根据权利要求 52 所述的场效应晶体管，其中，所述多个有源栅极沟槽和所述栅极流道沟槽在所述硅区中延伸基本相同的深度。

55. 根据权利要求 52 所述的场效应晶体管，其中，所述栅极流道沟槽包括延伸至所述凹进的栅极流道之下的电介质层，其中，所述电介质层具有比延伸至所述多个有源栅极沟槽中的每一个中凹进的栅电极之下的电介质层更厚的厚度。

56. 根据权利要求 52 所述的场效应晶体管，其中，所述多个有源栅极沟槽垂直于所述至少一个栅极流道沟槽延伸。

57. 根据权利要求 52 所述的场效应晶体管，其中，所述硅区具有第一导电型，所述场效应晶体管进一步包括：

所述硅区中的第二导电型的阱区；

所述阱区中的所述第一导电型的源区，所述源区侧翼包围所述多个有源栅极沟槽；以及

电接触所述阱区和所述源区的第一金属层，以及接触所述凹进的栅极流道的第二金属层。

58. 一种用于形成屏蔽栅极场效应晶体管的方法，包括：

在硅区中形成多个有源栅极沟槽；

顺着所述有源栅极沟槽的下侧壁和底部排布屏蔽电介质；

使用 CMP 处理，用包括多晶硅的屏蔽电极填充所述有源栅极沟槽的底部；

在所述有源栅极沟槽中的所述屏蔽电极之上形成多晶硅层间电介质 (IPD)；

顺着所述有源栅极沟槽的上侧壁排布栅极电介质；以及在所述有源栅极沟槽的上部中的所述 IPD 之上形成栅电极。

59. 根据权利要求 58 所述的方法，其中，所述填充所述有源栅极沟槽的底部的步骤包括：

形成填充所述有源栅极沟槽、并延伸至与所述有源栅极沟槽相邻的台面区之上的多

晶硅层；

使用 CMP 处理，将所述屏蔽电介质作为 CMP 停止层回蚀刻所述多晶硅；以及

使所述多晶硅凹进所述有源栅极沟槽预定深度，从而沿所述有源栅极沟槽的底部形成所述屏蔽电极。

60. 根据权利要求 58 所述的方法，进一步包括：

在形成所述多个有源栅极沟槽的同时形成屏蔽流道沟槽，所述屏蔽流道沟槽垂直于所述有源栅极沟槽延伸，但与所述有源栅极沟槽相连。

61. 根据权利要求 60 所述的方法，其中，所述填充所述有源栅极沟槽的底部的步骤包括：

形成填充所述有源栅极沟槽和所述屏蔽流道沟槽、并延伸至与所述有源栅极沟槽和所述屏蔽流道沟槽相邻的台面区之上的多晶硅层；

使用 CMP 处理，将所述屏蔽电介质作为 CMP 停止层回蚀刻所述多晶硅；以及

使用掩蔽层覆盖所述屏蔽流道沟槽，使所述多晶硅凹进所述有源栅极沟槽预定深度，从而沿所述有源栅极沟槽的底部形成所述屏蔽电极。

62. 根据权利要求 61 所述的方法，其中，在所述回蚀刻步骤期间，当暴露所述屏蔽电介质时，使所述 CMP 处理持续预定时间，以使所述有源栅极沟槽和所述屏蔽流道沟槽中的所述多晶硅恰好凹进至所述硅区的顶层表面之下。

63. 根据权利要求 61 所述的方法，进一步包括：

在所述回蚀刻步骤之后、但在所述使多晶硅凹进的步骤之前，将所述有源栅极沟槽和所述屏蔽流道沟槽中的所述多晶硅恰好蚀刻至所述硅区的顶层表面之下。

64. 根据权利要求 60 所述的方法，其中，所述屏蔽流道沟槽比所述有源栅极沟槽宽。

65. 根据权利要求 60 所述的方法，其中，所述屏蔽流道沟槽具有与所述有源栅极沟槽相同的宽度。

66. 根据权利要求 60 所述的方法，其中，所述硅区具有第一导电型，所述方法进一步包括：

在所述硅区中形成第二导电型的阱区；

在所述阱区中形成所述第一导电型的源区；以及

形成电接触所述阱区、所述源区、以及在所述屏蔽流道沟槽中形成的屏蔽流道电极的金属层。

67. 根据权利要求 58 所述的方法，进一步包括：

在形成所述多个有源栅极沟槽的同时形成屏蔽流道沟槽和栅极流道沟槽，所述屏蔽流道沟槽和栅极流道沟槽垂直于所述有源栅极沟槽延伸，但与所述有源栅极沟槽相连。

68. 根据权利要求 67 所述的方法，其中，所述屏蔽流道包括与所述有源栅极沟槽中的所述屏蔽电极相连从而与所述屏蔽电极电连接的屏蔽流道电极，所述栅极流道沟槽包括与所述有源栅极沟槽中的所述栅电极相连从而与所述栅电极电连接的栅极流道电极。

69. 根据权利要求 58 所述的方法，其中，所述 IPD 是使用 CMP 处理形成的。

70. 根据权利要求 58 所述的方法，其中，所述栅电极是使用 CMP 处理形成的。

71. 根据权利要求 58 所述的方法，其中，所述 IPD 和栅电极是使用 CMP 处理形成

的。

72. 一种形成屏蔽栅极场效应晶体管的方法，包括：

在硅区中形成多个有源栅极沟槽；

顺着所述有源栅极沟槽的下侧壁和底部排布屏蔽电介质；

用包括多晶硅的屏蔽电极填充所述有源栅极沟槽的底部；

使用 CMP 处理，在所述有源栅极沟槽中的所述屏蔽电极之上形成多晶硅层间电介质 (IPD)；

顺着所述有源栅极沟槽的上侧壁排布栅极电介质；以及

在所述有源栅极沟槽的上部中的所述 IPD 之上形成栅电极。

73. 根据权利要求 72 所述的方法，其中，所述形成 IPD 的步骤包括：

形成填充所述有源栅极沟槽、并延伸至与所述有源栅极沟槽相邻的台面区之上的电介质层；

使用 CMP 处理，将所述屏蔽电介质作为 CMP 停止层回蚀刻所述电介质层；以及

使所述电介质层凹进所述有源栅极沟槽预定深度，从而在所述屏蔽电极之上形成所述 IPD。

74. 根据权利要求 72 所述的方法，进一步包括：

在形成所述多个有源栅极沟槽的同时形成屏蔽流道沟槽，所述屏蔽流道沟槽垂直于所述有源栅极沟槽延伸，但与所述有源栅极沟槽相连。

75. 根据权利要求 74 所述的方法，其中，与所述填充所述有源栅极沟槽的底部的步骤同时，在所述屏蔽流道沟槽中形成屏蔽流道电极，使得所述屏蔽流道电极恰好凹进至所述硅区的顶层表面之下，所述形成 IPD 的步骤包括：

形成填充所述有源栅极沟槽和所述屏蔽流道沟槽、并延伸至与所述有源栅极沟槽和所述屏蔽流道沟槽相邻的台面区之上的电介质层；

使用 CMP 处理，将所述屏蔽电介质作为 CMP 停止层回蚀刻所述电介质层；以及

使用掩模覆盖所述屏蔽流道沟槽，使所述电介质层凹进所述有源栅极沟槽预定深度，从而在所述屏蔽电极之上形成所述 IPD。

76. 根据权利要求 74 所述的方法，其中，所述屏蔽流道沟槽比所述有源栅极沟槽宽。

77. 根据权利要求 74 所述的方法，其中，所述屏蔽流道沟槽具有与所述有源栅极沟槽相同的宽度。

78. 根据权利要求 74 所述的方法，其中，所述硅区具有第一导电型，所述方法进一步包括：

在所述硅区中形成第二导电型的阱区；

在所述阱区中形成所述第一导电型的源区；以及

形成电性接触所述阱区、所述源区、以及在所述屏蔽流道沟槽中形成的屏蔽流道电极的金属层。

79. 根据权利要求 72 所述的方法，进一步包括：

在形成所述多个有源栅极沟槽的同时，形成屏蔽流道沟槽和栅极流道沟槽，所述屏蔽流道沟槽和栅极流道沟槽垂直于所述有源栅极沟槽延伸，但与所述有源栅极沟槽相

连。

80. 根据权利要求 79 所述的方法, 其中, 所述屏蔽流道包括与所述有源栅极沟槽中的所述屏蔽电极相连从而与所述屏蔽电极电连接的屏蔽流道电极, 所述栅极流道沟槽包括与所述有源栅极沟槽中的所述栅电极相连从而与所述栅电极电连接的栅极流道电极。

81. 根据权利要求 72 所述的方法, 其中, 所述栅电极是使用 CMP 处理形成的。

82. 一种形成屏蔽栅极场效应晶体管的方法, 包括:

在硅区中形成多个有源栅极沟槽;

顺着所述有源栅极沟槽的下侧壁和底部排布屏蔽电介质;

用包括多晶硅的屏蔽电极填充所述有源栅极沟槽的底部;

在所述有源栅极沟槽中的所述屏蔽电极之上形成多晶硅层间电介质 (IPD);

顺着所述有源栅极沟槽的上侧壁和与所述有源栅极沟槽相邻的台面表面排布栅极电介质; 以及

使用 CMP 处理, 在所述有源栅极沟槽中的上部中的所述 IPD 之上形成栅电极。

83. 根据权利要求 82 所述的方法, 其中, 所述形成栅电极的步骤包括:

形成填充所述有源栅极沟槽、并延伸至与所述有源栅极

沟槽相邻的台面区之上的多晶硅层; 以及

使用 CMP 处理, 将所述屏蔽电介质作为 CMP 停止层回蚀刻所述多晶硅层。

84. 根据权利要求 82 所述的方法, 进一步包括:

在形成所述多个有源栅极沟槽的同时, 形成屏蔽流道沟槽, 所述屏蔽流道沟槽垂直于所述有源栅极沟槽延伸, 但与所述有源栅极沟槽相连。

85. 根据权利要求 84 所述的方法, 其中, 与所述填充所述有源栅极沟槽的底部的步骤同时, 在所述屏蔽流道沟槽中形成屏蔽流道电极, 使得所述屏蔽流道电极恰好凹进至所述硅区的顶层表面之下, 所述形成多晶硅层的步骤包括:

形成填充所述有源栅极沟槽、并延伸至与所述屏蔽流道沟槽和所述有源栅极沟槽相邻的所述台面区和所述屏蔽流道沟槽之上的多晶硅层; 以及

使用 CMP 处理, 将所述栅极电介质作为 CMP 停止层回蚀刻所述多晶硅层。

86. 根据权利要求 84 所述的方法, 其中, 所述屏蔽流道沟槽比所述有源栅极沟槽宽。

87. 根据权利要求 84 所述的方法, 其中, 所述屏蔽流道沟槽具有与所述有源栅极沟槽相同的宽度。

88. 根据权利要求 84 所述的方法, 其中, 所述硅区具有第一导电型, 所述方法进一步包括:

在所述硅区中形成第二导电型的阱区;

在所述阱区中形成所述第一导电型的源区; 以及

形成电接触所述阱区、所述源区、以及在所述屏蔽流道沟槽中形成的屏蔽流道电极的金属层。

89. 根据权利要求 82 所述的方法, 进一步包括:

在形成所述多个有源栅极沟槽的同时, 形成屏蔽流道沟槽和栅极流道沟槽, 所述屏蔽流道沟槽和所述栅极流道沟槽垂直于所述有源栅极沟槽延伸, 但与所述有源栅极沟槽

相连。

90. 根据权利要求 82 所述的方法，其中，所述屏蔽流道包括与所述有源栅极沟槽中的所述屏蔽电极相连从而与所述屏蔽电极电连接的屏蔽流道电极，所述栅极流道沟槽包括与所述有源栅极沟槽中的所述栅电极相连从而与所述栅电极电连接的栅极流道电极。

91. 根据权利要求 82 所述的方法，其中，所述栅电极是使用 CMP 处理形成的。

92. 一种形成沟槽栅场效应晶体管 (FET) 的方法，包括：

在第一导电型的硅区中形成多个沟槽；

在每个沟槽中形成栅电极，每个栅电极都与所述硅区隔离；以及

使用 CMP 形成顶层金属层，所述顶层金属层电接触部分所述硅区但与每个栅电极相隔离。

93. 根据权利要求 92 所述的方法，其中，所述形成顶层金属层的步骤包括：

形成延伸至所述栅电极和所述硅区之上的电介质层；

使用接触掩模，在所述电介质层中形成接触开口；

形成填充所述接触开口并延伸至所述电介质层的剩余部分之上的金属层；

使用 CMP，将所述电介质层作为 CMP 停止层抛光所述金属层，使得所述金属层的剩余部分的顶层表面与所述电介质层的剩余部分的顶层表面基本共面。

94. 根据权利要求 92 所述的方法，进一步包括：

在所述形成栅电极的步骤之前，沿每个沟槽的底部形成厚底电介质，以及顺着每个沟槽的侧壁形成栅极电介质；

在所述硅区中形成第二导电型的阱区；以及

在所述阱区的上部中形成所述第一导电型的源区，其中，

所述顶层金属层电接触所述源区和所述阱区。

95. 根据权利要求 92 所述的方法，其中，所述沟槽栅 FET 是屏蔽栅极 FET，所述方法进一步包括：

在所述形成栅电极的步骤之前：

顺着每个沟槽的下侧壁和底部排布屏蔽电介质；

用屏蔽电极填充每个沟槽，通过所述屏蔽电介质将每个屏蔽电极与所述硅区隔离；

在每个沟槽中的每个屏蔽电极之上形成多晶硅层间电介质 (IPD)；以及

顺着每个沟槽的上侧壁排布栅极电介质。

96. 一种形成沟槽栅场效应晶体管 (FET) 的方法，包括：

在第一导电型的硅区中形成多个沟槽；

在每个沟槽中形成栅电极，每个栅电极都与所述硅区隔离；

形成具有多个彼此隔离的部分的第一金属层，所述多个部分中的至少一个部分电接触所述硅区，但与每个栅电极隔离；以及

使用 CMP，形成具有多个彼此隔离的部分的第二金属层，所述第二金属层延伸至所述第一金属层之上，其中，所述第二金属层的所述多个部分中的一个或多个部分电接触所述第一金属层的所述多个部分中的相应的一个或多个部分。

97. 根据权利要求 96 所述的方法，其中，所述形成第一金属层的步骤包括：

形成延伸至所述多个沟槽和所述硅区之上的电介质层；

使用接触掩模，在所述电介质层中形成接触开口；

形成填充所述接触开口并延伸至所述电介质层的剩余部分之上的所述第一金属层；

使用 CMP，抛光所述第一金属层，使得所述第一金属层的剩余部分的顶层表面和所述电介质层的剩余部分的顶层表面基本共面。

98. 根据权利要求 96 所述的方法，其中，所述形成第二金属层的步骤包括：

在所述第一金属层之上形成电介质层；

利用接触掩模，在所述电介质层中形成接触开口；

形成填充所述接触开口并延伸至所述电介质层的剩余部分之上的所述第二金属层；

使用 CMP，将所述电介质层作为 CMP 停止层抛光所述第二金属层，使得所述第二金属层的剩余部分的顶层表面与所述剩余电介质层的顶层表面基本共面。

99. 根据权利要求 96 所述的方法，进一步包括：

在所述形成栅电极的步骤之前，沿每个沟槽的底部形成厚底电介质，以及顺着每个沟槽的侧壁形成栅极电介质；

在所述硅区中形成第二导电型的阱区；以及

在所述阱区的上部中形成所述第一导电型的源区，其中，所述第一金属层的多个部分中的至少一个部分电接触所述源区和所述阱区。

100. 根据权利要求 96 所述的方法，其中，所述沟槽栅 FET 是屏蔽

栅极 FET，所述方法进一步包括：

在所述形成栅电极的步骤之前；

顺着每个沟槽的下侧壁和底部排布屏蔽电介质；

用屏蔽电极填充每个沟槽的底部，通过所述屏蔽电介质将每个屏蔽电极与所述硅区隔离；

在每个沟槽中的每个屏蔽电极之上形成多晶硅层间电介质 (IPD)；以及

顺着每个沟槽的上侧壁排布栅极电介质。

101. 一种形成沟槽栅场效应晶体管 (FET) 的方法，包括：

在第一导电型的硅区中形成多个沟槽；

使用 CMP，沿每个沟槽的底部形成厚底电介质 (TBD)；

以及

在每个沟槽中的所述 TBD 之上形成与所述 TBD 接触的栅电极。

102. 根据权利要求 101 所述的方法，进一步包括：

在所述形成栅电极的步骤之前，顺着每个沟槽的侧壁形成栅极电介质；

在所述硅区中形成第二导电型的阱区；以及

在所述阱区的上部中形成所述第一导电型的源区。

103. 一种形成沟槽栅场效应晶体管 (FET) 的方法，包括：

在第一导电型的硅区中形成多个沟槽；

沿每个沟槽的底部形成厚底电介质 (TBD)；以及

使用 CMP，在每个沟槽中的所述 TBD 之上形成与所述 TBD 接触的栅电极。

104. 根据权利要求 103 所述的方法，进一步包括：

在所述形成栅电极的步骤之前，顺着每个沟槽的侧壁形成栅极电介质；

在所述硅区中形成第二导电型的阱区；以及

在所述阱区的上部中形成所述第一导电型的源区。

105. 一种形成沟槽栅场效应晶体管（FET）的方法，包括：

在第一导电型的硅区中形成多个沟槽；

沿每个沟槽的底部形成厚底电介质（TBD）；

在每个沟槽中的所述 TBD 之上形成与所述 TBD 接触的凹进的栅电极；以及

使用 CMP，在所述凹进的栅电极之上形成与所述凹进的栅电极接触的介质盖。

106. 根据权利要求 105 所述的方法，进一步包括：

在所述形成凹进的栅电极的步骤之前，顺着每个沟槽的侧壁形成栅极电介质；

在所述硅区中形成第二导电型的阱区；以及

在所述阱区的上部中形成所述第一导电型的源区。

## 利用化学机械抛光的功率器件

[0001] 相关申请的交叉参考

[0002] 本申请涉及共同转让的、于 2004 年 12 月 29 日提交的美国申请第 11/026276 号，其全部内容结合于此作为参考。

### 技术领域

[0003] 本发明涉及半导体功率器件技术，更具体地涉及改进的沟槽栅功率器件和形成其的制造处理。

### 背景技术

[0004] 在半导体产业中功率 MOSFET (金属氧化物半导体场效应晶体管) 是众所周知的。一种功率 MOSFET 是垂直导电的“沟槽 MOSFET” (例如, 沟槽 DMOS、沟槽 FET、UMOS 等)。通常, 沟槽 MOSFET 包括在半导体层中形成的垂直沟槽。半导体层布置在形成沟槽 MOSFET 漏极的衬底 (即, 晶片) 上。每个沟槽都包括通过电介质 (通常是氧化物) 与沟槽的侧壁隔离的多晶硅栅极。MOSFET 的源区侧翼包围沟槽的每一侧。沟槽 MOSFET 依赖于通过在源区和漏区之间形成的沟道的电流。该电流由位于多晶硅栅极上的电压控制。

[0005] 传统上, 多晶硅栅极必须连接至器件封装的导线。为实现此, 栅极延伸至沟槽外直到在衬底的表面上形成的绝缘层。然后, 在衬底的表面上形成上覆金属层, 以将表面上的多晶硅栅极和源极台面区 (source mesa region) 电连接至器件的焊盘或焊接结构。使用电介质层将沟槽中的多晶硅栅极与上覆金属层隔离。掩蔽并蚀刻上覆金属层, 以使连接栅极的金属层与连接源区的金属层分开。在传统的构造中, 金属层形成用于连接源区的总线 and 用于连接栅极的另一总线。

[0006] 当前用于制成沟槽栅 MOSFET 的制造处理已经被证明对于半导体产业是一个挑战。通常, 器件越复杂, 处理步骤越复杂。处理步骤越复杂, 越可能发生处理误差。例如, 功率 MOSFET 的传统处理通常涉及生成和配置一些掩模, 以适应形成诸如有源栅极沟槽 (active gate trench) 的复杂结构。已经证实, 由于每个掩蔽步骤 (masking step) 的掩模尺寸和 / 或掩模对准引入的误差, 致使很难使用多个掩模来蚀刻不同尺寸的相邻沟槽。一个掩模的未对准可以潜在地损坏 MOSFET 的整个阵列。

[0007] 衬底表面形貌的变化使得很难均匀地在晶片表面上沉积或从晶片表面蚀刻材料。例如, 形貌的变化使得很难进行以下动作: 将衬底的整个表面带入光刻系统领域的深度、或基于位置由选择地去除材料。半导体器件制作处理中的变化通常会导致诸如漏源导通电阻 (drain-to-source resistance,  $R_{ds(on)}$ )、漏极 - 栅极电荷 (drain to gate charge,  $Q_{gd}$ ) 等器件电性能的变化。因此, 在不同的制造阶段提供均匀的衬底表面在提供功率 MOSFET 的精确电特性方面非常关键。

[0008] 因此, 需要成本有效的制造工艺和衬底结构, 以在提高垂直对准的沟槽栅 MOSFET 的电性能特性的同时, 最小化或消除制造其的处理中的器件缺陷。

## 发明内容

[0009] 根据本发明，沟槽栅场效应晶体管(FET)如下形成：使用一个掩模，在硅区中限定并同时形成多个有源栅极沟槽和至少一个栅极流道沟槽(gate runner trench)，使得：(i) 至少一个栅极流道沟槽具有比多个有源栅极沟槽中的每一个的宽度都大的宽度，以及(ii) 多个有源栅极沟槽与至少一个栅极流道沟槽相连。

[0010] 在一个实施例中，在多个有源栅极沟槽的每一个中形成凹进的栅电极，并在至少一个栅极流道沟槽中形成凹进的栅极流道。使用CMP，在多个有源栅极沟槽的每一个中的栅电极之上和栅极流道沟槽中的栅极流道之上形成介质盖。

[0011] 在另一个实施例中，使用CMP，沿至少一个栅极流道沟槽和多个有源栅极沟槽的底部形成厚底电介质(thick bottom dielectric, TBD)。

[0012] 在又一个实施例中，形成填充多个有源栅极沟槽和栅极流道沟槽并延伸至与多个有源栅极沟槽相邻的台面区之上的多晶硅层。抛光多晶硅层直到到达延伸至台面区之上的预先指定的CMP停止层(stop layer)为止。使抛光后的多晶硅层凹进多个有源栅极沟槽和至少一个栅极流道沟槽预定深度，从而在多个有源栅极沟槽的每一个中形成凹进的栅电极以及在栅极流道沟槽中形成凹进的栅极流道。

[0013] 根据本发明的另一个实施例，沟槽栅场效应晶体管(FET)如下形成：使用第一掩模，限定并同时形成在硅区中延伸第一深度的至少一个栅极流道沟槽和多个有源栅极沟槽，使得(i) 至少一个栅极流道沟槽具有比多个有源栅极沟槽中的每一个的宽度都大的宽度，以及(ii) 多个有源栅极沟槽与至少一个栅极流道沟槽相连。使用保护至少一个栅极流道沟槽的第二掩模和第一掩模，仅将多个有源栅极沟槽进一步延伸至硅区中的第二和最终深度。

[0014] 根据本发明的又一个实施例，场效应晶体管包括硅区中的多个有源栅极沟槽，每个有源栅极沟槽都包括凹进的栅电极。FET还包括硅区中的栅极流道沟槽，该栅极流道沟槽与多个有源栅极沟槽相连。栅极流道沟槽包括凹进的栅极流道，该凹进的栅极流道与凹进的栅电极相连从而与凹进的栅电极电接触。栅极流道沟槽具有比多个有源栅极沟槽中的每一个的宽度都大的宽度。

[0015] 根据本发明的又一个实施例，屏蔽栅极场效应晶体管(shielded gate field effect transistor)如下形成：在硅区中形成多个有源栅极沟槽。顺着有源栅极沟槽的下侧壁和底部排布屏蔽电介质。使用CMP处理，用包括多晶硅的屏蔽电极(shield electrode)填充有源栅极沟槽的底部。在有源栅极沟槽中的屏蔽电极之上形成多晶硅层间电介质(interpoly dielectric, IPD)。顺着有源栅极沟槽的上侧壁排布栅极电介质。在有源栅极沟槽的上部中的IPD之上形成栅电极。

[0016] 根据本发明的又一个实施例，屏蔽栅极场效应晶体管如下形成：在硅区中形成多个有源栅极沟槽。顺着多个有源栅极沟槽的下侧壁和底部排布屏蔽电介质。用包括多晶硅的屏蔽电极填充有源栅极沟槽的底部。使用CMP处理，在有源栅极沟槽中的屏蔽电极之上形成多晶硅层间电介质(IPD)。顺着有源栅极沟槽的上侧壁排布栅极电介质。在有源栅极沟槽的上部中的IPD之上形成栅电极。

[0017] 根据本发明的又一个实施例，屏蔽栅极场效应晶体管如下形成：在硅区中形成

多个有源栅极沟槽。顺着有源栅极沟槽的下侧壁和底部排布屏蔽电介质。用包括多晶硅的屏蔽电极填充有源栅极沟槽的底部。在有源栅极沟槽中的屏蔽电极之上形成多晶硅层间电介质 (IPD)。台面表面和有源栅极沟槽的上侧壁相邻,顺着有源栅极沟槽排布栅极电介质。使用 CMP 处理,在有源栅极沟槽的上部中的 IPD 之上形成栅电极。

[0018] 根据本发明的又一个实施例,沟槽栅场效应晶体管 (FET) 如下形成:在第一导电型的硅区中形成多个沟槽。在每个沟槽中形成栅电极,使得每个栅电极都与硅区相隔离。使用 CMP 形成顶层金属层,其中,顶层金属层与硅区的某些部分电接触而与每个栅电极相隔离。

[0019] 根据本发明的又一个实施例,沟槽栅场效应晶体管 (FET) 如下形成:在第一导电型的硅区中形成多个沟槽。在每个沟槽中形成栅电极,使得每个栅电极都与硅区相隔离。形成具有彼此相隔离的多个部分的第一金属层。该多个部分中的至少一个部分与硅区电接触而与每个栅电极相隔离。使用 CMP,形成具有彼此相隔离的多个部分的第二金属层。第二金属层延伸至第一金属层之上,其中,第二金属层的多个部分中的一个或多个部分与第一金属层的多个部分中的一个或多个相应部分电接触。

[0020] 通过下面的详细描述和附图,可以获得对本发明的属性和优点的更好理解。

#### 附图说明

[0021] 图 1A 到图 1D 是根据本发明的示例性实施例的四个制造阶段的沟槽栅功率器件的一部分的简化等距视图;

[0022] 图 2 是根据本发明的示例性实施例的包括栅极流道沟槽的沟槽栅垂直功率 MOSFET 结构的简化横截面图,其中,各沟槽同时形成;

[0023] 图 3A 到图 3J 是示出根据本发明的示例性实施例的包括栅极流道沟槽的沟槽栅功率器件的制造处理的简化横截面图,其中,使用了 CMP 技术;

[0024] 图 4A 到图 4J 是示出根据本发明的另一个示例性实施例的包括栅极流道沟槽的沟槽栅功率器件的制造处理的简化横截面图,其中,使用了 CMP 技术;

[0025] 图 5A 到图 5J 是示出根据本发明的又一示例性实施例的包括栅极流道沟槽的沟槽栅功率器件的制造处理的简化横截面图,其中,使用了 CMP 技术;

[0026] 图 6A 到图 6J 以及图 6JJ 是示出根据本发明的示例性实施例的具有沟槽终止结构 (trench termination structure) 的屏蔽栅极沟槽功率器件的制造处理的简化横截面图,其中,使用了 CMP 技术;

[0027] 图 7A 和图 7B 是示出根据本发明的示例性实施例的包括栅极流道沟槽的沟槽栅功率器件的处理步骤的简化横截面图,其中,使用多个掩蔽 / 蚀刻步骤形成了各种沟槽;

[0028] 图 8A 到 8D、图 9A 到 9D 以及图 10A 到 10C 是示出根据本发明的三个示例性实施例的使用 CMP 技术形成顶层金属的处理步骤的简化横截面图;以及

[0029] 图 11 是示出根据本发明的示例性实施例的沟槽栅功率器件阵列和 CMP 负载结构的冲模部分的顶视图。

## 具体实施方式

[0030] 本发明关于改进的沟槽栅功率器件结构及形成其的处理。 在一个实施例中，沟槽栅垂直功率 MOSFET 的制造处理包括：使用一个掩蔽 / 蚀刻处理，形成有源区中的有源栅极沟槽和栅极流道沟槽，其中，栅极流道沟槽比有源栅极沟槽宽。 一个掩蔽 / 蚀刻处理包括在衬底的表面上形成诸如氧化物、氮化物等的掩模。 掩模包括对应于沟槽阵列和其它结构的孔。 一些沟槽是用于形成与功率 MOSFET 相关的栅极结构的有源栅极沟槽。 另外一些沟槽是用于形成将多个相邻的栅极结构或其它结构电连接在一起的互连结构的栅极流道沟槽。 还有的一些其它沟槽是用于适当地终止有源区以达到保持高击穿电压的目的的、一般环绕有源区的终止沟槽 (termination trench)。

[0031] 在一个实施例中，多晶硅层共同扩张地布置在有源栅极沟槽和栅极流道沟槽之间，从而使得栅极结构与互连结构电连接。 使用至少一个化学机械抛光处理 (CMP) 来刨平衬底的表面，以使有源栅极结构、沟槽之间的台面区、以及互连结构基本平坦。 在结束 CMP 处理之后，使所有沟槽中的多晶硅凹进期望深度。 在凹进的多晶硅和台面区上沉积电介质层。 使用另一个 CMP 处理从台面区去除电介质层，以在每个沟槽中的凹进的多晶硅之上形成单独的电介质层。 然后，将金属层沉积在衬底的抛光后的表面的顶部，以将沟槽之间的台面表面电连接在一起。 每个有源栅极沟槽中的电介质层将栅极与金属层隔离。 在一个处理步骤中，掩蔽或蚀刻金属层，使得将台面区连接在一起的金属层部分与将栅极互连结构连接在一起的另一金属层部分电分离。

[0032] 在使用栅极流道沟槽结构而不是传统的平面栅极流道结构的处理中，需要电接触栅极流道沟槽内的栅极流道，以实现将栅极流道连接至栅极垫之外的目的。 因此，如果栅极流道沟槽的宽度与有源栅极沟槽的宽度相同，则由于在如此窄的沟槽开口之上形成小接触窗的光刻技术的限制，使得在栅极流道沟槽之上形成接触开口会非常困难。 因此，需要形成比有源栅极沟槽宽的栅极流道沟槽。 然而，在已经形成了大量相对窄的有源栅极沟槽的同一个硅区中形成宽栅极流道沟槽会导致在利用多晶硅填充栅极流道沟槽时的问题。 尽管传统的多晶硅沉积技术导致较窄的有源栅极沟槽的适当填充，但是宽栅极流道沟槽的情况不同。 代替地，在栅极流道沟槽中，多晶硅仅堵塞了栅极流道沟槽壁。 解决这个问题的一种方法是，使用一个掩模来限定和形成有源栅极沟槽，使用另外的掩模来限定和形成栅极流道沟槽，使得宽栅极流道沟槽可以被制造得比有源栅极沟槽浅，从而容易填充。 但是，这两种掩蔽技术遭遇了沿有源栅极与栅极流道的接合区未对准的问题。 根据本发明，使用单个掩蔽 / 蚀刻处理来同时形成有源栅极沟槽和较宽的栅极流道沟槽 (以及可选的终止沟槽)。 然后，使用 CMP 处理，用多晶硅填充有源栅极沟槽和较宽的栅极流道沟槽。 这可由图 1A-1D 更清楚地示出。

[0033] 图 1A 到 1D 是四个制造阶段的沟槽栅功率器件的部分的简化等距视图。 虽然图 1A 到 1D 示出了具体的半导体结构，但应当理解，这些结构仅是可以使用本发明的实施例形成的一些结构的例示。 同样，为了说明的目的，在用于形成具有特定层、衬底材料等的沟槽栅垂直功率 MOSFET 的特定制造处理方面总地描述本发明的实施例，然而，本领域技术人员会了解，本发明可用于形成很多其它类型的沟槽栅功率器件。 例如，使用诸如离子注入和扩散的技术形成掺杂区以生成沟槽栅垂直功率 MOSFET 体、源极、及重体接触区 (heavy body contact regions) 的步骤可以与图 1A-1D 所示的技术以很多组合

顺序相结合，以下将描述其中的一些。示出了结合沟槽形成和连接形成的沟槽栅垂直功率 MOSFET 的一些实例，然而，为了清础，这里示出的各种处理顺序通常略去了诸如掺杂物引入的步骤，因为这些步骤对于本领域技术人员是众所周知的。如本文中描述的所有其它图，应当理解，在图中描述的各种元件和部件的相对尺寸和大小不反映实际的尺寸，而仅用于说明。

[0034] 在图 1A 中，使用掩模 104，蚀刻硅区 102 以同时形成有源栅极沟槽 110A、110B、和 110C、栅极流道沟槽 112、以及可选的终止沟槽 114。一个同质掩蔽 / 蚀刻处理是有优势的，这是因为它防止了在使用多个掩蔽步骤形成各种沟槽时出现的未对准问题。

[0035] 在一个实施例中，顺着有源栅极沟槽 110A、110B、和 110C、栅极流道沟槽 112、以及终止沟槽 114 排布绝缘层（未示出）。有源栅极沟槽 110A、110B、以及 110C 通常被布置为垂直于栅极流道沟槽 112，但是也可以布置在有利于使用的任何相对位置上。在图 1B 中，沉积填充有源栅极沟槽 110A、110B、和 110C、栅极流道沟槽 112、以及终止沟槽 114、并延伸至台面区之上的多晶硅层 120。图 1C 示出了使用将掩模层 104 作为 CMP 停止层的 CMP 处理对多晶硅层 120 进行蚀刻之后的结构的平坦表面。如图所示的，在 CMP 处理之后，掩模层 104 的表面与有源栅极沟槽 110A-110C、栅极流道沟槽 112、以及终止沟槽 114 中的多晶硅共面。图 1D 示出了使所有沟槽中的多晶硅凹进预定深度之后的结构。

[0036] 如接下来结合少数示例性处理流程更充分地描述，可以使用图 1A-1D 所示的 CMP 技术形成沟槽结构的其它层，诸如栅电极之上的介质盖或厚底电介质 (TBD)。图 1A-1D 的 CMP 技术具有很多优点，包括：通过消除传统技术中存在的不利于表面状况的被称为“堆积效应”的现象改善照相能力 (photo capability)、最小化的场深度、以及改进的 CD 均匀性。因此，获得了在很多沟槽阵列之间具有最小至没有结构变化的高度平坦结构。另外，平坦表面使得可以在这种作为 BPSG 回流的后端处理步骤中使用较低的温度。同样，较低的后端温度有利于多晶硅的使用。

[0037] 如以上所示的，图 1A-1D 仅表示形成诸如 MOSFET 或 IGBT 的沟槽栅器件所需的有限数量的处理步骤。例如，在 MOSFET 的情况下，可以将传统的处理技术与图 1A-1D 所示的这些技术相结合，以形成本领域中公知的硅区 102 中的体区 (body region)、体区中的源区和重体区 (heavy body region)、将所有沟槽中的多晶硅与周围的硅区 102 以及上覆金属层相隔离的各种电介质层、以及顶侧源极接触层 (top-side source contact layer) 和底侧漏极接触层 (bottom-side drain contact layer)。

[0038] 为更好地理解这里描述的各种示例性处理流程，将以图 2 所示类型的沟槽栅垂直功率 MOSFET 200 为背景更详细地描述本发明，但是如本领域的技术人员将了解到，可以将各种处理流程的所有部分与其它处理相结合以形成其它类型的功率器件。图 2 示出了示例性 n 型沟槽栅垂直功率 MOSFET 200 的一个实施例的部分的简化横截面图。在形成漏区的重掺杂的 n 型衬底 202 上布置外延区 206。由诸如多晶硅的导电材料形成的栅电极 130A 和 130B 以及栅极流道 132 被布置在各有源栅极沟槽 110A、110B 和栅极流道沟槽 112 内。优选地，将栅极流道沟槽制造得比有源栅极沟槽 110A、110B 宽，以形成到栅极流道沟槽 112 内的栅极流道 132 的电接触。在一个实施例中，栅极流道沟槽的宽度与有源栅极沟槽的宽度的比率在 2-20 范围之内。

[0039] 有源栅极沟槽 110A 和 110B 延伸通过 p 型体区 204 并终止在外延层 206 的漂移区中。因为有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112 都是使用这里描述的相同的掩蔽/蚀刻处理形成的，所以栅极流道沟槽 112 延伸至与有源栅极沟槽 110A 和 110B 大约相同的深度。然而，本领域的技术人员应当理解，虽然有源栅极沟槽 110A、110B 和栅极流道沟槽 112 是使用一个掩模同时形成的，但栅极流道沟槽可以比有源栅极沟槽延伸得稍深或稍浅，这取决于某些因素，如：有源栅极沟槽和栅极流道沟槽的开口的大小、有源栅极沟槽形成的密集程度、以及在各种制造处理中使用的蚀刻方法中的一般性差异。

[0040] 有源栅极沟槽 110A、110B、以及栅极流道沟槽 112 均排布有各种绝缘层，以将栅电极 130A 和 130B 以及栅极流道 132 与周围的硅区电隔离。通常，在与沟槽 110A 和 110B 相邻的 p 型体区 204 内通过掺杂形成 n 型源区 212。可以通过使用 n 型杂质到凹进的台面区的两端成角度的注入形成源区。n 型源区 212 和 p 型体区 204 限定了沿每个有源栅极沟槽 110A 和 110B 的侧壁垂直对准的电流传导通道。在相邻源区 212 之间的体区 204 中形成重体区 213。

[0041] 为了电连接所有的源区 212 和体区 204，在结构的表面上形成金属层 220。电介质层 224 将栅电极 130A 和 130B 与金属层 220 隔离。另一个金属层 222 用于电接触栅极流道 132。虽然被示为与有源栅极沟槽 110A 和 110B 平行，但如图 1A 至图 1D 所示，栅极流道沟槽 112 通常垂直于有源栅极沟槽 110A 和 110B 延伸。然而，本领域的技术人员可以看出，有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112 可以相对彼此放置在任何有利于使用的位置。

[0042] 多次重复图 2 的结构以形成沟槽栅垂直功率 MOSFET 200 的阵列，其中，他们的栅电极 130A、130B 通过一个或多个栅极流道 132 互连。接下来，将描述利用本发明的技术形成改进的沟槽栅结构的多个处理顺序。

[0043] 图 3A 至 3J 是示出形成具有栅极流道沟槽 112 的抛光后沟槽栅垂直场效应晶体管的示例性制造处理的简化横截面图。在图 3A 中，使用掩模 302 和传统的硅蚀刻技术，将有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112 蚀刻进硅区 102 中。掩模 302 可以是选择的诸如氧化物、氮化物、光阻材料、或它们的任何结合的硅蚀刻的掩模。在图 3B 中，使用诸如 SACVD 的传统技术，沉积填充有源栅极沟槽 110A、110B、并延伸进栅极流道沟槽 112 中以及台面区之上的电介质层 106（例如，包括厚度在 1500Å 到 6000Å 范围内的氧化层）。

[0044] 在图 3C 中，使用将硅用作 CMP 停止层的 CMP 处理，将硅 102 用作 CMP 停止层对电介质层 106 进行回抛光 (polish back)。从而将电介质层 106 从所有台面表面去除，同时有源栅极沟槽 110A 和 110B 仍保持填充有电介质 106。可以使用微负载结构来最小化栅极流道沟槽 112 中的电介质层在 CMP 处理中被去除的程度。以下将参考图 8 作更详细的讨论。在图 3D 中，使用掩模 313 保护栅极流道沟槽 112 中的电介质 106，执行传统的电介质蚀刻以使有源栅极沟槽 110A、110B 中的电介质 106 凹进预定深度，从而分别沿有源栅极沟槽 110A 和 110B 的底部形成厚底电介质 (TBD) 306A 和 306B。

[0045] 在图 3E 中，在去除掩模 313 后，通过例如硅的氧化沿所有暴露的硅表面形成栅极电介质层 310（例如，由氧化物形成）。然后，利用可选的原位掺杂形成填充有源栅极沟槽 110A、110B 以及栅极流道沟槽 112、并延伸至台面区之上的多晶硅层 120。虽然图

3E 示出了栅极流道沟槽 112 完全被多晶硅 120 填充,但是本发明并不限于此。取决于栅极流道沟槽的目标宽度和沉积的多晶硅 120 的目标厚度,栅极流道沟槽 112 可以被多晶硅完全填充,也可以不被多晶硅完全填充。然而,如果沉积的多晶硅 120 的目标厚度等于或大于栅极流道沟槽开口的深度,则多晶硅 120 将完全填充沟槽 112 而不管沟槽 112 的宽度如何。

[0046] 在图 3F 中,使用 CMP 处理,将栅极电介质 310 用作停止层对多晶硅层 120 进行回抛光。从而在去除台面区之上的多晶硅的同时,有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112 仍保持填充有多晶硅。在图 3G 中,使所有沟槽中的多晶硅凹进预定深度,从而在有源栅极沟槽 110A、110B 中形成栅电极 130A、130B,并在栅极流道沟槽 112 中形成栅极流道 132。在此蚀刻处理中,使多晶硅凹进少于在稍后的处理阶段中形成的源区的目标连接深度的深度,从而使得源区沿垂直维度与栅电极 130A、130B 重叠。

[0047] 在图 3H 中,形成诸如 TEOS(四乙基原硅酸盐)、PSG(磷硅酸盐玻璃)、BPSG(硼磷硅玻璃)、或 SOG(旋涂玻璃)的、填充有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112、并延伸至台面区之上的电介质或玻璃层 224。在图 3I 中,将硅 102 用作 CMP 停止层,使用 CMP 处理对电介质层 224 进行回抛光。从而,在去除延伸至台面表面之上的那部分栅极电介质 310 和电介质 224 的同时,有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112 的上部仍保持填充有电介质 224。这个阶段 CMP 的使用是有利的,因为其提供了高度平坦的表面以在其上应用金属层。

[0048] 在图 3J 中,使用传统的接触掩蔽/蚀刻处理在栅极流道沟槽中的电介质 224 中和其他必要区域中形成接触开口,接着通过传统的金属沉积和图案化形成金属层 220 和 222。金属层 220 将台面表面区连接在一起,并且金属层 222 通过之前在电介质层 224 中形成的接触开口接触栅极流道 132。

[0049] 可以将图 3A-3J 所示的处理顺序或它们的多个部分与其它处理步骤结合使用,以形成包括 MOSFET 和 IGBT 的各种沟槽栅功率器件以及以上参考的美国专利申请第 11/026276 中描述的很多其它沟槽栅器件。作为实例,可以将接下来的处理步骤结合在图 3A-3J 所示的处理顺序的不同阶段处,以形成 n 沟道 MOSFET。在这个实例中,硅区 102 是类似于图 2 所示的、在高掺杂的 n 型衬底之上形成的 n 型外延层。例如,通过在对应于图 3A 的步骤之前,将 p 型掺杂物注入到外延层来形成 P 型体区。紧接着对应于图 3G 的步骤之后,通过两端成角度地沿上沟槽侧壁将 n 型掺杂物注入暴露的硅中来形成高掺杂 n 型源区。紧接着对应于图 3I 的步骤之后,通过首先使暴露的硅表面凹进然后将 p 型掺杂物注入到凹进的硅区来形成重体区。执行硅凹进,使得凹进的硅具有锥形边缘,从而使之前形成的源区的多个部分保持完整。这种方法有利地致使了自对准于有源栅极沟槽的源区和体区的形成。

[0050] 图 4A-4J 是示出形成具有栅极流道沟槽的抛光后的沟槽栅场效应晶体管的另一个示例性制造处理的简化横截面图。在图 4A 中,使用掩模 402(例如,包括氧化物)和传统的硅蚀刻技术,将有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112 蚀刻进硅区 102 中。顺着有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112 的侧壁和底部、并延伸至掩模 402 之上形成薄硅层 404(例如,外延层)。

[0051] 在图 4B 中,形成约  $1500\text{\AA}$  至约  $6000\text{\AA}$  的、填充有源栅极沟槽 110A 和 110B、

并延伸至栅极流道沟槽 112 内和台面区之上的电介质层 406 (例如, 由氧化物形成)。在图 4C 中, 将硅层 404 用作 CMP 停止层, 使用 CMP 处理来对电介质层 406 进行回抛光。从而, 电介质层 406 保持在有源栅极沟槽 110A、110B 以及栅极流道沟槽 112 中, 但被从台面区之上去除。如之前的实施例, 可以使用微负载结构来最小化栅极流道沟槽 112 内的电介质层 406 的蚀刻。优选地, 用作 CMP 停止层的硅层 404 保护稍后自身也用作 CMP 停止层的掩模 402。

[0052] 在图 4D 中, 使用掩模 413 保护栅极流道沟槽 112 中的电介质 406, 执行传统的电介质蚀刻以使有源栅极沟槽 110A 和 110B 中的电介质层 406 凹进预定深度, 从而沿有源栅极沟槽的底部形成 TBD 406A 和 406B。在图 4E 中, 在去除掩模 413 之后, 沿有源栅极沟槽的侧壁及台面表面之上形成栅极电介质层 408 (例如, 通过硅的氧化)。栅极电介质层 408 和掩模 402 合并以在台面表面之上形成更厚的电介质层 403。取决于硅层 404 的厚度和用于形成栅极电介质 408 的处理, 硅层 404 可能没有完全被栅极电介质 408 耗尽。在那种情况下, 有必要使用硅蚀刻以保证没有硅层 404 的部分残留在台面区之上。

[0053] 然后, 形成填充所有沟槽并延伸至台面区之上的多晶硅层 410。可选的, 多晶硅层 410 可以与含磷的物质进行原位掺杂。虽然图 4E 示出了用多晶硅 410 填充栅极流道沟槽 112, 但本发明并不限于此。取决于栅极流道沟槽的目标宽度和沉积的多晶硅 120 的目标厚度, 栅极流道沟槽 112 可以完全或不完全填充多晶硅。

[0054] 在图 4F 中, 将栅极电介质 403 用作 CMP 停止层, 使用 CMP 处理对多晶硅层 410 进行回抛光。从而, 在去除台面区之上的多晶硅的同时, 有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112 仍保持填充有多晶硅。在图 4G 中, 使所有沟槽中的多晶硅凹进预定深度, 从而在有源栅极沟槽 110A 和 110B 中形成栅电极 130A、130B, 并在栅极流道沟槽 112 中形成栅极流道 132。

[0055] 在图 4H 中, 形成沿沟槽侧壁延伸、并延伸至台面表面、栅电极 130A 和 130B、栅极流道 132 之上的氮化硅层 ( $\text{Si}_3\text{N}_4$ ) 414。使用化学气相沉积 (CVD) 将氮化硅层 414 沉积约  $200 \text{ \AA}$  至约  $1000 \text{ \AA}$  的厚度。形成诸如 TEOS (四乙基原硅酸盐)、PSG (磷硅酸盐玻璃)、BPSG (硼磷硅玻璃)、或 SOG (旋涂玻璃) 的、填充有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112、并延伸至台面表面之上的电介质层或玻璃 418。在图 4I 中, 将氮化硅层 414 用作 CMP 停止层, 执行 CMP 处理以对电介质层 418 进行回抛光。在 CMP 处理之后, 电介质部分 418A、418B、以及 418C 保留在各沟槽中, 而电介质层 418 的延伸至台面区之上的那些部分被去除。

[0056] 在图 4J 中, 使用接触掩模, 形成通过电介质层 418C 的开口, 并去除与有源栅极沟槽 110A、110B 相邻的台面之上的氮化硅 414 和电介质 403、以及有源栅极沟槽中的电介质 418A、418B 的上部。然后, 沉积并图案化金属接触层, 以形成将台面表面电连接在一起的接触层 220 以及电接触栅极流道 132 的另一个接触层 222。

[0057] 图 5A 至 5J 是示出形成包括栅极流道沟槽 112 的平面化沟槽栅功率晶体管的另一个示例性制造处理的简化横截面图。与图 3A 和 4A 类似, 使用掩模 501, 执行传统的硅蚀刻, 以在硅区 102 中形成有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112。掩模 501 是氮化硅 502 和氧化物 504 的复合层 (bi-layer), 其中, 氮化硅 502 是上层。

[0058] 在图 5B 中, 形成厚度约  $1500 \text{ \AA}$  至约  $6000 \text{ \AA}$  的、填充有源栅极沟槽 110A 和

110B 并延伸至栅极流道沟槽 112 中以及台面区之上的电介质层 506(例如,由氧化物形成)。在图 5C 中,将掩模 501 的氮化物层 502 用作 CMP 停止层,使用 CMP 处理对电介质层 406 进行回抛光。因此,电介质层 506 保持在有源栅极沟槽 110A、110B 以及栅极流道沟槽 112 中,而被从台面区之上去除。如在之前的实施例中,可以使用微负载结构来最小化栅极流道沟槽 112 内的电介质层 506 的蚀刻。

[0059] 在图 5D 中,使用掩模 513 保护栅极流道沟槽 112 中的电介质 506,执行传统的电介质蚀刻使有源栅极沟槽 110A 和 110B 中的电介质层 506 凹进预定深度,从而沿有源栅极沟槽的底部形成 TBD506A 和 506B。在图 5E 中,在去除掩模 513 之后,沿有源栅极沟槽的侧壁形成栅极电介质层 508(例如,通过硅的氧化)。然后,形成填充所有沟槽并延伸至台面区之上的多晶硅层 510。虽然图 5E 示出栅极流道沟槽 112 完全填充了多晶硅 510,但本发明并不限于此。取决于栅极流道沟槽的目标宽度和沉积的多晶硅 510 的目标厚度,栅极流道沟槽 112 可以完全或不完全地填充多晶硅。

[0060] 在图 5F 中,将氮化物层 502 用作 CMP 停止层,使用 CMP 处理对多晶硅层 510 进行回抛光。从而,有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112 保持填充有多晶硅,而台面区之上的多晶硅被去除。在图 5G 中,使所有沟槽中的多晶硅凹进预定深度,从而在有源栅极沟槽 110A、110B 中形成栅电极 130A、130B,在栅极流道沟槽 112 中形成栅极流道 132。

[0061] 在图 5H 中,形成诸如 TEOS(四乙基原硅酸盐)、PSG(磷硅酸盐玻璃)、BPSG(硼磷硅玻璃)、或 SOG(旋涂玻璃)的、填充有源栅极沟槽 110A 和 110B 以及栅极流道沟槽 112 并延伸至台面表面之上的电介质层或玻璃 518。在图 5I 中,将氮化物层 502 用作 CMP 停止层,执行 CMP 处理,对电介质层 518 进行回抛光。在 CMP 处理之后,电介质部分 518A、518B、以及 518C 保持在各沟槽中而电介质层 518 的延伸至台面区之上的那些部分被去除。

[0062] 在图 5J 中,使用接触掩模,形成通过电介质层 518C 的开口,并去除与有源栅极沟槽 110A、110B 相邻的台面之上的氮化物层 502、电介质层 504、及有源栅极沟槽中的电介质 518A、518B 的上部。然后,沉积和图案化金属接触层,以形成将台面表面电连接在一起的接触层 220 以及电接触栅极流道 132 的另一个接触层 222。

[0063] 与图 3A-3J 所示的处理顺序类似,可以将图 4A-4J 和图 5A-5J 所示的两个处理顺序或它们的多个部分与其它处理相结合以形成各种沟槽栅功率器件。以上结合图 3A-3J 的实施例描述的形成体区、源区、以及重体区的示例性处理步骤也可以以类似于图 4A-4J 和 5A-5J 的处理实施例的方式结合以形成 MOSFET。

[0064] 虽然图 3A-3J、4A-4J、和 5A-5J 的处理顺序在三个处理阶段采用了 CMP,但本发明并不限于此。接下来是图 3A-3J、4A-4J、和 5A-5J 实施例的一些示例性的变化。在一个变化中,使用非 CMP 传统处理技术来形成厚底电介质 (TBD) 306A、306B、406A、406B、506A、以及 506B。在另一个变化中,使用非 CMP 传统处理技术来形成栅电极 130A、130B、以及 132。在又一个变化中,使用非 CMP 传统处理技术来形成电介质部 224、418A、418B、418C、518A、518B、和 518C。

[0065] 图 6A 至 6J 是示出根据本发明实施例的屏蔽栅极功率器件的制造处理的简化横截面图。图 6A 示出了具有使用单个掩蔽 / 蚀刻处理而蚀刻进硅区 102 中的有源栅极沟槽

110A 和 110B 以及屏蔽流道沟槽 110X 的硅区 102。在一个实施例中，同时形成栅极流道沟槽。在有源栅极沟槽 110A 和 110B 中、屏蔽流道沟槽 110X 中、以及台面区之上形成屏蔽电介质层 606。屏蔽电介质层 606 的厚度通常比稍后形成的栅极电介质（即，图 6H 中的层 617）的厚度更厚，并且在约 500 Å 至约 5000 Å 的范围中（具体取决于器件的额定电压）。通常，对于较高的额定电压，使用比较低的额定电压更厚的电介质。同样，更厚的屏蔽电介质 606 用于减少栅源极电容（gate to source capacitance）。在图 6A 中，为了说明的目的，示出的有源栅极沟槽 110A、110B 与屏蔽流道沟槽 110X 平行。在实际的器件中，以类似于图 1A 中的沟槽 112 垂直于有源栅极沟槽 110A、110B、110C 延伸的方式，屏蔽流道沟槽 110X 垂直于有源栅极沟槽 110A、110B 延伸。

[0066] 在图 6A 中，示出的屏蔽流道沟槽 110X 具有与有源栅极沟槽 110A、110B 相似的宽度，然而在一个实施例中，屏蔽流道沟槽 100X 比有源栅极沟槽宽。这样有利地消除当形成用于电接触屏蔽流道沟槽的源极金属的接触开口时，否则将在后序步骤中出现的光刻限制。屏蔽流道沟槽 100X 可能比有源栅极沟槽 110A、110B 宽 20% - 200%。类似地，在具有栅极流道沟槽的实施例中，将栅极流道沟槽形成得宽于有源栅极沟槽，以消除与形成使栅极金属接触栅极流道沟槽内的多晶硅栅极流道的接触开口有关的光刻限制。

[0067] 在图 6B 中，形成填充有源栅极沟槽 110A 和 110B 以及屏蔽流道沟槽 110X 并延伸至多个沟槽间的台面区之上的多晶硅层 608。一般，形成足够厚的多晶硅层 608 以保证充满有源栅极沟槽 110A 和 110B 以及屏蔽流道沟槽 110X 而不用过度地增加下次执行多晶硅 CMP 处理的时间。在图 6C 中，将电介质层 606 用作 CMP 停止层，对多晶硅层 608 进行回抛光。优选地，在此处理点处使用 CMP 将多晶硅完全从衬底 102 的表面去除，以防止在传统的蚀刻处理之后残留的作为多晶硅膜的多个块的“长条”的形成。

[0068] 在图 6C 中，示出了保持在三个沟槽中的轻微凹进的多晶硅。这样用以消除在屏蔽流道电极 610 不凹进的情况下屏蔽流道沟槽 110X 的上拐角处出现的局部应力。在一个实施例中，通过执行被称为刻意的盘式 CMP (intentional dish CMP，即在暴露电介质 606 之后将 CMP 处理持续一段的短时间) 的处理来实现凹进。在可选的实施例中，当暴露电介质 606 后，将多晶硅分时蚀刻期望的凹进深度时停止 CMP。凹进深度可基本等于或稍大于屏蔽电介质 606 的厚度。

[0069] 在图 6D 中，使用掩模 611 保护屏蔽流道电极 610，同时执行多晶硅蚀刻以使有源栅极沟槽 110A、110B 中的多晶硅凹进预定深度。从而，在有源沟槽的下部形成屏蔽电极 608A 和 608B。优选地，电介质层 606 以比多晶硅层 608 慢得多的速率蚀刻，以可控地形成屏蔽电极 608A 和 608B。屏蔽电极 608A 和 608B 的可控形成提供了相关于屏蔽电极 608A 和 608B 的电特性的控制。例如，屏蔽电极 608A 和 608B 可以在厚度上确定大小，以降低在栅电极 130A 和 130B (图 6J) 与漏区之间的电容。

[0070] 在图 6E 中，形成填充有源栅极沟槽 110A、110B 并延伸至台面区和屏蔽流道沟槽 110X 之上的电介质层 612。在图 6F 中，在有源栅极沟槽仍保持填充有电介质材料 612A、612B，流道沟槽 110X 仍保持填充有电介质材料 612X 的同时，使用 CMP 处理从台面区之上去除电介质层 612。在一个实施例中，电介质层 612 包括沉积的氧化物，并且电介质层 606 包括用作 CMP 处理的停止层的热氧化物。可选地，可以使用硅 102 作为停

止层。

[0071] 在图 6G 中, 在回蚀刻 (etch back) 所有暴露的电介质从而形成多晶硅层间电介质层 (IPD) 612A 和 612B 时, 掩模层 614 保护屏蔽的流道沟槽 110X 和与其相邻的台面表面。使用 IPD 层 612A 和 612B 将屏蔽电极 608A、608B 与在稍后的阶段中形成在其上的他们各自的栅电极 130A 和 130B 相隔离。蚀刻处理还从有源栅极沟槽 110A 和 110B 的侧壁以及相邻的暴露出的台面表面去除电介质层 606。必须仔细考虑掩模 614 在屏蔽流道沟槽和有源栅极沟槽 110B 之间的台面表面上堆叠的程度。第一, 该堆叠必须允许有足够的台面表面, 以在稍后能为硅 102 制作合适的源极接触 (参见图 6J 中标记为 611 的接触区)。第二, 掩模 614 需要与台面区充分堆叠, 以使沿屏蔽流道电极 610 的垂直壁的、与屏蔽流道沟槽交叉的部分保持足够厚的电介质层 612 部分。此电介质层 612 的垂直延伸部分用于将屏蔽流道电极 610 与交叉区的栅电极 130A、130B 隔离。

[0072] 用于制造 IPD 层 612A 和 612B 的质量、厚度、及方法影响了屏蔽栅极功率器件的关于诸如漏极-栅极电荷 (Qgd)、漏源极间电阻 (Rdson)、栅源极电流 (gate to source current, Igss) 等值的电特性。在以上参考的美国专利申请第 11/026276 中, 在公开的 IPD 层和上覆栅电极的各种非 CMP 方法中考虑了这些和其它因素。优选地, 可以将这些方法中的一个或多个方法与图 6A-6J 的实施例结合, 以形成具有更优特性的 IPD 层。

[0073] 在图 6H 中, 在去除掩模 614 之前, 使用传统的技术沿有源栅极沟槽 110A 和 110B 的暴露的侧壁和在相邻的台面表面上形成栅极电介质层 617。然后, 在有源栅极沟槽 110A 和 110B 中、屏蔽流道沟槽 110X 的顶部上、以及台面区之上形成多晶硅层 616。在图 6I 中, 将电介质层 606 用作停止层执行 CMP 处理, 随后轻微过蚀刻多晶硅以从台面表面去除多晶硅, 从而在有源栅极沟槽中形成栅电极 130A 和 130B。可选地, 使用硅 102 作为停止层。在另一个实施例中, 为了降低处理成本, 可使用传统的蚀刻技术对多晶硅层 616 进行回蚀刻, 从而省去 CMP 步骤。

[0074] 在图 6J 中, 在有源栅极沟槽 110A 和 110B 之上形成绝缘盖 (insulating cap) 618A 和 618B, 并使用传统的光刻和蚀刻技术在屏蔽流道沟槽 110X 和它的相邻台面区之上形成绝缘层 618C。绝缘层 618A、618B、618C 可包括 TEOS、PSG、BPSG、或 SOG 等中的一个或多个。然后, 形成金属接触层 620, 以电接触暴露的台面表面。绝缘层 618A、618B、618C 将金属接触层 620 与栅电极 130A 和 130B 隔离。在一个实施例中, 屏蔽流道电极 610 形成部分终止结构, 并在台面区中形成体区、源区以及重体区, 沿第三维度通过金属层 620 将屏蔽流道电极 610 电连接至源区和体区。在可选实施例中, 屏蔽流道电极 610 不连接任何终端, 因此允许漂移。在图 6JJ 所示的又一个实施例中, 执行有关于形成介质盖 618A、618B 以及电介质 618C 的光刻和蚀刻步骤, 从而去除部分电介质 612X, 以暴露所示的屏蔽流道电极 610 的表面区。这使屏蔽流道电极 610 直接连接到金属层 620。并且, 沿屏蔽流道沟槽 110X 的上右拐角留下部分电介质 612X 有助于防止在该区的源极向漏极的泄露。应当注意在图 6JJ 的实施例中, 更宽的屏蔽流道沟槽 110X 保证了在金属层 620 和屏蔽流道电极 610 之间适当的接触。

[0075] 在实施例中, 栅极流道沟槽也包括在器件中, 栅极流道沟槽的结构及其内部层与有源栅极沟槽的结构及其内部层相同。即, 栅极流道沟槽包括类似于 606 的屏蔽电介质、类似于 608A 和 608B 的屏蔽电极、类似于 612A 和 612B 的 IPD 层、类似于 617 的栅

极电介质层、以及类似于 130A 和 130B 的栅电极。使用图 6J 同样的处理和掩蔽步骤，在栅极流道沟槽中的栅电极之上形成接触开口，然后可以使用金属层（与金属层 620 隔离）电接触栅极流道沟槽中的栅电极。因此，栅极流道沟槽的包含不需要除图 6A-6J 所示的那些步骤之外而任何附加的步骤。

[0076] 在一个实施例中，器件被以这样的模块化方式放置：屏蔽流道沟槽沿冲模的一侧延伸，栅极流道沟槽沿冲模的相对侧延伸，有源栅极沟槽在以上二者之间延伸。在这种布局结构中，屏蔽流道沟槽和栅极流道沟槽彼此平行但垂直于有源栅极沟槽延伸。假设屏蔽流道沟槽沿冲模的左侧延伸而栅极流道沟槽沿冲模的右侧延伸，则有源栅极沟槽中的屏蔽电极将从左向右延伸并沿冲模的右侧电接触屏蔽流道电极 610，而主动栅极沟槽中的栅电极将从右向左延伸并沿冲模的左侧电接触栅极流道沟槽中的栅电极。

[0077] 在形成包括以上参考的美国专利申请第 11/026276 号中描述的很多沟槽栅结构的各种沟槽栅功率器件的过程中，可使用图 6A-6J、6JJ 所示的处理顺序。在一个实施例中，以上结合图 3A-3J 实施例描述的用于形成体区、源区、以及重体区的示例性处理步骤可以以类似于图 6A-6J、6JJ 的处理实施例及其变化的方式结合，以形成屏蔽栅极 MOSFET。在可选实施例中，这些区如下形成。由于在高掺杂的 n 型衬底之上形成作为 n 型外延层的硅区 102，所以在图 6I 中的多晶硅的抛光之后，通过将 p 型掺杂物注入到外延层中在台面区中形成 p 型体区。采样掩蔽 / 注入处理，在与每个有源栅极沟槽相邻的体区中形成 n 型源区。在形成介质盖 618A、618B（图 6J）之后、在形成金属层 618B 之前，通过将 p 型掺杂物注入到体区的暴露表面来在体区中形成重体区。

[0078] 虽然图 6A-6J 实施例的方法在处理的三个阶段使用了 CMP，但是本发明并不限于此。接下来是图 6A-6J 实施例的一些示例性的变化。在一个变化中，使用非 CMP 传统掩蔽和蚀刻处理形成栅电极 130A、130B。如此可使用栅电极来实现终止结构。在另一个变化中，使用非 CMP 传统技术或以上参考的美国专利申请第 11/026276 中描述的技术形成 IPD 层和栅电极。在又一个变化中，使用非 CMP 传统技术或以上参考的美国专利申请第 11/026276 中描述的技术中的任何一种技术形成屏蔽电极 608A、608B。

[0079] 在所有上述实施例中，单个的掩蔽 / 蚀刻步骤用于同时形成有源栅极沟槽和栅极流道沟槽以及 / 或屏蔽流道沟槽，以消除在传统的多个掩蔽 / 蚀刻步骤中出现的从有源栅极沟槽到栅极流道沟槽的过渡区中的未对准问题。然而，根据图 7A 和 7B 所示的本发明的另一实施例，在形成有源栅极沟槽和栅极流道沟槽和 / 或屏蔽流道沟槽的过程中，执行两个屏蔽 / 蚀刻步骤，以使在过渡区不出现未对准问题。

[0080] 在图 7A 中，使用第一掩模 702 限定有源栅极沟槽和栅极流道沟槽（以及如果需要还有屏蔽流道 / 终止沟槽）的开口。然后，执行第一硅蚀刻，以通过第一掩模 702 中的开口蚀刻硅，从而形成延伸与栅极流道（或屏蔽流道）沟槽 712 相同深度的有源栅极沟槽 710A、710B。在图 7B 中，使用第二掩模 703 覆盖栅极流道沟槽 712（和 / 或屏蔽流道 / 终止沟槽），并执行第二蚀刻以将有源栅极沟槽 710A、710B 延伸至它们的最终目标深度。这个实施例在有源栅极沟槽需要延伸至比正常深度更深的器件中尤其有用，如在诸如图 6A-6J 中所示的屏蔽栅极结构或更高电压的器件中。为了保持栅极流道沟槽浅，需要在填充栅极流道沟槽时具有更薄的膜。更薄的膜又需要更短的蚀刻和 / 或 CMP 处理。在图 3A-3J、4A-4J、5A-5J、以及 6A-6J 和所示的处理顺序和它们的变化中，可用

图 7A-7B 所示的两个屏蔽 / 蚀刻步骤代替对应于图 3A、4A、5A、以及 6A 的步骤。

[0081] 在这里描述的所有各种处理顺序中, 使用传统技术形成顶层金属层。然而, 在一个实施例中, 使用 CMP 处理形成高度平坦的顶层金属层。这在使用倒装晶片封装或可软焊的器件技术的应用中有利。图 4A-4J 的处理顺序的变化将用于描述形成平坦的顶层金属的两种技术, 然而, 这里描述的所有其它的处理顺序和它们的明显变化可以修改为以类似的方式结合任意两种技术。

[0082] 将使用代替对应于图 4A-4J 的处理顺序中的图 4H-4J 的处理步骤的由图 8A-8D 所示的处理步骤描述第一种技术。在图 8A 中, 电介质层 818 是包括上覆 BPSG 层的氮化物层或氮氧化物层的复合层, 下面的电介质层 814 包括低温氧化物 (LTO)。在可选的实施例中, 复合层 818 包括聚酰亚胺层, 该层在顶层氮化物或氮氧化物层的顶层形成或代替顶层氮化物或氮氧化物层形成。在图 8B 中, 执行传统的光刻和蚀刻步骤, 以图案化和蚀刻电介质层 818 以及它的下层电介质层 814 和 803 直到到达硅, 从而形成所示的接触开口。

[0083] 在图 8C 和 8D 中, 沉积金属层 820, 然后将电介质层 818C、818D 作为 CMP 停止层对金属层进行回抛光。形成通过电介质层 818C 彼此隔离的源极金属层 220 和栅极流道金属 222, 从而获得基本平坦的表面。在一个实施例中, 金属层 220、222 包括铜和用以防止铜迁移的诸如钽或氮化钽的阻挡金属 (barrier metal) 下层。在另一个实施例中, 金属层 220、222 包括铝和降低硅 - 金属的接触电阻的诸如钽、氮化钽或钴的下层阻挡金属。

[0084] 第二种技术涉及形成两个金属层, 并将使用代替对应于图 4A-4J 中的图 4J 的处理步骤的图 9A-9D 所示的处理步骤来进行描述。在完成了对应于图 4I 的处理步骤之后, 执行对应于图 9A 的处理步骤。在图 9A 中, 执行传统的光刻和蚀刻技术, 以图案化和蚀刻电介质层 918、914 以及 903 直到到达硅, 从而形成所示的接触开口。然后, 沉积填充接触开口并延伸至剩余的电介质部分之上的第一金属层 919。在图 9B 中, 将电介质层 914 用作 CMP 停止层, 使用 CMP 对第一金属层 919 进行回抛光。从而, 以基本平坦的方式形成源极金属接触层的第一层 220 和栅极流道金属接触层的第一层 222。金属层 220 和 222 相对较薄 (例如, 约 5000-20000Å 厚)。

[0085] 在图 9C 中, 形成包括氮化物或氧氮化物的电介质层 920, 并使用传统的光刻和蚀刻步骤对其进行图案化和蚀刻, 从而形成所示的电介质层 920 中的接触开口。然后, 沉积填充由电介质部分 920A、920B 形成的接触开口的第二金属层 922。在图 9D 中, 将电介质层 920A、920B 作为 CMP 停止层, 使用 CMP 对第二金属层 922 进行回抛光。从而, 以如图 9D 所示的高度平坦的方式形成包括两个金属层 220 和 922A 的源极金属接触层、以及包括两个金属层 222 和 922B 的栅极流道金属接触层。在一个实施例中, 金属层 922 包括铜和用以防止铜迁移的诸如钽或氮化钽的阻挡金属下层。在另一个实施例中, 金属层 922 包括铝和用以降低金属与硅的接触电阻的诸如钽、氮化钽、或钴等的下层阻挡金属。

[0086] 在图 9A-9D 的处理顺序中, 使用 CMP 形成两个金属层。在图 10A 到 10C 所示的可选实施例中, 如接下来描述的, 只使用 CMP 形成上层金属层。由图 10A-10C 代替对应于图 4A-4J 的处理顺序中的图 4J 的处理步骤。图 10A 对应于图 4J, 并且源极接触层

的第一金属层 220 和栅极流道接触层的第一金属层 222 以类似于图 4J 中的金属层部分 220 和 222 的方式形成。在图 10B 中, 形成包括氮或氮氧化物的电介质层 1020, 然后使用传统光刻和蚀刻步骤对其进行图案化和蚀刻, 从而在所示出的电介质层 1020 中形成接触开口。然后, 沉积填充由电介质部 1020A、1020B 形成的接触开口的第二金属层 1026。

[0087] 在图 10C 中, 将电介质层 1020A、1020B 作为 CMP 停止层, 使用 CMP 对第二金属层 1026 进行回抛光。如图 10C 所示, 以平坦方式形成包括两个金属层 220 和 1026A 的源极金属层、和包括两个金属层 222 和 1026B 的栅极流道金属接触层。在一个实施例中, 金属层 1026 包括铜和用以防止铜迁移的诸如钽或氮化钽的阻挡金属下层。在另一个实施例中, 金属层 1026 包括铝和用以降低金属与硅的接触电阻的诸如钽、氮化钽、或钴的下层阻挡金属。

[0088] 图 11 是示出沟槽栅垂直功率 MOSFET 阵列和 CMP 微负载结构 1102、1104 以及位于衬底上的可选虚沟槽 (dummy trench) 1106 (例如, 不用于有源器件的沟槽) 的冲模部分的简化顶视图。在 CMP 处理期间, 腐蚀性的化学泥浆 (通常指胶体) 与直径尺寸比处理中的晶片大的旋转抛光垫 (未示出) 一起使用, 以对晶片的表面进行抛光。通常, 在关于光刻的处理期间, 抛光垫会趋于稍微弯曲。由于晶片表面通常有大量台面和沟槽, 因此台面区之间的较大的沟槽区通常会允许抛光垫弯曲。抛光垫的弯曲导致抛光垫对某些表面的抛光比对另一些表面的抛光多, 从而致使晶片表面的形貌发生变化。这种形貌的变化导致器件制造发生变化, 因此器件性能发生变化。在一个实施例中, 如图 11 所示的, 将多个可选的 CMP 微负载结构 1102 (硅柱) 布置在沟槽区、将硅岛 (island) 1104 布置在栅极流道 1132 中、以及将虚沟槽 (例如, 非有源栅极沟槽) 1106 布置在晶片上以帮助横越被平坦化的衬底的表面传播抛光力。因此, 根据本发明, 微负载结构 1102、岛 1104、以及虚沟槽 1106 为 CMP 旋转表面提供了均匀的表面轮廓, 改善了 CMP 处理的精确性。

[0089] 在可选的实施例中, 具有微负载结构 1102 的外部沟槽区如下修改。不是形成宽沟槽, 而是形成多个分别都具有等于或小于 (例如, 系数 3) 有源栅极沟槽尺寸的尺寸的沟槽。该多个沟槽可以垂直或水平地, 也可以弯曲地, 或以它们的任意组合地延伸。这种微负载结构防止了在同时形成窄沟槽和宽沟槽时宽沟槽中的通称为“硅草” (silicon grass) (即, 薄硅柱) 的形成。如果没有适当地处理, 硅草可能导致泄露或其它相关处理 / 器件的失效。进一步地, 当在图 11 中每隔 5 个有源栅极沟槽形成岛 1104 时, 相邻岛 1104 之间的间隔被减少到, 例如, 间隔每 2-3 个有源栅极沟槽。

[0090] 在此描述的示例性处理顺序中, CMP 用于在沟槽中形成各种层。虽然没有提供 CMP 处理的全部细节, 但是这些 CMP 技术和处理在本领域是众所周知的。鉴于本公开, 对于本领域的技术人员来说, 由于本文所述的特定结构和 / 或处理顺序而必需的对已知 CMP 技术的必要修改是显而易见的。

[0091] 优选地, 以上描述的本发明的各种实施例, 尤其是用于形成有源栅极沟槽和栅极流道沟槽的技术可与以上参考的共同转让的美国专利申请第 11/026276 中非常详细地描述的各种功率器件和处理技术相结合。

[0092] 虽然以上提供了本发明的各种实施例的详细描述, 但是很多选择、修改、以及同等物都是可能的。例如, 这里以 MOSFET 为背景描述的许多集成的形成技术可用于其

它类型的处理技术以制造半导体结构。此外，应当理解这里提供的用以描述各种尺寸、能量等级、掺杂浓度、以及不同的半导体层或绝缘层的所有数字的实例和材料类型都仅用于说明。而且，这里描述的实施例中的一个或多个电介质层可能包括低 k 或高 k 电介质材料。例如，在第一次多晶硅沉积之前形成的一个或多个电介质层可能包括高 k 电介质材料，而在最后的多晶硅沉积之后形成的一个或多个电介质层可能包括低 k 电介质材料。由于此或其它原因，所以以上描述不应该被认为是限制本发明的范围，而是由所附权利要求书定义本发明。

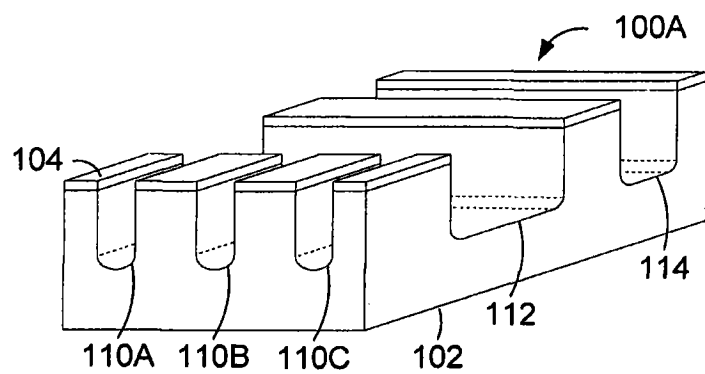


图 1A

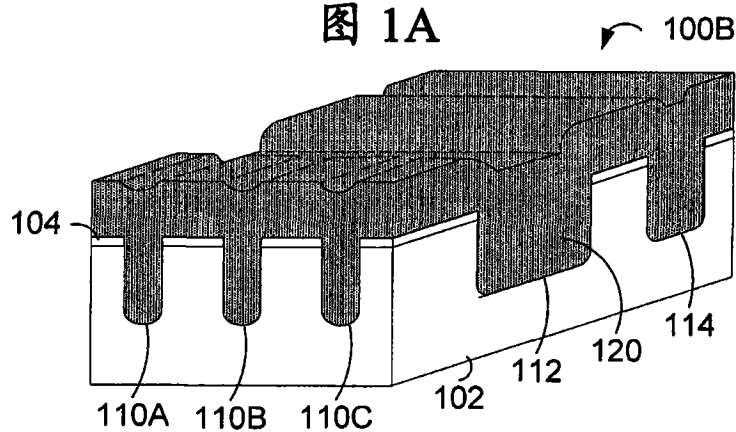


图 1B

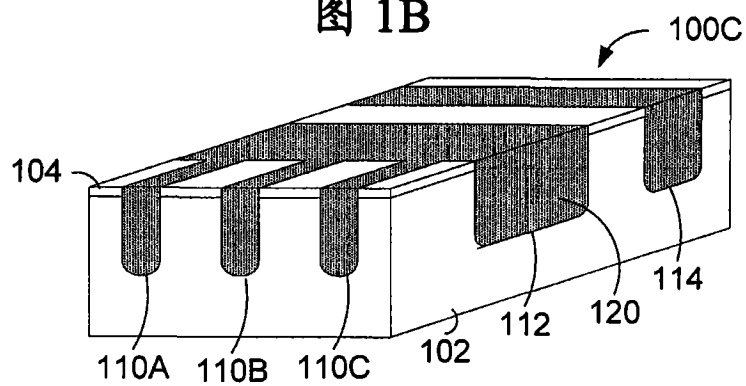


图 1C

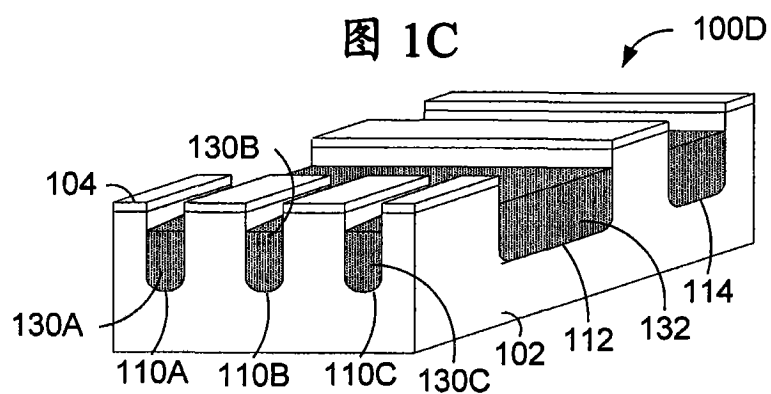


图 1D

图 1

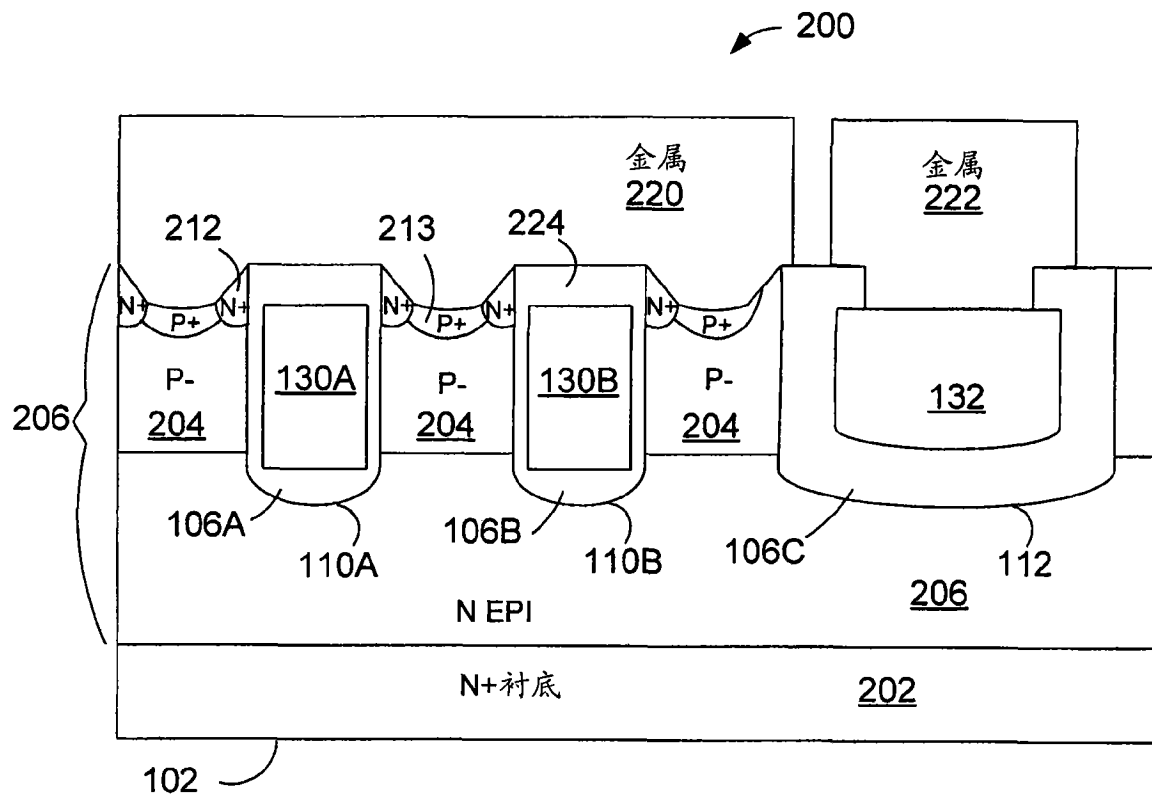


图 2

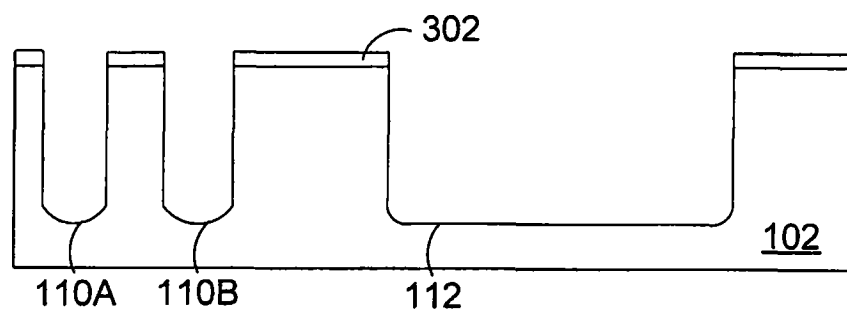


图 3A

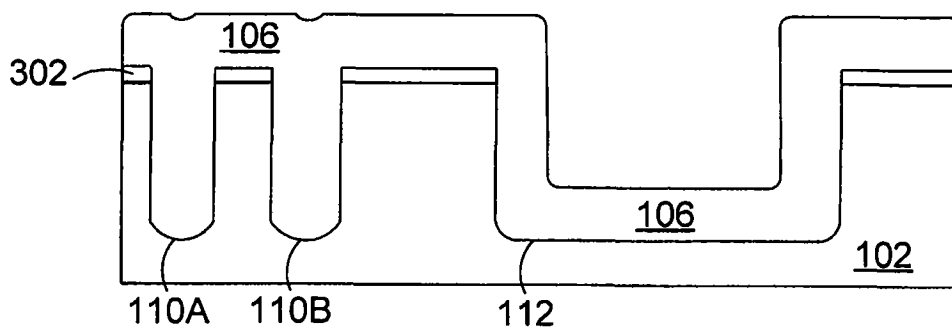


图 3B

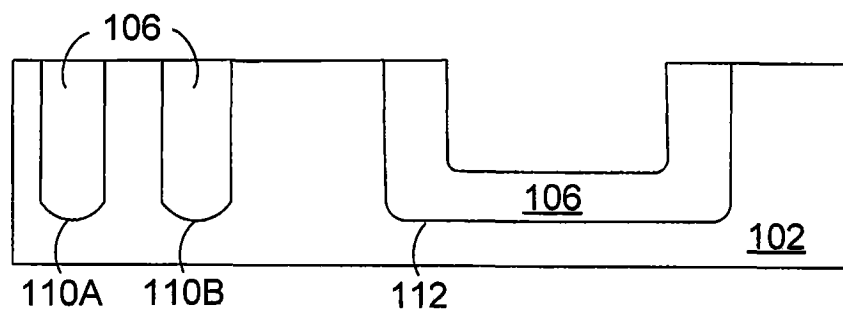


图 3C

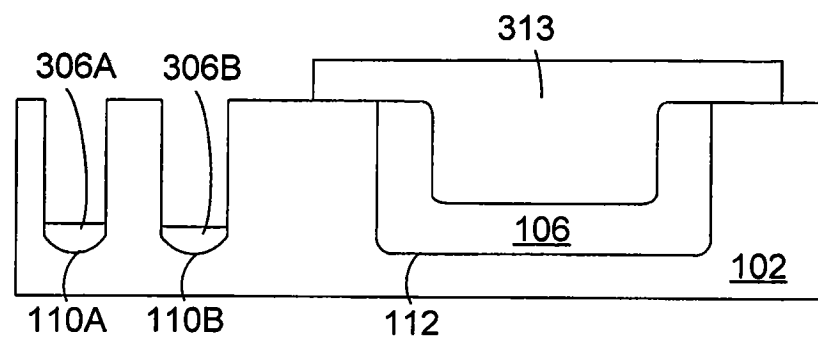


图 3D

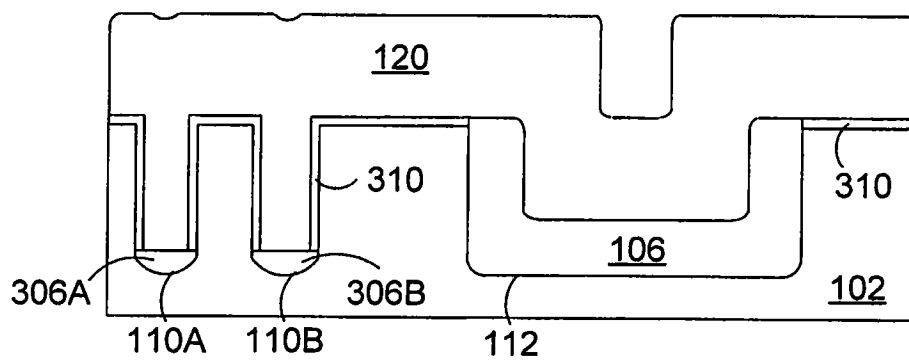


图 3E

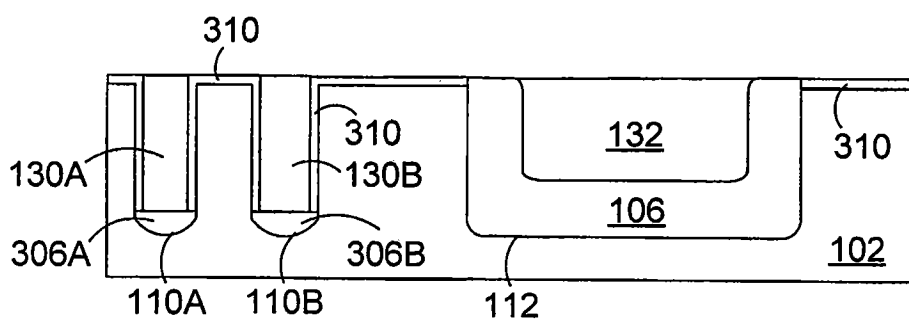


图 3F

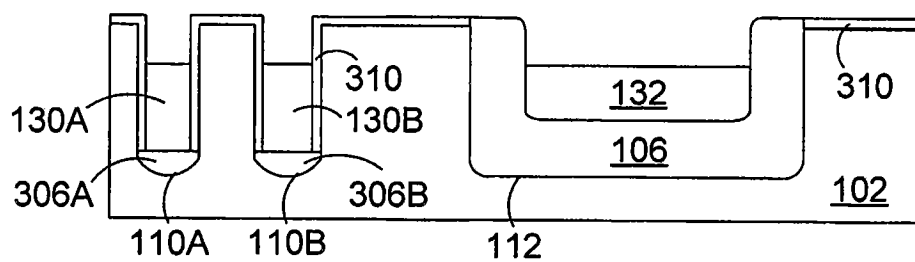


图 3G

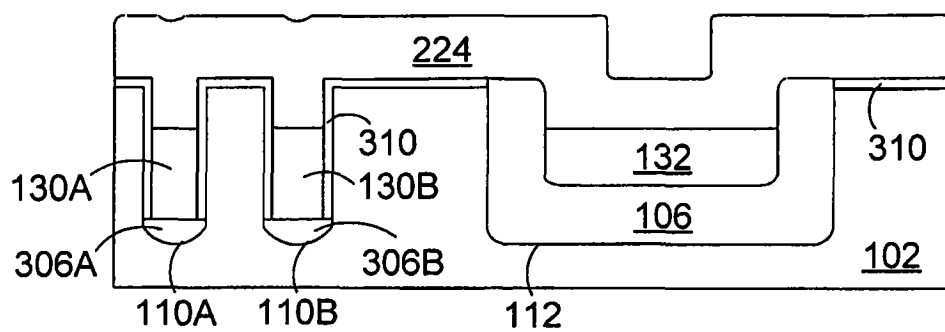


图 3H

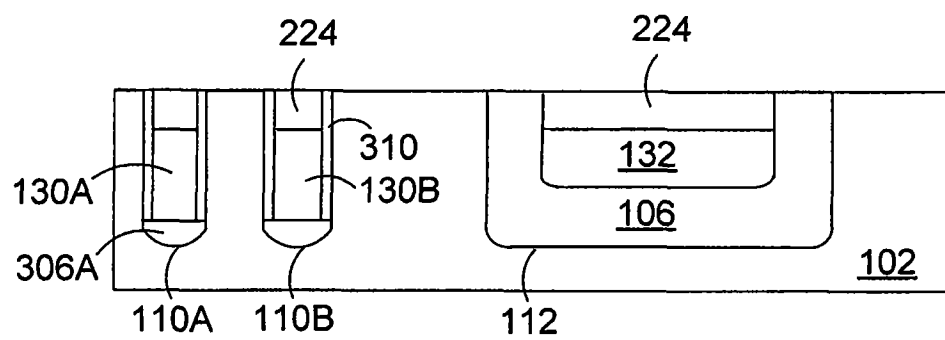


图 3I

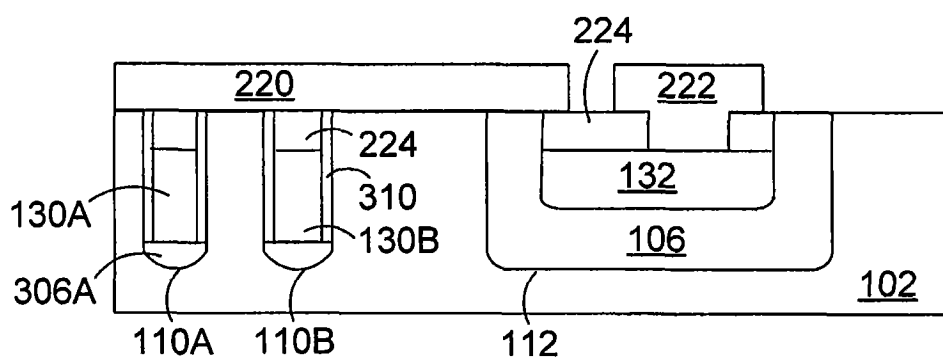


图 3J

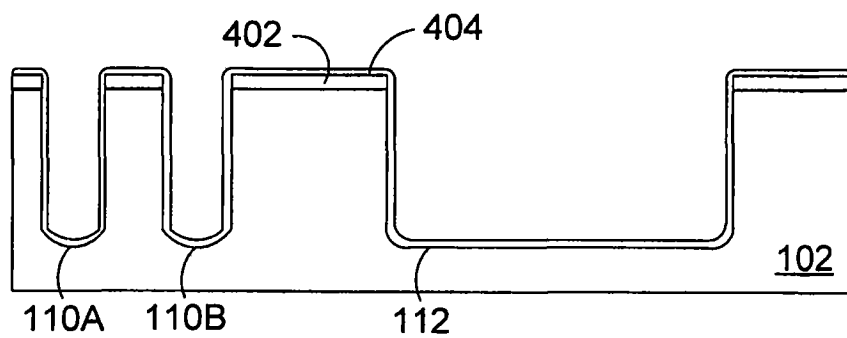


图 4A

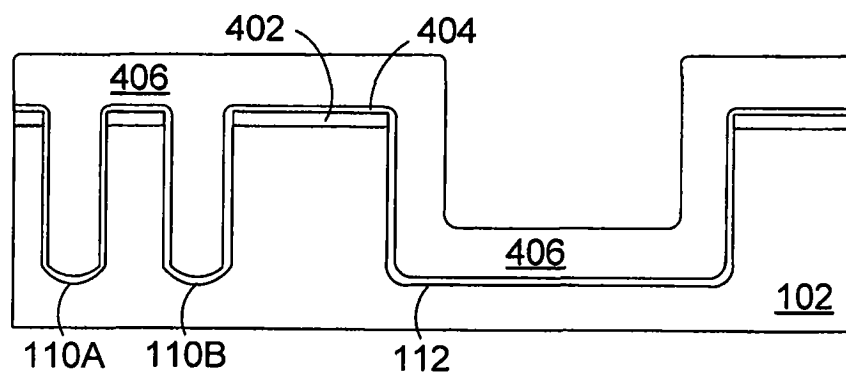


图 4B

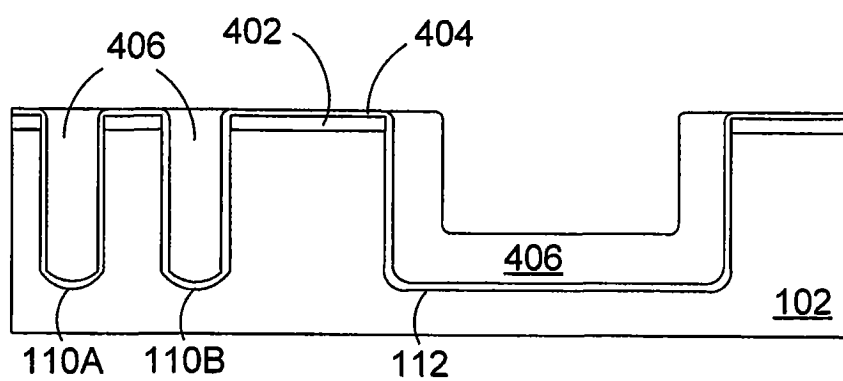


图 4C

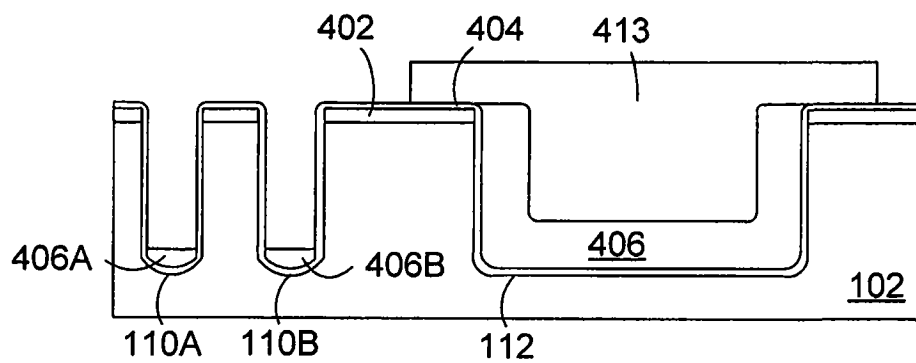


图 4D

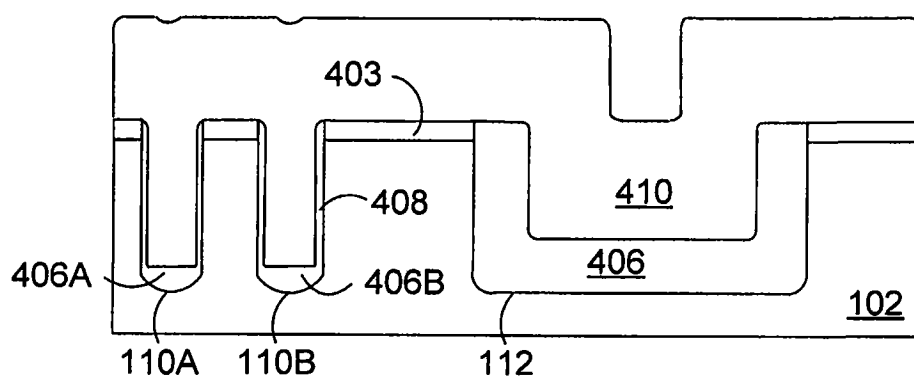


图 4E

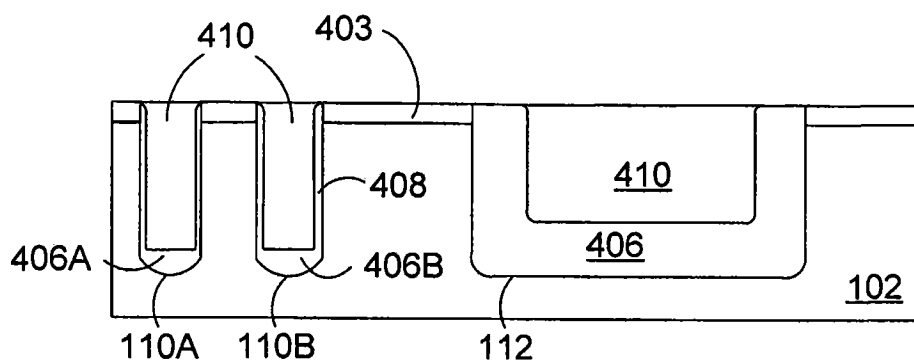


图 4F

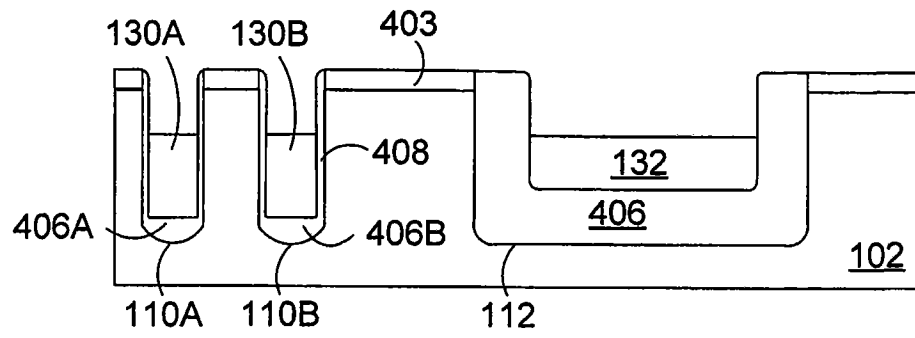


图 4G

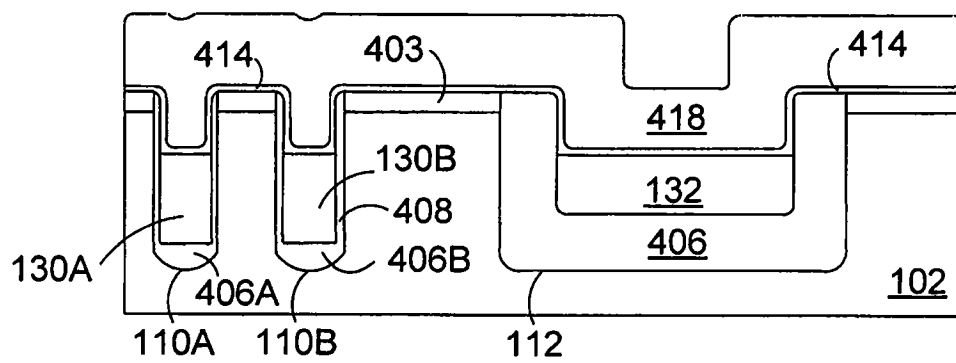


图 4H

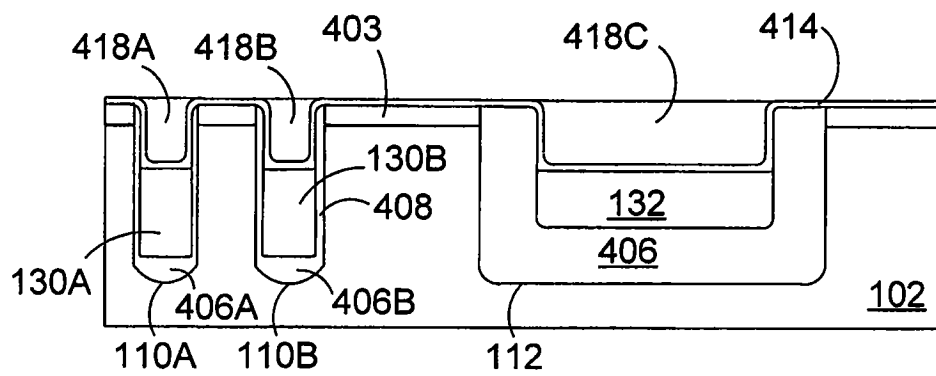


图 4I

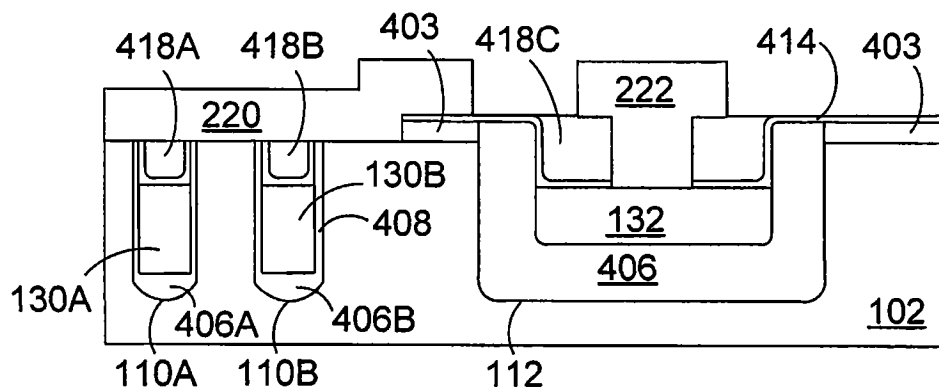


图 4J

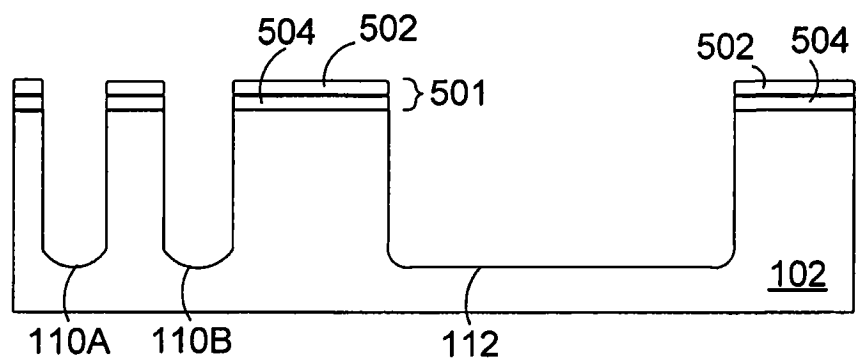


图 5A

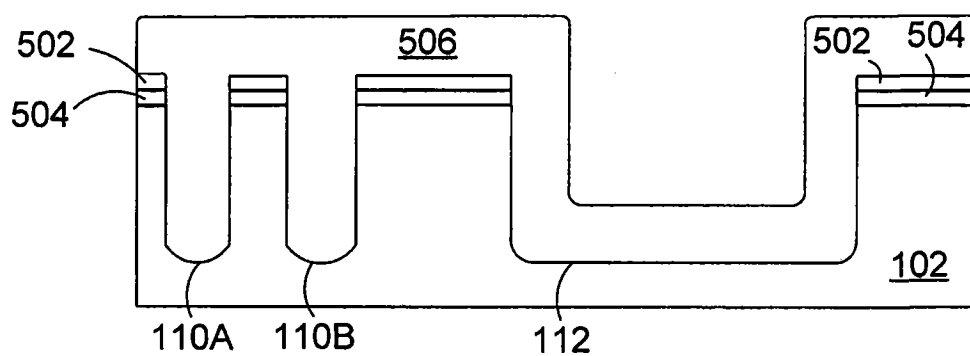


图 5B

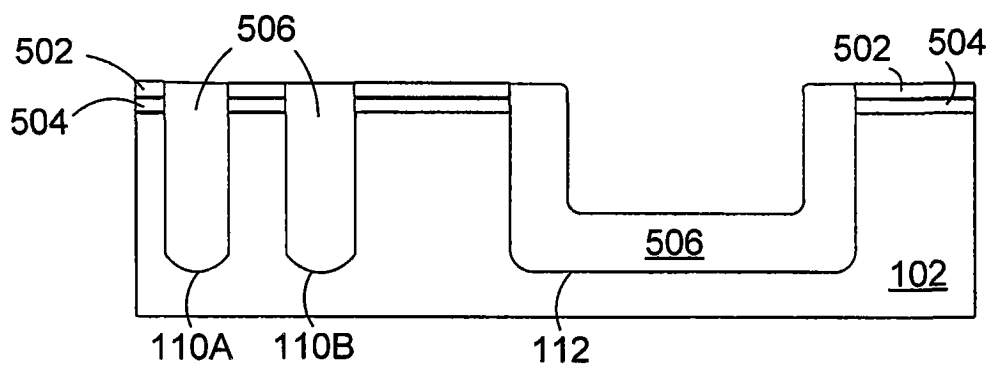


图 5C

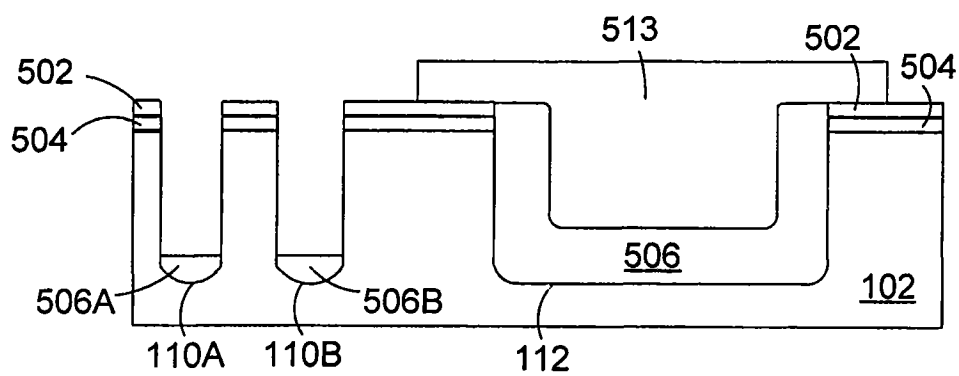


图 5D

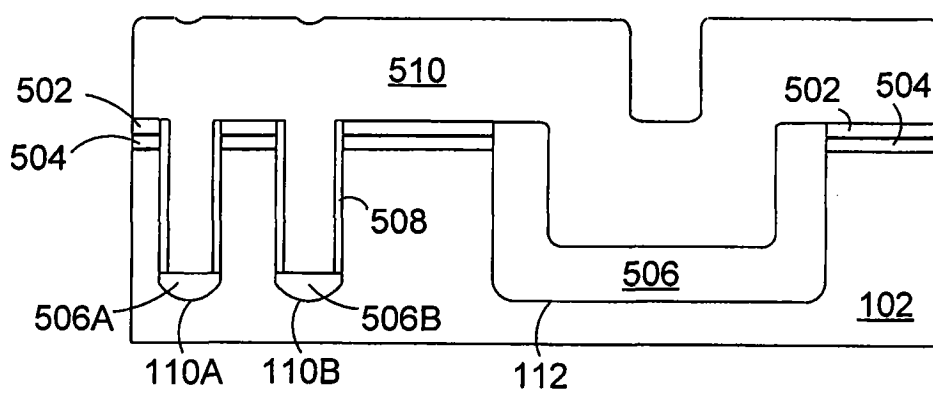


图 5E

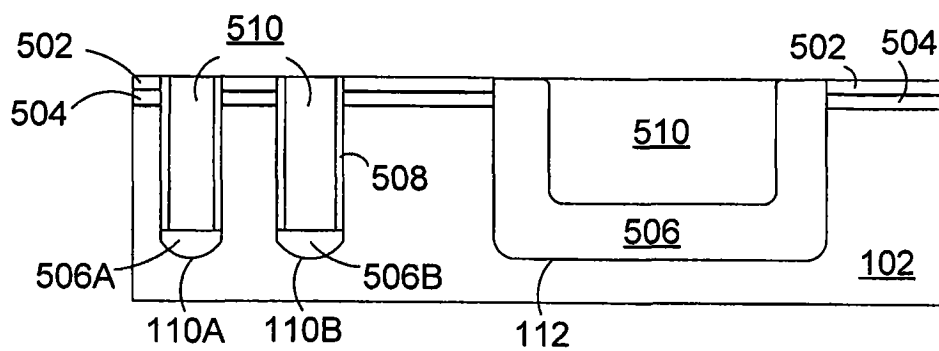


图 5F

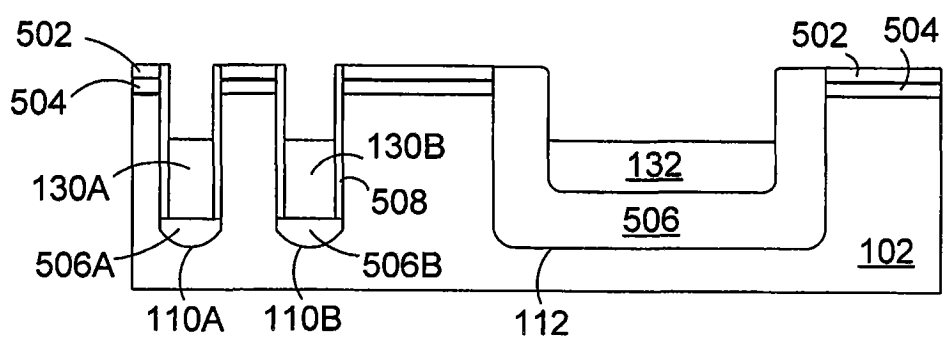


图 5G

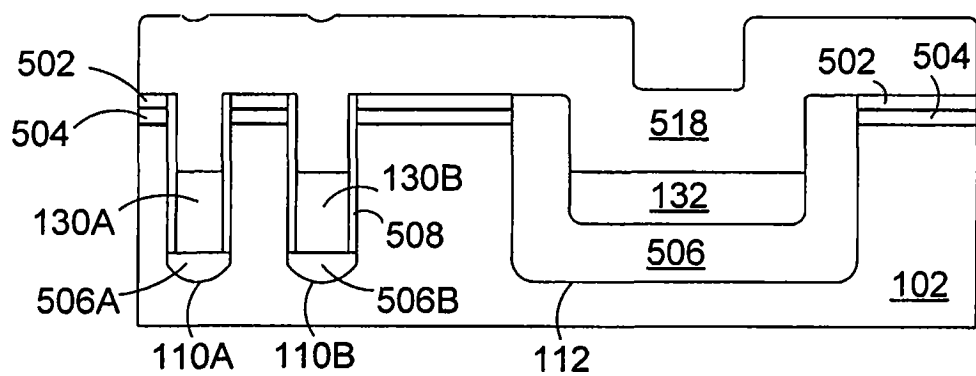


图 5H

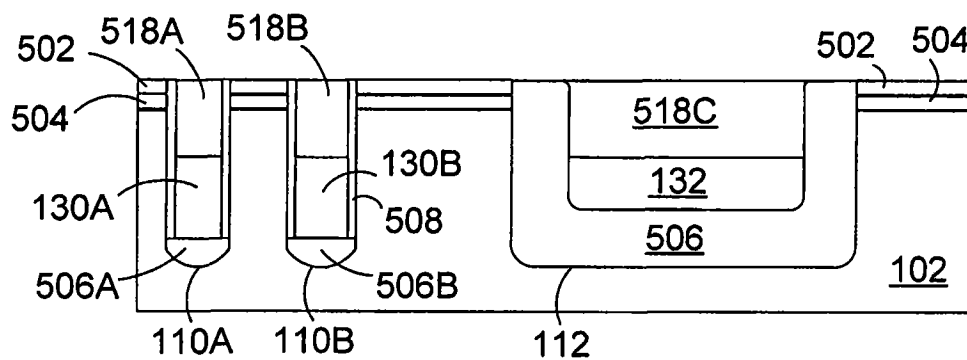


图 5I

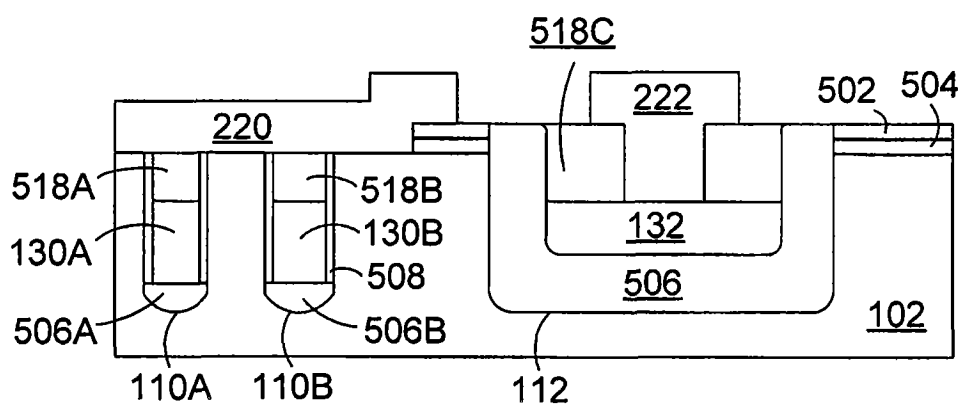


图 5J

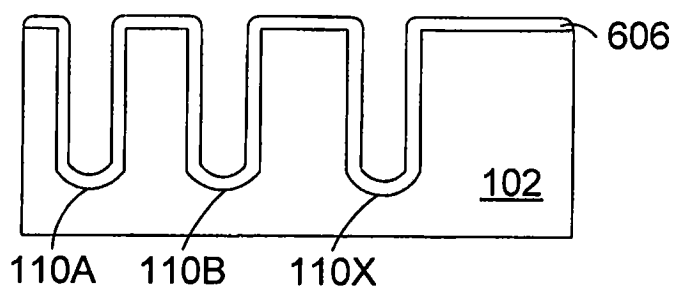


图 6A

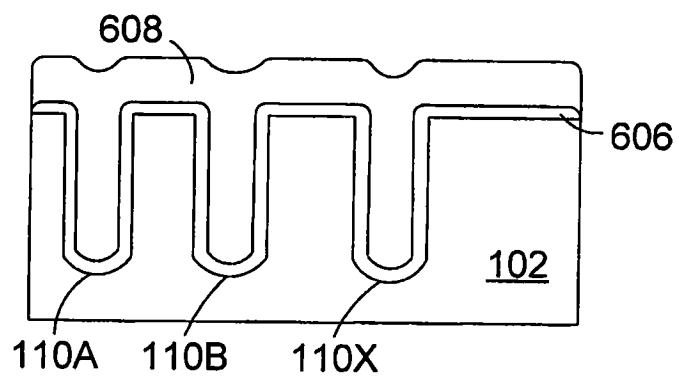


图 6B

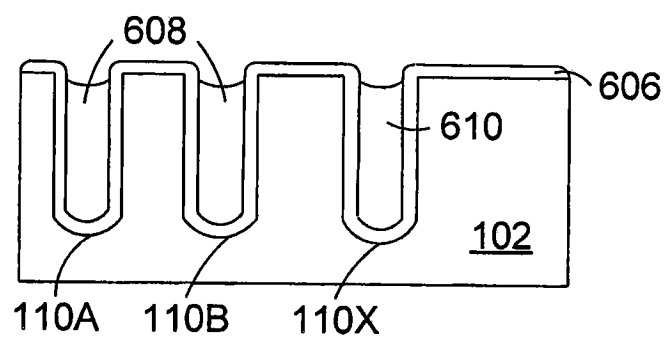


图 6C

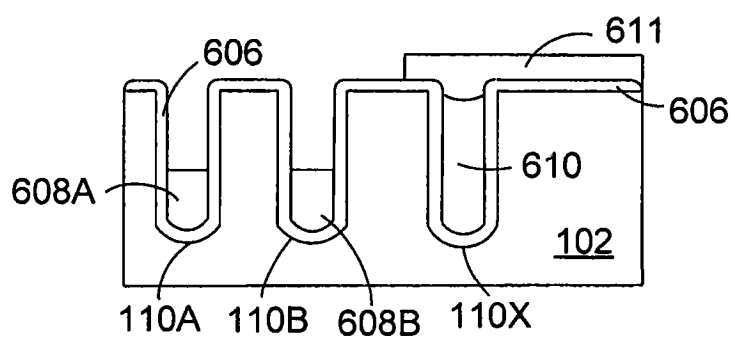


图 6D

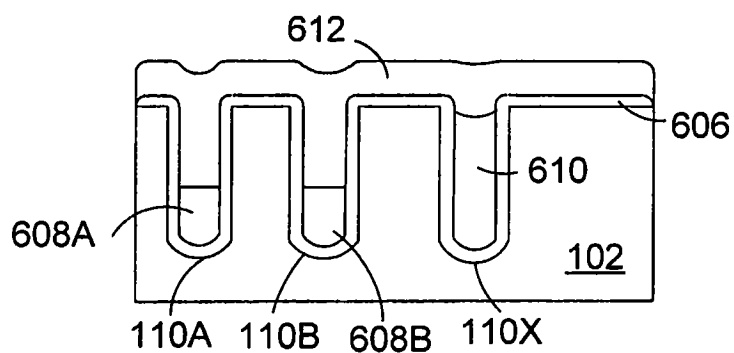


图 6E

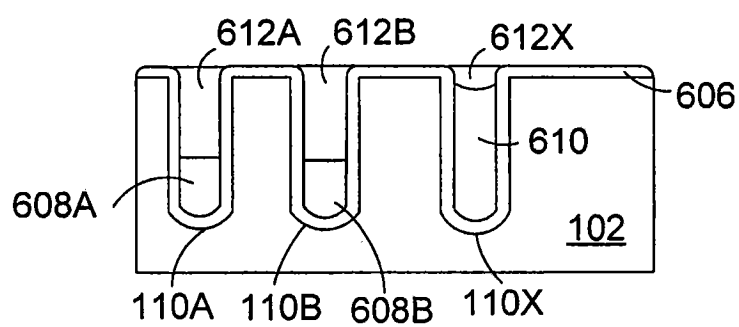


图 6F

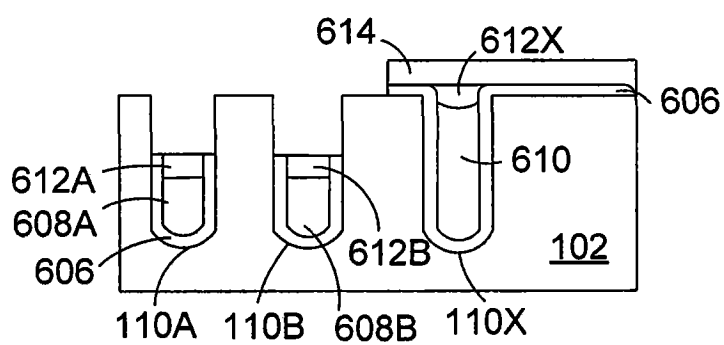


图 6G

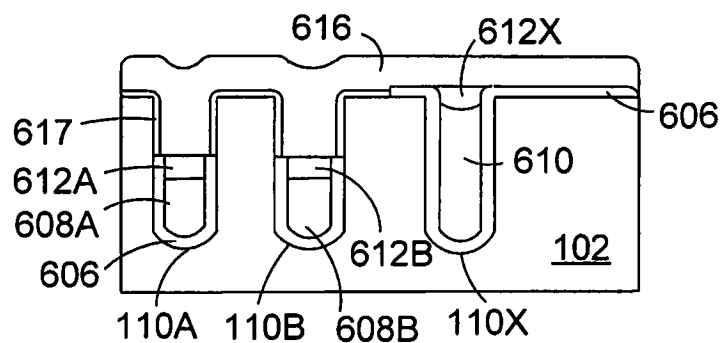


图 6H

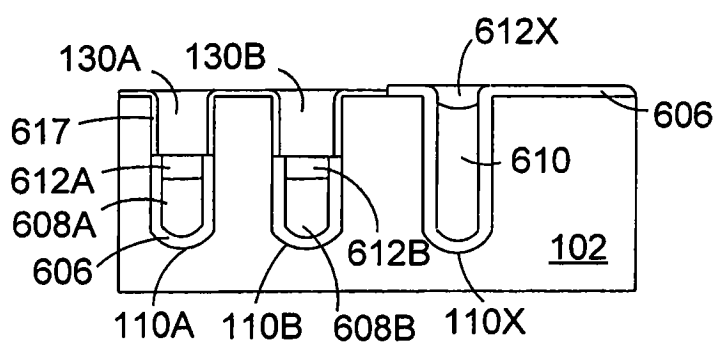


图 6I

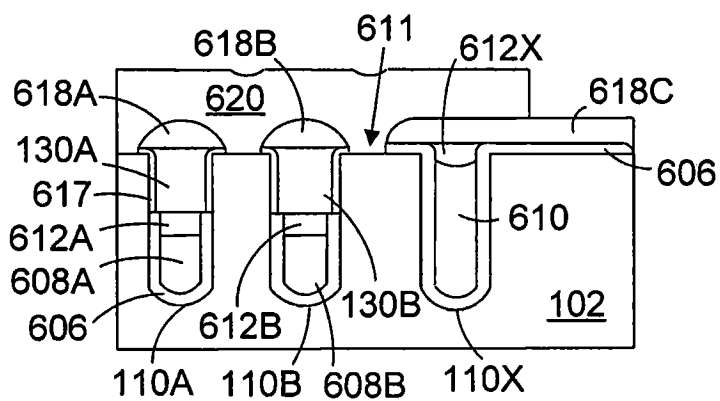


图 6J

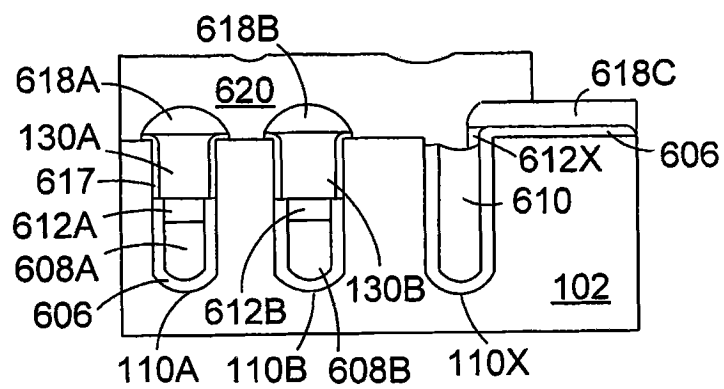


图 6JJ

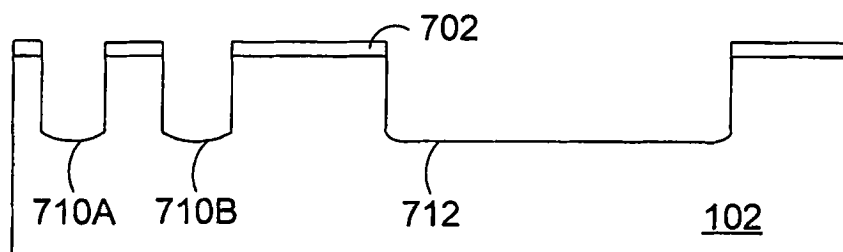


图 7A

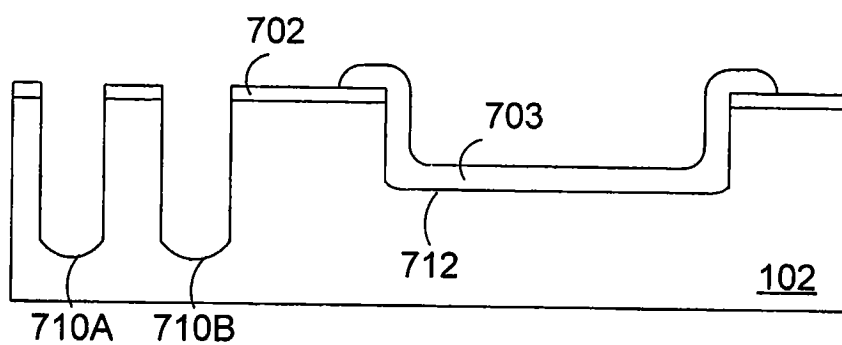


图 7B

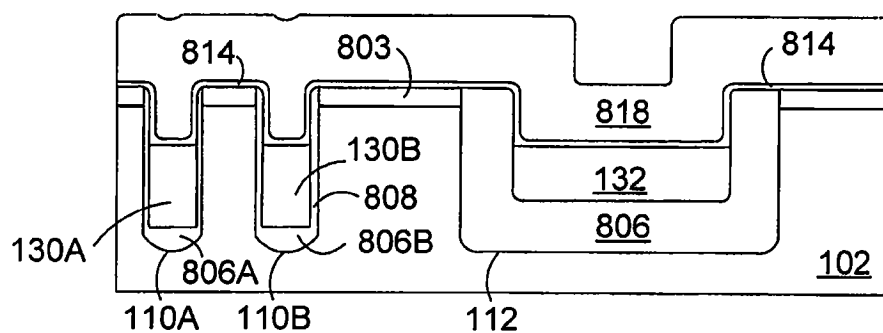


图 8A

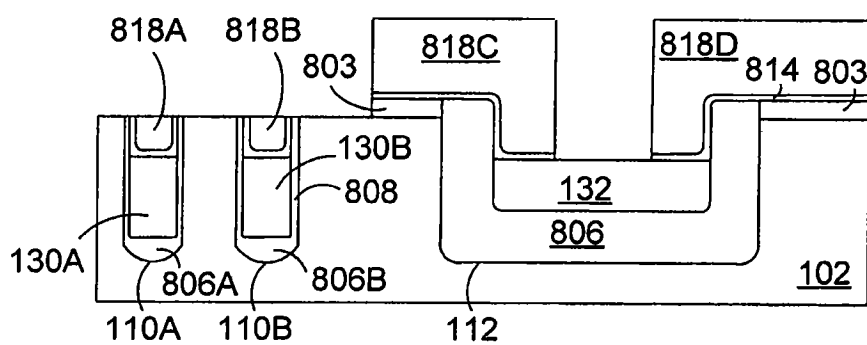


图 8B

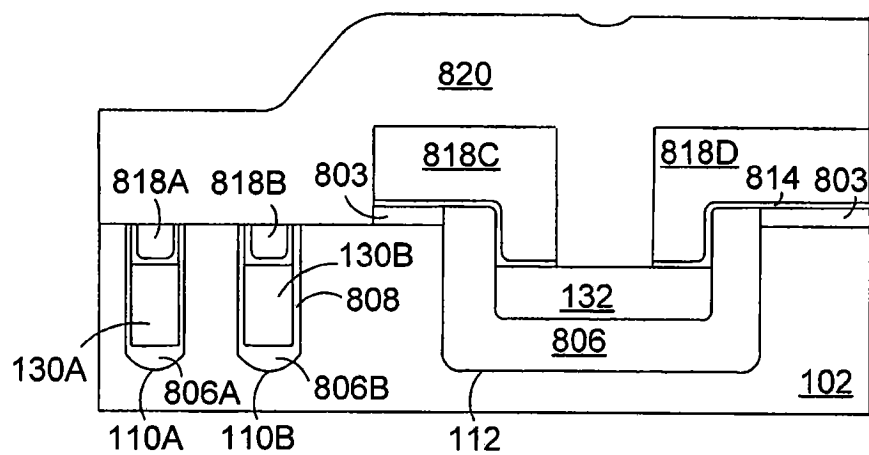


图 8C

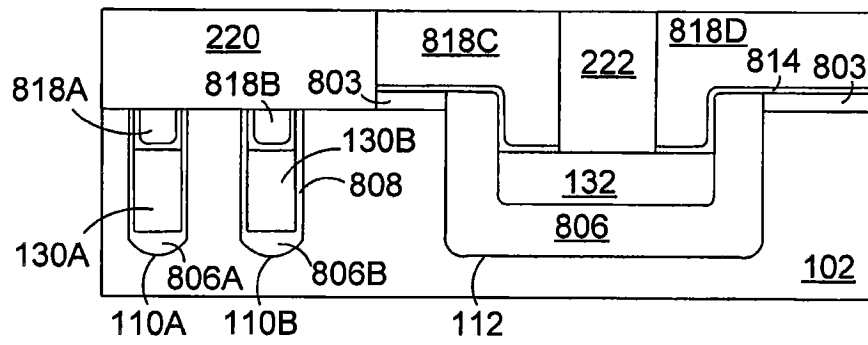


图 8D

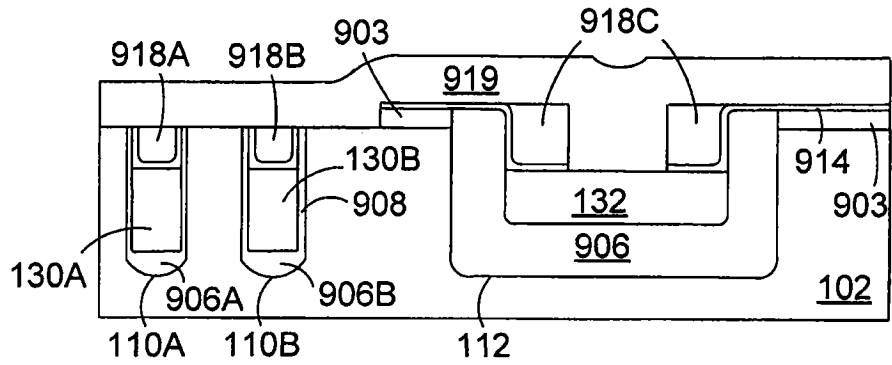


图 9A

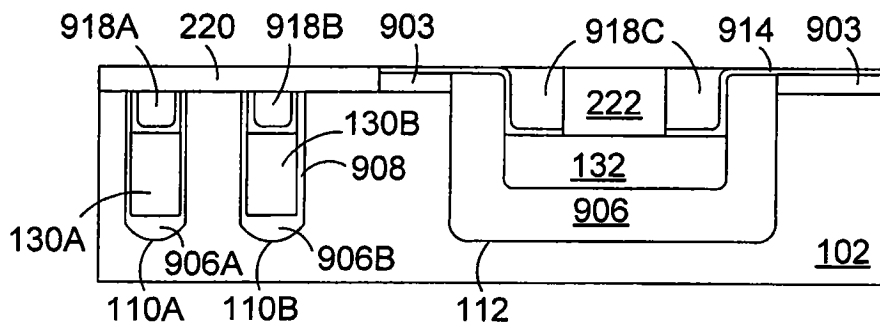


图 9B

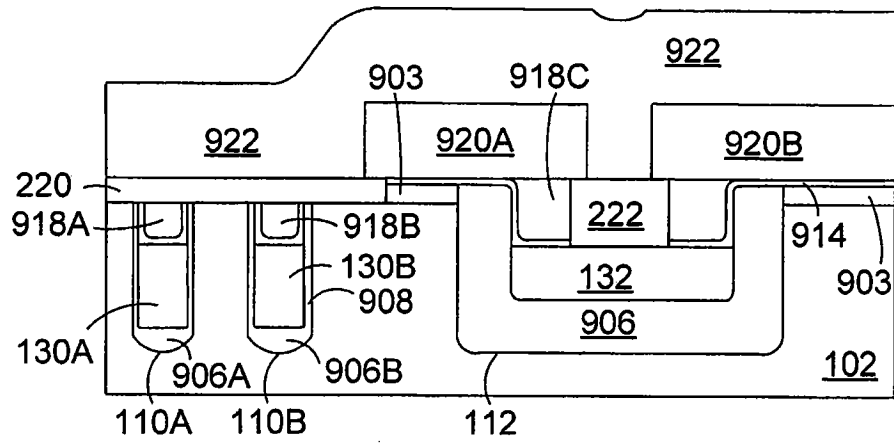


图 9C

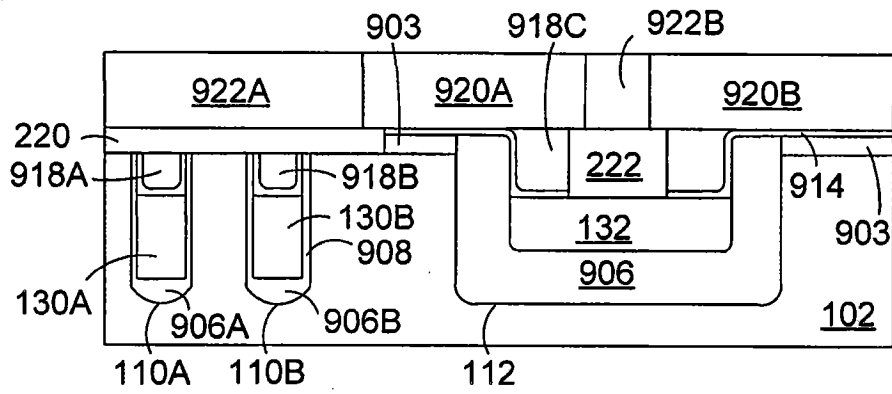


图 9D

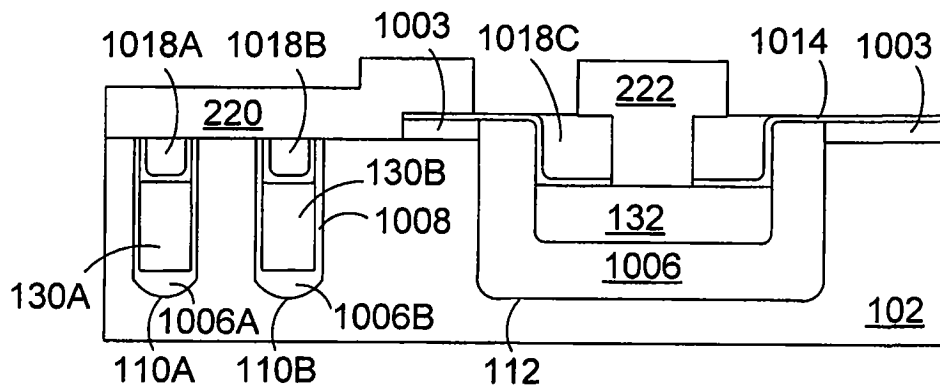


图 10A

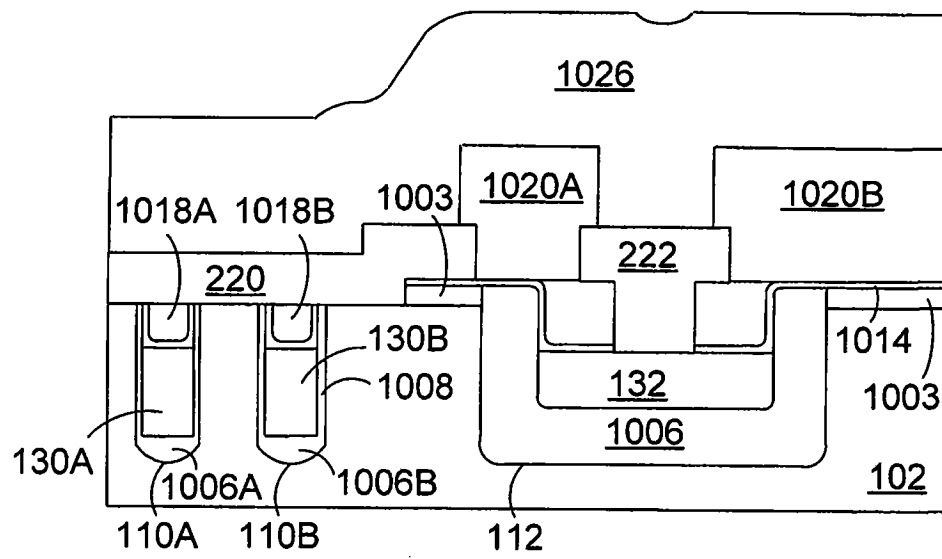


图 10B

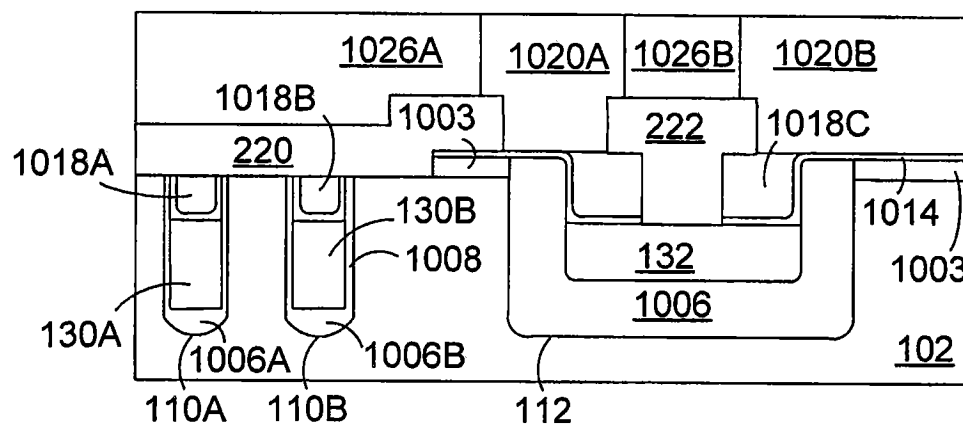


图 10C

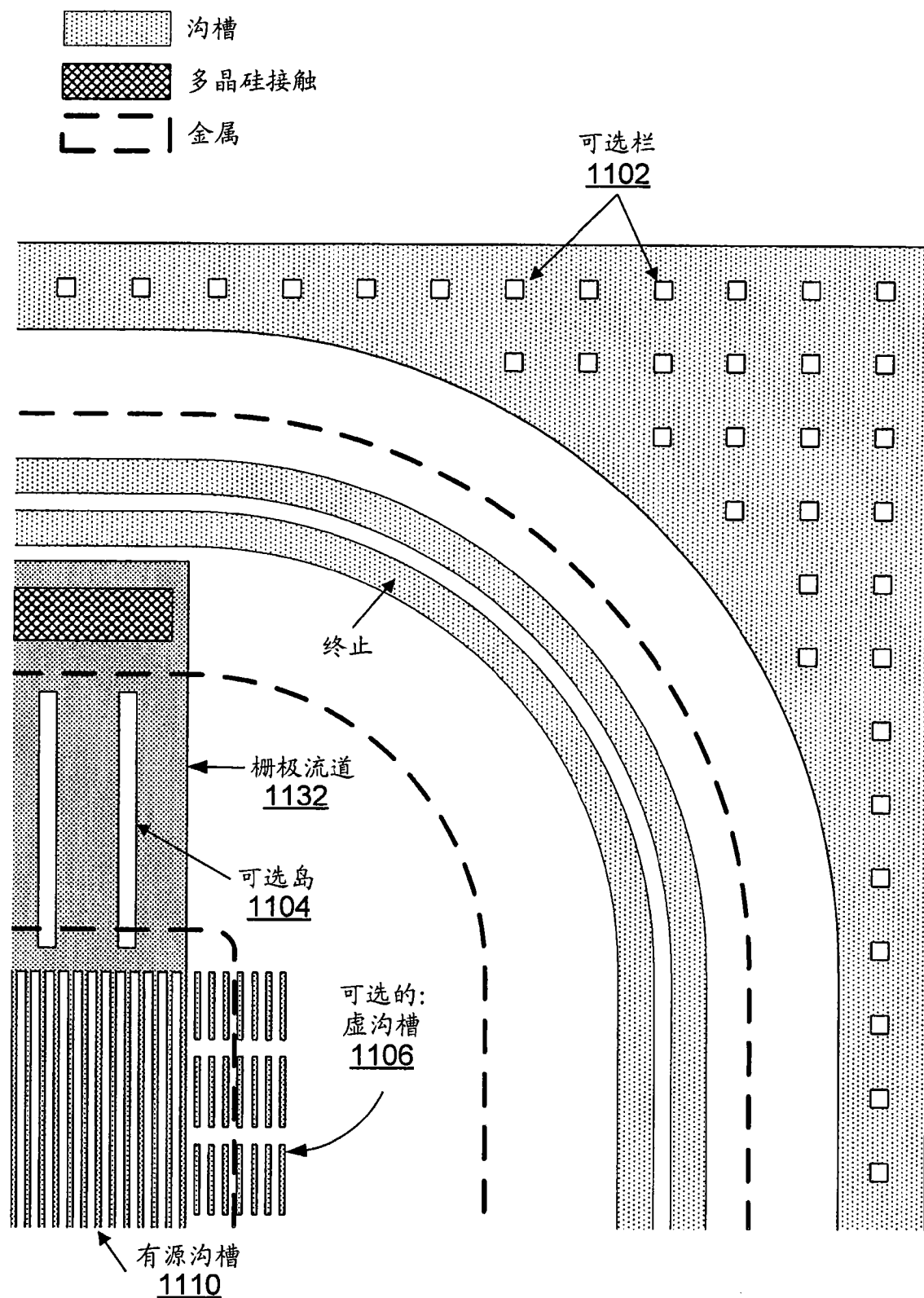


图 11