



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년03월15일

(11) 등록번호 10-1959113

(24) 등록일자 2019년03월11일

(51) 국제특허분류(Int. Cl.)

C23C 14/34 (2006.01) C23C 14/04 (2006.01)

C23C 14/06 (2006.01) C23C 14/16 (2006.01)

C23C 14/35 (2006.01) C23C 14/50 (2006.01)

H01J 37/34 (2006.01) H01L 21/285 (2006.01)

(52) CPC특허분류

C23C 14/3485 (2013.01)

C23C 14/046 (2013.01)

(21) 출원번호 10-2016-7011413(분할)

(22) 출원일자(국제) 2009년04월03일

심사청구일자 2016년04월28일

(85) 번역문제출일자 2016년04월28일

(65) 공개번호 10-2016-0052806

(43) 공개일자 2016년05월12일

(62) 원출원 특허 10-2010-7022019

원출원일자(국제) 2009년04월03일

심사청구일자 2014년01월06일

(86) 국제출원번호 PCT/IB2009/051419

(87) 국제공개번호 WO 2009/122378

국제공개일자 2009년10월08일

(30) 우선권주장

61/042,015 2008년04월03일 미국(US)

(56) 선행기술조사문헌

US20030089597 A1\*

US06296742 B1\*

JP2004134733 A\*

US20020074233 A1

\*는 심사관에 의하여 인용된 문헌

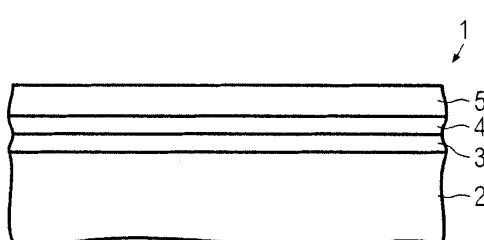
전체 청구항 수 : 총 5 항

심사관 : 백영환

(54) 발명의 명칭 금속 배선 구조 형성을 위한 스퍼터링 장치

**(57) 요 약**

금속 배선 구조(1)의 적층 방법은 양극과 음극 사이에 복수의 펠스로 전원을 인가하여 타겟(12)에서 기판(2)으로 탄탈을 반응적으로 스퍼터링하여 TaN 시드층(4)을 형성함으로써 TaN 층(4)을 적층하는 것을 포함한다. 복수의 펠스로 전원을 인가하고 기판(2) 지지대에 고주파수 신호를 인가하여 기판(2) 주변에 자기-바이어스 전기장을 발생시킴으로써 TaN 시드층(4) 위에 탄탈층(5)이 적층된다.

**대 표 도** - 도1

(52) CPC특허분류

*C23C 14/0641* (2013.01)

*C23C 14/165* (2013.01)

*C23C 14/3407* (2013.01)

*C23C 14/345* (2013.01)

*C23C 14/35* (2013.01)

*C23C 14/50* (2013.01)

*H01J 37/3467* (2013.01)

*H01L 21/2855* (2013.01)

(72) 발명자

**바emes버거 스테판**

독일 70176 슈투트가르트 헤르조그슈트라쎄 11

---

**민코레이 테니스**

스위스 씨에이치-7000 쿠어 엠마웨그 2

## 명세서

### 청구범위

#### 청구항 1

스페터링 중 기판을 지지하는 지지대와,

적어도 부분적으로는 상기 기판 상으로 스페터링될 전기 도전성 재료로 형성되는 적어도 하나의 타겟과,

상기 타겟의 표면 근처에 자기장을 제공하는 자석 조립체와,

10 Hz 내지 1000 Hz 범위의 주파수와 0.01% 내지 20%의 활성화 시간 비율을 가지며 상기 타겟에 대해  $0.1 \text{ A/cm}^2$  내지  $10 \text{ A/cm}^2$ 의 전류 밀도를 생성하는 복수의 펄스로 직류 전원을 양극과 상기 타겟을 포함하는 음극 사이에 제1 전원으로 인가하는 제1 전원 공급부와,

불활성 가스 공급원과,

기판상의 시드층의 반응성 스페터링을 위한 반응 가스 공급원과,

질량 유량 제어기와,

상기 지지대에 전기적으로 연결되고 상기 기판을 지지하는 지지대에 고주파수 신호를 인가하여 상기 기판 근처에 자기 바이어스 전기장을 발생시키는 제2 전원 공급부와,

타겟과의 사이에 직류 전압 펄스가 인가되는 동안 최대 직류 전류와 동시에 기판 주변에 생기는 최대 자기 바이어스를 발생시키기 위하여 상기 제1 전원 공급부의 펄스를 상기 지지대에 인가되는 고주파수 신호에 동기화시키는 동기화 유닛을 포함하며,

상기 고주파수 신호는 1MHz 내지 70MHz 범위 내의 주파수를 갖고,

제어기를 더 포함하고, 상기 동기화 유닛, 질량 유량 제어기, 제2 전원 공급부, 제1 전원 공급부가 작동 가능하게 연결되고, 상기 제어기가 상기 동기화 유닛, 질량 유량 제어기, 제2 전원 공급부, 제1 전원 공급부를 제어하도록 구성되어, 상기 제1 전원 공급부의 각각의 펄스가 상기 양극과 음극 사이에 인가되기 전에 상기 고주파수 신호를 발생시키고, 상기 제1 전원 공급부의 펄스가 상기 양극과 음극 사이에 인가되는 동안 그리고 상기 양극과 음극 사이의 상기 제1 전원 공급부의 펄스가 인가 종료된 후 정해진 시간 동안 상기 고주파수 신호를 유지하고, 상기 양극과 음극 사이의 상기 제1 전원 공급부의 펄스가 인가 종료된 후 정해진 시간이 경과된 다음에만 상기 고주파수 신호의 제공을 종료하고,

상기 고주파수 신호는 시드층의 적층 동안에 상기 지지대에 인가되지 않는 스페터링 장치.

#### 청구항 2

제1항에 있어서, 상기 자석 조립체는 복수의 자석을 포함하는 스페터링 장치.

#### 청구항 3

제2항에 있어서, 상기 자석 조립체의 해당 자석들은 회전 가능한 스페터링 장치.

#### 청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제1 전원 공급부의 펄스 반복 주파수는 조절 가능한 스페터링 장치.

#### 청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 지지대에 인가되는 고주파수 신호를 튜닝하는 수단을 더 포함하는 스페터링 장치.

## 청구항 6

삭제

## 청구항 7

삭제

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 금속 배선 구조, 특히 반도체 칩에 사용되는 금속 배선 구조 형성을 위한 스퍼터링 장치에 관한 것이다.

#### 배경 기술

[0002] 반도체 칩은 칩의 전체 물리적 크기를 감소시키면서 칩에 의해 지원되는 회로의 성능을 향상시키기 위해 끊임없이 개발되고 있다. 집적 회로(IC's)와 집적 회로를 절대적으로 작은 규모로 제조하기 위한 공정 기술에서 전력 분산과 같은 물리적 한계는 최근에 성능 향상을 위해 측면 설치 기기를 더욱 증가시키는 대신 복수의 칩을 수직으로 적층하는 방식을 조장하게 되었다.

[0003] 수직으로 적층 될 반도체 칩은 수직 적층되는 반도체 칩 사이의 전기적 접속을 이루기 위해 실리콘 관통 비아를 포함하도록 제조될 수 있다. 실리콘 관통 비아는 통상 반도체 칩 내에 있는 높은 종횡비의 구멍으로서, 회로 요소의 2개 이상의 층을 전기적으로 연결시키기 위해 금속 또는 전도체로 충전되거나 도금된다.

[0004] 반도체 칩은 통상 반도체 칩의 전방 측면 상에 제조되는 다수의 전기 도전성의 유전층을 포함하는 다층 재배선 구조도 포함할 수 있다. 다층 재배선 구조는 반도체 본체에 만들어진 집적 회로 구조가 칩의 최외부면 상의 패드와 접촉되게 연결되도록 한다. 다층 금속 배선의 다른 층 사이에서 연장되는 측벽의 균일한 커버리지(coverage)도 바람직하다.

[0005] 반도체 칩의 본체를 관통 연장되는 실리콘 관통 비아는 물론 다층 재배선 구조의 일부로서의 비아는 적어도 5:1 또는 적어도 10:1, 그리고 가능하게는 적어도 20:1이나 미래에는 그 이상의 비율의 종횡비를 가질 수 있다. 종횡비는 비아의 폭에 대한 높이의 비율을 감소시키는데 이용된다. 그러나 높은 종횡비는 비아의 측벽을 그 측벽 위로 균일한 두께를 갖는 재료층으로 피복하는 것을 어렵게 한다.

[0006] 또한, 실리콘 관통 비아는 물론, 반도체 칩의 표면상에 재배선 구조를 제공하는 금속 배선용의 알루미늄 대신에 구리를 사용하는 것은 구리가 알루미늄의 절반 정도만의 저항률을 가지고 있기 때문에 방열성을 더욱 향상시킬 수 있다. 그러나 구리는 실리콘 내로 확산되는 단점을 가지고 있어서 만일 그런 경우가 생기면 칩의 집적 회로를 손상시키고 그 성능을 떨어뜨릴 수 있다.

[0007] 미국 특허 6,911,124 B2와 미국 특허 7,253,109 B2는 하부 Ta 또는 TaNx 층과, 중간 TaN 시드 층과, 실리콘 기판으로 구리의 확산을 방지하기 위한 상부 Ta 층을 포함하는 구조체를 개시하고 있다.

[0008] 그러나, 탄탈 금속은 두 가지 결정상: 낮은 저항률(15-60 micro-ohm-cm)의 알파(체심입방체)상과 높은 저항률(150-210 micro-ohm-cm)의 베타(정방정계)상을 가진다. 알파상은 그것의 낮은 저항률에 기인하여 전자적 적용을 위한 장벽으로서 사용되도록 베타상 위에 있는 것이 바람직하다. 그러나 높은 저항률의 베타상의 형성을 억제하기 위해 적층 조건은 주의 깊게 제어되어야 한다.

### 발명의 내용

#### 해결하려는 과제

[0009] 따라서 낮은 저항률로 신뢰성 있게 적층될 수 있고 구리 배선에 사용되기 적합한 반도체 칩에 사용되는 금속 배선 구조 및 이의 제조를 위한 스퍼터링 장치를 제공하는 것이 바람직하다.

#### 과제의 해결 수단

[0010] 금속 배선 구조의 적층 방법은 기판을 제공하는 단계와, 상기 기판에 TaN 층을 적층하는 단계와, 상기 TaN 층에

탄탈층을 적층하는 단계를 포함한다. 상기 TaN 층은 적어도 부분적으로 상기 기판 상으로 스퍼터링될 탄탈으로 형성되는 타겟을 제공하고, 질소와 불활성 가스를 포함하는 스퍼터링 가스를 공급하고, 양극과 상기 타겟을 포함하는 음극 사이에 복수의 펄스로 전원을 인가함으로써 적층된다. 펄스화된 전원은 고전류와 낮은 활성화 시간 비율(duty cycle)로 인가되며, 특히 펄스는 10 Hz 내지 1000 Hz 범위의 주파수와 0.01% 내지 20%의 활성화 시간 비율을 가지며, 타겟에 대해  $0.1 \text{ A/cm}^2$  내지  $10 \text{ A/cm}^2$ 의 전류 밀도를 생성한다. 자기장은 타겟의 표면 근처에 제공된다. 전원의 각각의 펄스 동안에 타겟에서 기판으로 탄탈이 반응적으로 스퍼터링되어 TaN 시드층을 형성한다. 탄탈층은 불활성 스퍼터링 가스를 공급한 후 양극과 상기 타겟을 포함하는 음극 사이에 복수의 펄스로 전원을 인가함으로써 TaN 시드층에 적층된다. TaN 층의 적층에 의한 것처럼, 펄스화된 전원은 고전류와 낮은 활성화 시간 비율로 인가되며, 특히 펄스는 10 Hz 내지 1000 Hz 범위의 주파수와 0.01% 내지 20%의 활성화 시간 비율을 가지며, 타겟에 대해  $0.1 \text{ A/cm}^2$  내지  $10 \text{ A/cm}^2$ 의 전류 밀도를 생성한다. 또한, 탄탈층의 적층 동안에 기판 지지대에 고주파수 신호가 인가되어 기판 주변에 자기-바이어스(self-bias) 전기장을 발생시킨다. 전원의 각각의 펄스 동안에 타겟에서 TaN 층으로 탄탈이 적층되어 탄탈층을 형성한다.

- [0011] 구리 배선에 사용되기 적합하고 물리적 기상 증착, 구체적으로 스퍼터링, 보다 구체적으로 고전류, 저 활성화 시간 비율의 펄스화 스퍼터링 기술을 이용한 스퍼터링에 의해 적층되는 TaN/Ta 장벽층 구조의 적층 방법이 제공된다.
- [0012] 이 방법에 의해 TaN 시드층에 저 저항률의 탄탈층이 적층될 수 있다. 탄탈층은 알파-탄탈, 즉 낮은 저항률의 체심입방체 구조의 탄탈으로 이루어지거나, 적어도 95부피%의 알파-탄탈을 포함할 수 있다. 일 실시예에서, 탄탈층은 베타-탄탈으로도 지칭되는 정방정계 결정 구조와 높은 저항률을 갖는 탄탈상을 20 부피% 미만 또는 10 부피% 미만으로 포함한다. 또한, TaN 층의 적층을 위해 고전류 및 저 활성화 시간 비율의 펄스화 스퍼터링 기술을 이용하여 층의 두께를 박층화할 수 있어서 금속 배선 전체는 낮은 저항률의 금속 배선 구조를 제공하면서도 보다 빠르고 비용 효율적으로 제조될 수 있다.
- [0013] 전원은 복수의 펄스의 직류 전압을 양극과 음극 사이에 인가하는 직류 전원일 수 있다. 전술한 바와 같이, 직류 전압의 펄스는 10 Hz 내지 1000 Hz 범위의 주파수로 인가되며, 0.01% 내지 20%의 활성화 시간 비율을 가지며, 타겟에 대해  $0.1 \text{ A/cm}^2$  내지  $10 \text{ A/cm}^2$ 의 전류 밀도를 생성한다.
- [0014] 일 실시예에서, TaN 시드층의 적층 동안에 상기 기판 지지대에 고주파수 신호가 인가되지 않는다. 이 방법은 정방정계 결정 구조의 탄탈인 베타-탄탈의 형성의 추가적인 감소와, 후속 적층되는 탄탈층에서 알파-탄탈의 형성의 증가와, 금속 배선 구조의 저항률의 추가 감소를 조장한다. 본 실시예는 예컨대 5 nm 미만의 두께를 갖는 TaN 층과 같은 TaN 박막층의 적층에 사용될 수 있다.
- [0015] 그러나, 일부 실시예에서, TaN 시드층의 적층 동안에 기판 지지대에 고주파수 신호가 인가된다. 예컨대 상기 고주파수 신호는 예컨대 20 nm 두께의 TaN 층과 같은 TaN 시드층의 적층시 고주파수 신호가 인가될 수 있다.
- [0016] 일 실시예에서, 고주파수 신호는 상기 전원의 펄스와 동기화된다. 이것은 높은 종횡비의 기판에 대한 특징부의 커버리지를 더욱 향상시킨다.
- [0017] 일 실시예에서, TaN 층에 탄탈층을 적층하기 위해서, 전원은 기판 지지대에 고주파수(RF) 신호를 인가하기 전에 양극과 음극 사이에 인가된다. 이것에 의해 RF 신호가 기판 지지대에 인가되기 전에 기판에 금속 박막층이 적층될 수 있다. 금속 박막층은 차폐물로서 작용하여, RF 신호의 인가에 의해 조장되는 이온의 기판측 가속의 결과로서 생길 수 있는 기판에 대한 손상을 방지하거나 적어도 감소시킬 수 있다.
- [0018] 일 실시예에서, 탄탈층의 적층 동안, 고주파수 신호는 양극과 음극 사이에 전원의 각 펄스가 인가되기 전에 인가된다. 고주파수 신호는 양극과 음극 사이에 전원이 인가되는 동안 그리고 양극과 음극 사이의 전원의 펄스가 종료된 후 소정 시간 동안 유지된다. 고주파수 신호는 양극과 음극 사이의 전원의 펄스가 종료된 후 소정 시간이 경과된 다음에만 인가가 종료된다.
- [0019] 이 방법은 높은 종횡비의 비아와 같은 3차원 구조의 보다 균일한 커버리지를 가능케 함은 물론, 탄탈층의 적층 속도의 향상을 가져오는 것으로 확인되었다.
- [0020] 고주파수 신호는 약 1 MHz 내지 약 70 MHz 범위 내의 주파수를 가질 수 있다. 고주파수 신호는 단일 고주파수의 신호를 공급하는 전원에 의해 제공될 수 있다. 전원은 파장 조절도 가능하다. 예컨대 고주파수 전원은 13 MHz의 신호를 공급하고 또한 12 MHz 내지 14 MHz 범위에서 파장 조절도 가능하도록 사용될 수 있다.

- [0021] 전원의 펄스는 TaN 층 및/또는 탄탈층의 적층 동안에 200 Hz 내지 600 Hz 범위의 주파수, 다시 말해 펄스 반복률을 가질 수 있다. TaN 층 및 탄탈층 모두의 적층에 동일한 펄스 반복률이 적용될 수 있다. 대안적으로, TaN 층과 탄탈층에 다른 펄스 반복률이 적용될 수 있다.
- [0022] 일 실시예에서, 기판은 실리콘 웨이퍼와 같은 반도체 웨이퍼이다. 일부 실시예에서, 기판은 적어도 하나의 비아를 포함하고, 비아의 내부면은 TaN 층과 탄탈층으로 코팅된다. 비아는 적어도 10:1의 종횡비를 가질 수 있는데, 이는 상기 방법에 의해 높은 종횡비의 비아의 내부면에 TaN 층 및 탄탈층이 신뢰성있게 코팅될 수 있기 때문이다.
- [0023] 비아는 기판의 본체를 통해 연장될 수 있고 실리콘 관통 비아일 수 있다. 이런 비아는 서로 수직으로 적층되는 실리콘 기판, 실리콘 칩 또는 집적 회로 소자에 제공될 수 있다.
- [0024] 추가 실시예에서, 비아는 기판의 편평면 상에 배열되는 재배선 구조의 일부를 형성한다. 재배선 구조는 전기 도전성의 유전층이 다수 삽입된 다층 재배선 구조일 수 있다. 유전층은 전기 도전성 배선 구조를 반도체 기판의 집적 회로로부터 외측으로 통상 접촉 패드를 제공하는 최외각 금속 배선층으로까지 유도하도록 하나 이상의 비아를 포함할 수 있다.
- [0025] 알파-탄탈상은 탄탈층의 적층 동안에 기판을 추가 가열하지 않고 또한 적층 후 열처리하지 않고 적층될 수 있다. 이것은 고온으로 야기되는 기판의 손상을 피할 수 있는 장점을 가진다. 일 실시예에서, 기판은 해당 기판에 대한 손상의 위험을 더욱 감소시키도록 TaN 층과 탄탈층 중 적어도 한 층의 적층 동안에 냉각된다. 기판의 냉각을 위해 기판의 후면에 예컨대 스퍼터링 가스 또는 아르곤 등의 불활성 가스의 가스류가 도입될 수 있다.
- [0026] TaN 층의 두께는 5 nm 미만 또는 1 nm 미만 또는 약 0.2 nm의 두께를 가지도록 펄스의 주파수, 즉 펄스 반복률, 전원의 펄스의 지속 시간 및 총 적층 시간 중 적어도 하나를 조절함으로써 조절될 수 있다.
- [0027] 추가 실시예에서, 탄탈층에 구리가 적층된다. 구리는 스퍼터링 및/또는 전착과 같은 기타 방법을 이용하여 적층된다. 전착의 경우, 스퍼터링과 같은 기상 증착 방법을 이용하여 구리 시드층이 먼저 적층될 수 있다.
- [0028] 또한, 금속 배선 구조의 제조를 위해 고출력 임펄스 마그네트론 스퍼터링 장치의 작동 방법이 제공된다. 상기 장치는 스퍼터링 중 기판을 지지하는 지지대와, 적어도 부분적으로 기판 상으로 스퍼터링될 탄탈으로 형성되는 타겟의 표면 근처에 자기장을 제공하는 자석 조립체와, 양극과 상기 타겟을 포함하는 음극 사이에 복수의 펄스로 전원을 인가하는 제1 전원 공급부와, 지지대에 전기적으로 연결되고 기판을 지지하는 지지대에 고주파수 신호를 인가하여 기판 근처에 자기 바이어스 전기장을 발생시키는 제2 전원 공급부를 포함한다. 제1 전원 공급부의 펄스는 10 Hz 내지 1000 Hz 범위의 주파수 0.01% 내지 20%의 활성화 시간 비율을 가지며, 타겟에 대해 0.1 A/cm<sup>2</sup> 내지 10 A/cm<sup>2</sup>의 전류 밀도를 생성한다.
- [0029] 금속 배선 구조의 제조를 위해, 상기 장치는 TaN 시드층의 적층 동안에 고주파수 신호가 상기 지지대에 인가되지 않도록 작동된다. 이에 비해, TaN 시드층에 탄탈층을 적층하는 중에 지지대에 고주파수 신호가 인가된다. 그러나, TaN 층과 탄탈층 양자의 적층 동안에 양극과 음극 사이에 예컨대 직류 전압과 같은 펄스화된 전원이 인가된다. TaN 층은 소정 비율의 질소를 포함하는 스퍼터링 가스를 사용한 반응성 스퍼터링에 의해 적층된다.
- [0030] 이와 같은 고출력 임펄스 마그네트론 스퍼터링 장치의 작동 방법에 의해 5 nm 미만의 두께와 심지어 1 nm와 0.2 nm의 두께를 갖는 TaN 층에 알파-탄탈층이 적층될 수 있다. TaN 층은 펄스화 방법을 이용하여 반응적으로 스퍼터링 적층된다. 이 방법을 이용하여 적층된 TaN 층은 상부에 피복되는 탄탈층에서 베타-탄탈 위로 알파-탄탈의 성장을 조장하고 낮은 저항률의 금속 배선 구조의 성장을 조장하는 것으로 보인다. 제1 전원 공급부는 직류 전원 공급부이다. 제1 전원 공급부의 펄스 주파수는 200 Hz 내지 600 Hz의 범위에 있을 수 있다.
- [0031] 또한, 본 발명은 스퍼터링 장치를 제공하며, 스퍼터링 장치는 스퍼터링 중 기판을 지지하는 지지대와, 적어도 부분적으로 상기 기판 상으로 스퍼터링될 전기 도전성 재료로 형성되는 적어도 하나의 타겟과, 상기 타겟의 표면 근처에 자기장을 제공하는 자석 조립체를 포함한다. 상기 장치는 양극과 상기 타겟을 포함하는 음극 사이에 복수의 펄스로 전력을 인가하는 제1 전원 공급부를 더 포함한다. 상기 제1 전원 공급부는 10 Hz 내지 1000 Hz 범위의 주파수와 0.01% 내지 20%의 활성화 시간 비율을 가지는 펄스를 공급하며 타겟에 대해 0.1 A/cm<sup>2</sup> 내지 10 A/cm<sup>2</sup>의 전류 밀도를 생성할 수 있다. 상기 장치는 지지대에 전기적으로 연결되고 상기 기판을 지지하는 지지대에 고주파수 신호를 인가하여 상기 기판 근처에 자기 바이어스 전기장을 발생시키는 제2 전원 공급부를 더 포함

한다. 상기 장치는 상기 제1 전원 공급부의 펄스를 상기 지지대에 인가되는 고주파수 신호에 동기화하는 수단을 더 포함한다.

[0032] 양극과 음극 사이에 인가되는 제1 전원 공급부의 펄스를 지지대에 인가되는 고주파수 신호와 동기화시키는 것은, 고주파수 신호를 지지대에 인가하지 않고 제1 전원 공급부의 펄스가 인가되는 방법과 제1 전원 공급부의 펄스가 지지대에 인가되는 고주파수 신호와 동기화되지 않는 방법에 비해, 높은 종횡비의 기판에 대한 특징부의 커버리지를 향상시킨다. 따라서 상기 장치는 비아의 내부면과 예컨대 적어도 10:1의 종횡비를 갖는 비아의 내부면에 확산 장벽층과 같은 코팅의 적층에 특히 적합하다.

[0033] 일 실시예에서, 자석 조립체는 회전 가능한 복수의 자석을 포함한다. 상기 자석 조립체는 타겟의 표면 근처에 자기장을 제공하는 전자석을 포함할 수 있다.

[0034] 일 실시예에서, 상기 제1 전원 공급부는 10 Hz 내지 1000 Hz 범위, 바람직하게는 200 Hz 내지 600 Hz 범위의 주파수 또는 펄스 반복률과 0.01% 내지 20%의 활성화 시간 비율을 가지는 복수의 펄스로 상기 양극과 상기 타겟 사이에 직류 전압을 공급하고 타겟에 대해  $0.1 \text{ A/cm}^2$  내지  $10 \text{ A/cm}^2$ 의 전류 밀도를 생성하는 직류 전원 공급부이다. 제1 전원 공급부의 펄스 반복 주파수는 조절될 수 있다.

[0035] 추가 실시예에서, 상기 스퍼터링 장치는 지지대에 인가되는 고주파수 신호를 튜닝하는 수단을 더 포함한다. 예컨대 고주파수 신호는 13 MHz의 주파수를 가질 수 있고 12 MHz 내지 14 MHz의 범위 내에서 튜닝될 수 있다.

[0036] 상기 장치는 제1 전원 공급부의 각각의 펄스가 양극과 음극 사이에 인가되기 전에 고주파수 신호를 발생시키고, 제1 전원 공급부의 펄스가 양극과 음극 사이에 인가되는 동안 그리고 양극과 음극 사이의 제1 전원 공급부의 펄스가 인가가 종료된 후 소정 시간 동안 고주파수 신호를 유지하고, 양극과 음극 사이의 제1 전원 공급부의 펄스 인가가 종료된 후 소정 시간이 경과된 다음에만 고주파수 신호의 제공을 종료하는 수단을 더 포함할 수 있다.

[0037] 첨부된 도면을 참조하여 실시예를 설명한다.

### 도면의 간단한 설명

[0038] 도 1은 기판에 반응적으로 스퍼터링되는 TaN과 TaN 상에서 성장하는 알파-탄탈을 포함하는 금속 배선 구조를 나타낸다.

도 2는 비아의 측벽을 피복하는 도 1의 금속 배선 구조를 나타낸다.

도 3은 도 1 및 도 2의 금속 배선 구조를 제조하기에 적합한 장치의 개략적 다이어그램을 나타낸다.

도 4는 도 1 및 도 2의 금속 배선 구조의 탄탈층 적층에 사용되는 도 3의 장치를 제어하는 방법을 나타낸다.

도 5는 질소 첨가시 평균 전력과 전류의 히스테리시스를 나타낸다.

도 6은 질소 첨가시 HIPIMS 펄스 피크의 히스테리시스를 나타낸다.

도 7은 10 nm TaN 시드층에 적층된 600 nm 탄탈 필름의  $\Theta$ - $2\Theta$  XRD 패턴을 나타낸다.

도 8은 도 7의 상세도를 나타낸다.

도 9는 10 nm TaN 시드층에 적층된 600 nm 탄탈 필름의 XRD 패턴을 나타낸다(스침각 회절(Grazing incident diffraction)을 이용한 XRD).

도 10은 도 9의 상세도를 나타낸다.

도 11은 RF 신호를 인가하고 적층된 TaN 시드층과 RF 신호를 인가하지 않고 적층된 TaN 시드층에 적층된 2개의 다른 탄탈층의 XRD 피크의 비교를 나타낸다.

도 12는 TaN 시드층의 스퍼터링 중에 RF 신호를 인가할 때 정방정계(베타) 탄탈의 형성( $2\Theta=33.3^\circ$ 에서 Ta(002) 피크)을 보여주는 도 11의 상세도를 나타낸다.

도 13은 알파상을 지시하는  $2\Theta=38.472^\circ$ 에서 (110)의 XRD 패턴을 나타낸다.

도 14는 다양한 두께의 TaN 시드층에서 성장된 600 nm의 알파 탄탈의 저항률을 나타낸다.

### 발명을 실시하기 위한 구체적인 내용

- [0039] 도 1은 본 실시예에서 실리콘 칩인 기판(2)의 금속 배선 구조(1)의 개략도를 나타낸다. 금속 배선 구조(1)는 실리콘 기판(2) 상에 위치된  $\text{SiO}_2$  층(3)과,  $\text{SiO}_2$  층(3) 상에 위치된 TaN 층(4)과, TaN 층(4) 상에 위치된 알파-탄탈층(5)을 포함한다. 알파-탄탈층(5) 위에 구리층이 적층될 수 있다. TaN 층(4)은 5 nm 미만의 두께를 가지며, 0.2 nm 정도로 작은 두께를 가질 수 있다. 탄탈층은 600 nm의 두께를 가질 수 있다.
- [0040] 탄탈계 박막은 내화 금속 및 그 합금의 화학적 열적 안정성에 기인하여 구리 금속 배선에 확산 장벽 및 접착층으로 사용될 수 있다. 탄탈 금속은 두 가지 결정상, 즉 낮은 저항률(15-16 micro-ohm-cm)의 알파(체심입방체)상과 높은 저항률(150-210 micro-ohm-cm)의 베타(정방정계)상을 갖는다. 알파상의 낮은 저항률로 인해 알파상은 베타상에 비해 전자적 응용에 있어 보다 바람직한 장벽이다.
- [0041] 도 2는 전방 편평면(8)에서 연장되는 비아(7)를 포함하는 반도체 웨이퍼(6)의 일부를 도시한 개략도이다. TaN 층(4)과 알파-탄탈층(5)을 포함하는 도 1에 도시된 금속 배선 구조(1)는 전방 편평면(8)은 물론 비아(7)의 내부면을 덮는다. 도 2에는 상부의 구리 금속 배선(9)도 도시한다. 일부 실시예에서, 비아(7)는 실리콘 웨이퍼(6)의 두께를 통해 연장되어 실리콘 관통 비아를 제공한다. 일부 실시예에서, 비아(7)는 실리콘 웨이퍼(6)의 전방 편평면(8) 상의 다층 재배선 구조의 유전층 내에 배열되는 인터레벨 비아(interlevel via)를 형성한다. 일부 실시예에서, 비아는 적어도 5:1, 적어도 10:1, 또는 적어도 20:1의 종횡비를 가진다.
- [0042] 도 1 및 도 2에 도시된 금속 배선 구조(1)는 도 3에 도시된 스퍼터링 장치를 사용하여 제조될 수 있다.
- [0043] 도 3은 HIPIMS(high-power impulse magnetron sputtering)[HPPMS(High Power Pulsed Magnetron Sputtering)이라고도 함]으로 지칭되는 고출력 임펄스 마그네트론 스퍼터링 방법에 사용될 수 있는 스퍼터링 장치의 개략도이다.
- [0044] 장치(10)는 기판으로의 고주파수 신호의 전달을 동기화시켜 타겟과의 사이에 직류 전압 펄스가 인가되는 동안 최대 직류 전류와 거의 동시에 기판 주변에 생기는 최대 자기 바이어스를 발생시키는 수단을 포함한다. 이 특징부는 금속 배선 구조(1)의 탄탈층(5)을 적층시 사용된다.
- [0045] 그러나, 금속 배선 구조(1)의 TaN 층(4)의 반응성 스퍼터링 적층 동안에 고주파수 신호는 인가되지 않는다. 고주파수 신호를 사용하지 않고 TaN 층(4)을 성장시킴으로써 TaN 층(4) 상에 알파-탄탈 상이 보다 신뢰성 있게 성장될 수 있음이 확인된다. 또한, TaN 층의 두께는 해당 층의 비저항을 크게 증가시키지 않으면서 1 nm 미만으로까지 짐지어 0.2 nm까지 감소될 수 있다. 이것이 의해 금속 배선 구조는 낮은 저항률을 가지고 신뢰성 있고 빠르게 그에 따라 비용 효율적으로 적층될 수 있다. 또한, 금속 배선 구조는 구리계 재배선 구조(rewiring structure)에 적합하다.
- [0046] 적절한 HIPIMS 방법 및 장치가 그 내용이 참조로 본원에 포함되는 미국 특허 11/954,507, 11/954'490, 60/982,817에 개시되어 있다. 해당 장치와 방법은 소스 또는 타겟(12)으로부터 실리콘 웨이퍼와 같은 반도체 기판(18)에 형성된 실리콘 관통 비아(16)의 거의 수직인 측벽(14)까지 전도성 재료를 자기적으로 증강시켜 스퍼터링하는데 사용될 수 있다. 그러나, 반도체 칩의 편평면에 또는 재배선 금속 배선이나 다층 재배선 시스템의 일부로서 해당 구조를 적층하기 위해서는 해당 장치를 작동시키는 장치 및 방법이 또한 사용될 수 있다.
- [0047] HIPIMS 기술에서, 90% 이상의 매우 높은 금속 기상 이온화를 달성하기 위해 예컨대 수 메가와트까지의 고출력과 예컨대 0.01% 내지 10%의 낮은 활성화 시간 비율을 갖는 초단파 펄스로 펄스화된 플라즈마가 적용된다. 개선된 박막 특성 외에, HIPIMS는 이온화된 금속이 전기장에 의해 가속될 수 있다는 사실에 기인하여 3차원 특징부에 대한 지향성 스퍼터링을 할 수 있도록 한다. 이 장점은 적어도 10:1의 종횡비를 갖는 비아를 포함하는 비아의 내부면을 보다 균일하게 코팅하는데 활용될 수 있다. HIPIMS 수행에 적합한 장치가 도 3 및 도 4에 도시된다.
- [0048] 장치(10)는 반도체 기판(18)에 전기 도전성 재료의 적층이 일어나는 거의 밀폐된 챔버(24)를 형성하는 반응기 하우징(20)을 포함한다. 예컨대 금속 또는 합금과 같이 전기 도전성 재료로 형성되는 지지대(28)는 챔버(24)에 대해 노출되고 선택적으로는 적어도 부분적으로 챔버(24) 내로 연장되어 스퍼터링 증착 과정 중 기판(18)을 챔버(24) 내의 적정 위치에 지지한다.
- [0049] 본 실시예에서, 기판은 반도체 기판으로서, 특히 상부 편평면(32)과 챔버(24) 내의 지지대(28) 상에 배치되는 하부 편평면(34)을 갖는 대략 편평면의 실리콘 웨이퍼이다. 반도체 기판(18)에 형성된 비아(16)는 상부 편평면(32)에서 개방되고 하부 편평면(34)에 의해 폐쇄되어, 깊이 치수(D)를 따라 반도체 기판(18) 내로 부분 연장되는 폐쇄 단부형의 대략 U-형 단면을 형성할 수 있다. 측벽(14)은 비아(16)의 내주를 형성한다. 측벽(14)은 비아(16)의 폭(W)에 대해 반도체 기판(18) 내로 깊이(D)까지 연장됨으로써 통상 종횡비로서 불리우는 적어도 10:1

의 값이 비아에 주어진다. 여기서 종횡비는 비아(16)의 폭에 대한 비아(16)의 깊이의 비율로서 표현된다.

[0050] 장치(10)는 복수의 회전 가능한 영구 자석(37)을 포함하는 자석 조립체(36)를 포함하며, 해당 자석 조립체는 비아(16)의 측벽(14)과 베이스와 같은 비아(16)의 내부면을 포함하는 기판에 스퍼터링 중착될 전기 도전성 재료로 형성된 타겟(12)의 노출면(40)에 인접하게 배치된다. 자석 조립체(36)에 의해 형성되는 자기장은 타겟(12)의 노출면(40) 근처 또는 선택적으로 노출면 위에 플라즈마를 제공한다. 본 실시예에서 타겟(12)은 탄탈을 포함한다.

[0051] 가스 공급원(38)으로부터 질소 가스와 같은 반응성 스퍼터링 가스가 공급되고 가스 공급원(42)으로부터 아르곤과 같은 불활성 가스가 공급되어, 제어기(44)에 작동적으로 연결된 질량 유량 제어기를 통해 챔버(24) 내로 계량 공급된다.

[0052] 장치(10)는 타겟(12)을 포함하는 네거티브 바이어스 음극과 접지 사이에서 타겟(12)에 전기적으로 연결되는 직류 전원 공급부를 더 포함하는 HIPIMS 발생기(46)를 더 포함한다. 플라즈마는 챔버(24) 내로 가스를 흘린 후, 직류 전압을 선택적으로 인가하여 가스를 점화시켜서 플라즈마로 만듦으로써 시발된다.

[0053] 장치(10)는 지지대(28)에 전기적으로 연결되어 지지대(28)에 고주파수 신호를 인가함으로써 스퍼터링 과정 중 지지대(28) 상에 지지된 반도체 기판(18) 주변에 직류 자기 바이어스 전기장을 발생시키는 RF 전원 공급부(48)를 더 포함한다. 직류 자기 바이어스 전기장은 타겟(12)에서 방출되는 전기 도전성 재료의 이온을 기판(18)에 수직한 방향으로 효과적으로 가속시킴으로써 적어도 10:1의 높은 종횡비를 갖는 비아(16)의 측벽(14)으로 전기 도전성 재료의 스퍼터링을 촉진시킨다. 고주파수 신호는 예컨대 1 MHz 내지 70 MHz의 범위 내의 주파수를 가질 수 있다.

[0054] 상기 장치는 RF 전원 공급부(48)에서 나오는 고주파수 신호의 주파수를 조절하는 주파수 투너를 선택적으로 더 포함할 수 있다.

[0055] 지지대(28)에 인가되는 고주파수 신호와 접지와 타겟(12) 사이에 인가되는 직류 전원 공급부(46)의 펄스는 동기화 유닛(50)에 의해 서로 동기화될 수 있다.

[0056] 도 1 및 도 2에 도시된 금속 배선 구조(1)의 제조를 위해, 접지와 타겟(12) 사이에 고전류 및 저 활성화 시간 비율의 전원을 복수의 펄스로 공급하는 장치(10)를 사용하여 반응성 스퍼터링을 행함으로써 TaN 층(4)이 중착된다. 펄스화된 전원, 특히 펄스화된 직류 전압이 양극 또는 접지와 타겟(12) 사이에 인가되어 타겟(12)으로부터 탄탈을 제거한다. 탄탈은 질소 스퍼터링 가스와 반응할 수 있어서 기판 위에 TaN 층(4)이 적층된다. 그러나 TaN 층(4)의 적층 동안에 고주파수 신호는 인가되지 않는다.

[0057] 상부의 탄탈층(5)이 스퍼터링 중에는 고주파수 신호가 지지대(28)에 인가되고 도 4에 도시된 펄스화된 직류 전압과 동기화된다.

[0058] 도 4는 탄탈층(5)의 적층을 위한 장치(10)를 사용한 스퍼터링 방법을 나타낸다. 도 4는 시간, 접지와 타겟(12) 간에 성립된 전압( $V_{DC}$ ), 지지대(28)에 인가된 고주파수 신호(HF), 직류 전류( $I_{DC}$ ) 및 파형( $Z_L$ )으로 나타낸 직류 전원 공급부에 의해 직류 전압의 펄스가 인가되는 전체 부하 중 가변 플라즈마 임피던스 부분의 함수로서 표현되고 있다.

[0059] 요약하면, 고주파수 신호(HF)의 지지대(28)로의 전달은 직류 전압 펄스의 인가 전에 시작되어 직류 전압 펄스의 인가 중에 계속되고 직류 전압 펄스의 제공이 중단된 후 종료된다. 고주파수 신호는 직류 전압 펄스가 접지와 타겟(12) 사이에 인가되는 전체 지속 시간 동안 지지대(28)에 거의 동시에 전달되는 것으로 말할 수 있다.  $t_1$ 과  $t_3$  사이에 인가되는 직류 전압의 펄스는 예컨대 약 130 초의 지속 시간을 가질 수 있다. 지지대(28)에 인가되는 복수의 직류 전압 펄스와 고주파수 펄스는 반복 인가되어 타겟(12)에서 비아(16)의 측벽(14)으로 재료를 스퍼터링한다.

[0060] 보다 상세하게, 도 4에 도시된 그래프의 A 영역에서 직류 전압은 본 실시예에서 직류 전원 공급부인 HIPIMS 발생기(46)에 의해 초기에는 양극 또는 접지와 타겟(12) 사이에 형성되지 않으며, 고주파수 신호는 초기에 지지대(28)로 전달되지 않는다. 따라서 챔버(24) 내에서 점화되는 플라즈마는 존재한더라도 미량으로 존재하며, 그런 소정의 플라즈마는 상대적으로 높은 임피던스를 갖는 저밀도 플라즈마이다.

[0061] 양극과 타겟(12) 사이에 직류 전원 공급부(46)에서 나오는 직류 전압의 펄스를 인가하기 전에, 가변 RF 전원 공급부(48)로부터 고주파수 신호를 지지대(28)로 전달하는 것은  $t_0$  시간에서 시발된다. 도 4에서 파형 HF는 RF

전원 공급부(48)로부터 나오는 고주파수 신호의 출력을 표현한다. 고주파수 신호를 기판(18)으로 전달함으로써 기판(18) 위로 자기 바이어스 전기장이 발생된다.

[0062]  $t_0$  시간을 지나 도 4의 가로축을 따라 0초로 나타낸 시간  $t_1$ 에서, 직류 전원 공급부(46)에서 나오는 직류 전압의 펄스가 양극과 타겟(12) 사이에 인가되어 챔버(24) 내에 플라즈마를 점화시킨다. 직류 전원 공급부(46)에 의해 인가되는 직류 전압은 도 4에서  $V_{DC}$ 로 나타낸다.

[0063] 직류 전원 공급부(46)에 의해 인가되는 직류 전류는 시간  $t_1$ 에서의 값으로부터 시간  $t_2$ 에서 최대값에 도달하기까지, 적어도 부분적으로는 증가하는 플라즈마 밀도와 그에 따라 감소하는 플라즈마 임피던스에 기인하여, 시간이 지날수록 증가한다. 증가하는 직류 전류는 도 4에서 과형  $I_{DC}$ 로 표현된다. 직류 전압 전원 공급부(46)에 의해 인가되는 직류 전압 펄스의 전체 부하 중 가변적인 플라즈마 임피던스 부분은 도 4에서 과형  $Z_L$ 로 표현된다.

[0064] 직류 전원 공급부(46)에서 나오는 직류 전압의 펄스와 RF 전원 공급부(48)에서 나오는 고주파수 신호 모두는 시간  $t_3$ 에서 직류 전원 공급부(46)에서의 직류 전압이 양극 또는 접지와 타겟(12) 사이에 인가되는 것이 중단될 때까지 도 4에 도시된 펄스 주기 중 C 기간 내내 인가된다.

[0065] 따라서, 직류 전류는 그 최대값으로부터 점차 감소되어, 직류 전압 펄스의 인가 전에 존재하였던 직류 전류값으로 접근한다. 그러나,  $t_3$ 에서 직류 전압의 제공이 중단시, 고주파수 신호는 여전히 RF 전원 공급부(48)에서 지지대(28)로 전달된다.

[0066] 양극과 타겟(12) 사이에는 0.5% 내지 약 10%의 범위 내의 활성화 시간 비율로 복수의 직류 전압 펄스가 반복적으로 인가될 수 있다. 각각의 직류 전압 펄스는 지지대(28)에 전달된 고주파수 신호의 펄스와 완전히 중첩된다. 따라서, 고주파수 신호는 약 2% 내지 약 12%의 범위 내의 활성화 시간 비율을 가지는 펄스로 지지대(28)에 반복적으로 전달될 것이므로, 지지대(28)로 고주파수 신호의 전달은 직류 전압 펄스의 인가 전에 시작되고 직류 전압 펄스의 제거 이후에 중단된다.

[0067] 이런 방법 및 장치를 사용하여 높은 종횡비의 실리콘 관통 비아에 매우 조밀한 탄탈층이 도포됨을 알 수 있었다. 이 방법은 미국 특허 11/954'507에 개시된 바와 같은 종래의 방법에 비해, 비아(16)의 하부에 있는 층 두께와 상부에 있는 층의 두께의 비교를 통해 측벽(14)의 코팅의 균일성이 바람직하게 향상되는 것이 확인되었다.

[0068] 다음의 실시예와 예시에서는 도 1에 도시된 바와 같이 Ta/TaN/SiO<sub>2</sub>/Si의 층 순서를 가지는 725 $\mu$ m 두께의 8-인치 직경의 산화 실리콘 웨이퍼 상에 금속 배선 구조(1)를 형성하였다. 기판 위에, 특히 기판 위에 배치된 SiO<sub>2</sub> 층 위에 TaN이 먼저 반응적으로 스퍼터링된다. 그 후에 알파 탄탈이 TaN 층 위에 스퍼터링 적층된다.

[0069] Ta/TaN 구조의 적층은 HIPIMS에 의해 회전 자석 어레이를 갖는 단일의 기판 틀(소위 클러스터 틀) 내에서 다음의 조건으로 행해졌다:

[0070] 타겟: Ta

[0071] 타겟 직경: 300 mm

[0072] 타겟/기판 거리: 50 mm

[0073] 삭제

[0074] 타겟 면적: 700 cm<sup>2</sup>

### 표 1

[0075]	스퍼터링 시간 [s]	두께 [nm]	설정 전압 Uset [V]	평균 출력 Pavg [kW]	주파수 [Hz]	펄스 길이 [ $\mu$ s]	펄스 퍼크 전류 [A]	RF-바이어스 [V]	N <sub>2</sub> -유량 [sccm]	Ar 유량 [sccm]	Ar 역가스 유량 [sccm]	비저항 [ $\mu \Omega$ cm]

TaN	1-15	0.2-20	550-1000	1-8	250-500	20-200	70-600	0-300	45-100	30-150	5-12	18-28
Ta	80-195	600	550-1000	7.8-18.5	250-500	60-200	300-1250	20-300	0	30-150	5-12	

- [0076] 표 1에 정리된 상대적으로 넓은 범위의 공정 변수를 갖는 여러 공정에 대해 조사하였다.
- [0077] TaN 시드 층, 조사된 조건 범위는:
- [0078] 스퍼터링 시간: 1-15초, 두께: 0.2-20 nm, 설정 전압(Uset): 550-1000V, 평균 출력(Pavg): 1-8 kW, 주파수: 250-500 Hz, 펄스 길이: 20-200  $\mu$ s, 펄스 피크 전류: 70-600 A, RF-바이어스: 0-300 V, 질소 가스 유량: 45-100 sccm, 아르곤 유량: 30-150 sccm, 아르곤 백가스(backgas) 유량: 5-12 sccm.
- [0079] 탄탈층, 조사된 조건 범위는:
- [0080] 스퍼터링 시간: 80-195초, 두께: 600 nm, 설정 전압: 550-1000 V, 평균 출력: 7.8-18.5kW, 주파수: 250-500 Hz, 펄스 길이: 60-200  $\mu$ s, 펄스 피크 전류: 300-1250 A, RF-바이어스: 20-300 V, 질소 가스 유량: 0 sccm, 아르곤 유량: 30-150 sccm, 아르곤 백가스(backgas) 유량: 5-12 sccm.
- [0081] Si/SiO<sub>2</sub>/TaN/Ta 구조를 갖는 샘플의 비저항은 18-28  $\mu\Omega$ cm(micro ohm centimeter)의 범위에 있는 것으로 측정되었다.
- [0082] 조사된 모든 조건의 경우, 알파상을 얻기 위해 의도된 추가의 기판 가열은 필요치 않았다. 일부 실시예에서, 오히려 기판은 5-12 sccm의 아르곤 백가스 류에 의해 냉각되었다. 따라서 온도에 민감한 유전 재료의 손상의 위험성은 회피된다.
- [0083] 질소를 주입하면서 탄탈을 스퍼터링할 때 히스테리시스는 통상 매우 작은 값을 갖는다. 이것은 HIPIMS 공정에서도 확인할 수 있다. 도 5 및 도 6에서는 질소류의 증감에 따라 평균 출력/평균 전류 및 펄스 피크 전류 각각이 도식화되어 있다. 이 특정례에서, 전압은 550 V의 일정 값으로 설정된다. 도 5 및 도 6은 질소 유량과 평균 출력 사이와 평균 전류와 펄스 피크 전류 사이에 소정의 관계가 존재함을 보여준다. 유량이 클수록, 평균 출력, 평균 전류 및 펄스 피크 전류가 증가한다. 따라서 타겟에 인가되는 전압을 변화시키는 대신에 질소 유량의 변화를 통해 적층 속도를 조절할 수 있다.
- [0084] 먼저, 반응성 스퍼터링에 의해 TaN 시드층이 적층된다. 기판에 탄탈이 직접 스퍼터링되면 탄탈은 결정학적으로 베타상으로 성장한다. 해당 시드층 위에는 역시 HIPIMS에 의해 알파 탄탈이 스퍼터링된다.
- [0085] 적층 필름에서 알파-탄탈 또는 베타-탄탈의 존재는 두 가지 방법으로 조사하였다.
- [0086] 알파상과 베타상 간의 저항을 변화로 인해, 사용된 주요 측정 기술은 면 저항 측정이었다. 필름의 저항을 측정하는 4-단자 매핑 시스템(four-point probe mapping system)과 필름의 두께를 측정하는 스텝 프로파일러(step profiler)를 사용하여 비저항을 결정하였다. 전술한 방법에 의해 적층된 필름은 전형적으로 18-28  $\mu\Omega$ cm의 범위 내의 저항률을 가지는 것으로 확인되었고, 이는 탄탈이 알파상으로 증착되었음을 나타낸다.
- [0087] 두 번째, X-선 회절(XRD) 기술을 이용하여, 형성된 상의 결정학적 상을 확인하였다. 샘플의 X-선 회절 피크는 알파-탄탈 회절 피크 위치(2 $\Theta$ )에 자리하고 있다.
- [0088] 일부 샘플의 경우, 투과 전자 현미경에서의 나노회절에 의해서도 알파-탄탈의 존재가 확인되었다.
- [0089] 도 7은 10 nm TaN 시드층에 적층된 600 nm 탄탈 필름을 포함하는 실리콘 웨이퍼에서 취한  $\Theta$ -2 $\Theta$  XRD 패턴을 나타낸다. 피크는 체심입방체(BCC) 또는 알파 구조를 갖는 탄탈으로서 지시될 수 있다.
- [0090] 도 8은 도 7의 일부의 상세도를 나타낸다. 도 8은 다양한 두께, 특히 5 nm, 10 nm, 15 nm의 두께를 갖는 3개의 다른 TaN 시드층에 적층된 600 nm 탄탈 필름에 대해 측정한 (110) 피크의 비교를 나타낸다. 피크 강도는 5 nm TaN의 가장 낮은 두께를 갖는 TaN 시드층에서 가장 높고 15 nm 두께의 TaN 시드층에서 가장 낮다.
- [0091] 도 9는 10 nm TaN 시드층에 적층된 600 nm 탄탈 필름에 대한 스침각 회절(Grazing incident diffraction)을 이용하여 얻은 XRD 패턴을 나타낸다.
- [0092] 도 10은 5 nm, 10 nm, 15 nm 두께를 갖는 TaN 층에 적층된 3종의 600 nm 탄탈 필름으로부터 얻은 도 9의 (110)

피크를 나타낸다.

[0093] TaN 시드층의 적층 동안에 RF-바이어스를 인가하는 것은 TaN 시드층에 적층된 탄탈층의 구조에 영향을 미치는 것이 확인되었다. TaN 시드층의 적층 동안에 RF-바이어스가 인가되면 탄탈층에서 베타상의 비율이 증가하는 것이 관찰됨이 확인되었다. 그러나, TaN 시드층의 성장 중에 RF-바이어스가 인가되지 않으면, 상부에 적층된 탄탈층에서 관찰된 알파-탄탈상의 비율이 증가하고 베타-탄탈상의 비율이 감소되는 것으로 확인되었다. 이것은 도 11 및 도 12에서 두 가지 실시예에 대해 나타내고 있다.

[0094] 시드층이 초박형 크기로 얇아지면, TaN 시드층의 적층 중 RF-바이어스의 인가로 인해 시드층 상의 정방정계 베타 탄탈 또는 보다 구체적으로는 시드층 상의 알파 및 베타 혼합상의 부분 성장이 개시된다. 도 11 및 도 12는 반응성 스퍼터링에 의해 적층 중 지지대에 인가되는 RF 신호로써 적층된 TaN 시드층 상에서 성장된 탄탈-필름에서 베타-탄탈의 부분 성장을 나타내고 있다.

[0095] 도 11은 RF 바이어스를 인가한 경우와 인가하지 않은 경우에 있어 TaN 시드층에 적층된 2개의 다른 탄탈층에 대해  $\Theta$ -2 $\Theta$  XRD 패턴의 비교를 나타낸다.

[0096] 도 12는 TaN 시드층의 적층 동안에 RF 바이어스를 인가할 때  $2\Theta=33.3^\circ$ 에서 Ta(002) 피크의 출현에 의해 정방정계(베타) 탄탈의 형성을 보여주는 도 11의 소정 영역의 상세도를 나타낸다. 하부의 돌출 피크는 실리콘 기판(Si(100))에서 나오는 것이다. (002) 피크는 지지대에 RF 신호를 인가하지 않고 적층된 TaN 시드층 상에서 성장된 필름에서는 관찰되지 않는다.

#### 실시예

[0098] 다음 실시예는 본 발명을 더욱 예시하기 위한 것으로 본 발명을 어떤 방식으로든 제한하려는 것이 아니다.

#### 실시예 1

표 2

[0100]	스퍼터링 시간 [s]	두께 [nm]	설정 전압 Uset [V]	평균 출력 Pavg [kW]	주파수 [Hz]	펄스 길이 [ $\mu$ s]	펄스 피크 전류 [A]	RF-바이어스 [V]	$N_2^-$ 유량 [sccm]	Ar 유량 [sccm]	Ar 역가스 유량 [sccm]	비저항 [ $\mu\Omega\text{cm}$ ]
TaN	15	19	550	5.1	500	200	100	50	70	100	12	23
Ta	195	580	550	9.5	500	200	380	200	0	100	12	

[0101] 표 2에 나타낸 공정은  $3.9 \times 10^{-6}$  bar의 공정 압력에서의 스퍼터링을 나타낸다. TaN 시드층의 적층에 필요하지 않지만, 50V의 RF-바이어스를 인가하였다. 추가의 적층 조건을 표 2에 요약한다.

[0102] 4-단자 매핑 시스템에 의해 측정된 해당 필름에 대한 비저항은  $23 \mu\Omega\text{cm}$ 였다. 탄탈의 (110) 피크에 할당될 수 있는 도 13에 도시된  $2\Theta=38.472^\circ$ 에서의 XRD 피크를 함께 참조하면, 실시예 1의 결정학적 상은 알파 (BCC) 탄탈으로서 특징되었다.

#### 실시예 2

[0104] 다음 실시예에서는 TaN 시드층의 두께를 조사하였다. HIPIMS가 이용되면, TaN 시드층은 최소 0.2 nm로 얇아질 수 있다. 적층 조건은 표 3에 요약된다.

표 3

[0105]	스퍼터링 시간 [s]	두께 [nm]	설정 전압 Uset [V]	평균 출력 Pavg [kW]	주파수 [Hz]	펄스 길이 [ $\mu$ s]	펄스 피크 전류 [A]	RF-바이어스 [V]	$N_2^-$ 유량 [sccm]	Ar 유량 [sccm]	Ar 역가스 유량 [sccm]	비저항 [ $\mu\Omega\text{cm}$ ]
TaN	2	0.2	550	2.6	250	200	80	0	70	100	12	26
Ta	32	100	550	10	500	200	400	110	0	100	12	

[0106] 7.5 nm 시드층의 경우 500 Hz로 15초간 스퍼터링하였다. 스퍼터링 시간을 10초와 5초로 줄이는 것에 의해 5 nm 와 2.5 nm의 TaN 층을 적층하였다. 두께를 1.25 nm로 줄이기 위해 스퍼터링 시간을 5초로 유지함으로써 펄스 주파수를 500 Hz에서 250 Hz로 반분하였다. 500 Hz의 펄스 주파수로써 공정 챔버 내에서 질소 가스를 점화함으로써 0.5 nm의 TaN 층을 적층하였다. 결국, 250 Hz의 주파수로써 2초간 스퍼터링을 행함으로써 약 0.2 nm의 두께가 얻어졌다.

[0107] 도 14는 7.5 nm 내지 0.2 nm 범위의 두께의 서로 다른 TaN 시드층 위에 적층된 600 nm의 알파 탄탈층의 비저항을 나타낸다. TaN 시드층의 두께가 7.5 nm 내지 0.5 nm인 경우, 탄탈층의 저항률은  $20 \mu\Omega\text{cm}$  미만으로 유지되었다. 탄탈층의 저항률은 0.2 nm 두께의 TaN 시드층 상에 적층된 층의 경우  $35 \mu\Omega\text{cm}$  바로 위까지 다소 증가되었다.

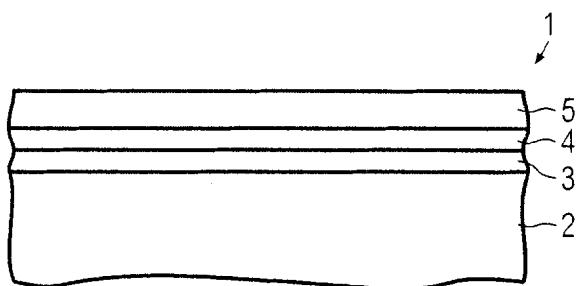
[0108] 또한, 이들 공정은 TaN 시드층의 적층을 위해 RF-바이어스를 사용하지 않고 알파 탄탈을 성장시키기 위해 개발된 것이다. RF-바이어스를 인가하는 것에 의해, 가속된 이온은 시드층 상에 적층된 구조와 층을 손상시킬 수 있다. PVD(물리적 기상 증착) 대신에 HIPIMS를 적용함으로써 시드층의 적층에 RF-바이어스가 필요치 않다. 0.2 nm의 TaN 시드층의 경우에도 알파-탄탈의 적층에는 RF-바이어스가 필요치 않았다. 도 14에서 볼 수 있듯이, 이들 초박형의 시드층의 경우에도 알파 탄탈이 성장된다. RF-바이어스를 인가하지 않고 금속 배선의 제1 층을 형성하는 것은 기판과 소자의 손상을 방지하는 장점을 갖는다.

[0109] 추가 실시예에서, 전원 공급부는 지지대에 RF 신호를 인가하기 전에 소정 시간 동안 타겟에 전원을 인가한다. 이것에 의해 기판 위에 금속 박막층이 적층될 수 있고, 이 금속 박막층은 차폐물로 작용하여 RF 신호의 인가시 기판에 대한 손상을 방지한다. RF 신호가 인가되면 전술한 실시예 중 하나에 따라 타겟에 인가되는 펄스화된 전원과 동기화될 수 있다.

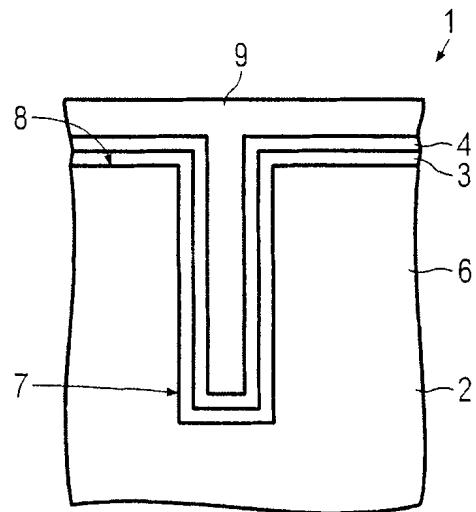
[0110] 이 방법은 예컨대 적어도 10:1의 종횡비를 갖는 실리콘 관통 비아의 코팅에 사용될 수 있다. 여기서 비아의 측벽 및 베이스에 대한 커버리지는 높은 종횡비의 비아의 경우 크게 감소됨으로써 초박막 TaN 시드층은 전술한 실시예 중 하나에 따른 금속 배선 구조 및 방법을 이용하여 비아 내에 알파-탄탈의 성장을 가능케 할 수 있다. 해당 방법은 집적 회로를 갖는 반도체 칩의 다층 재배선 구조를 위한 확산 장벽 구조의 제조에도 이용될 수 있다.

## 도면

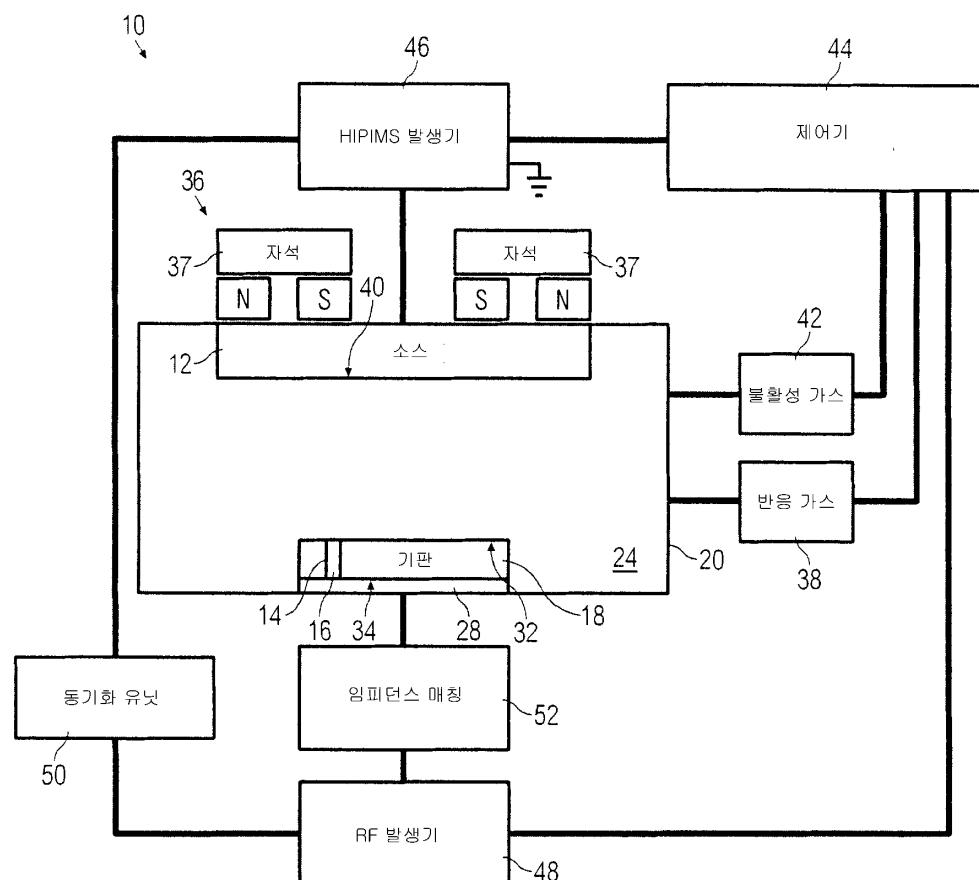
### 도면1



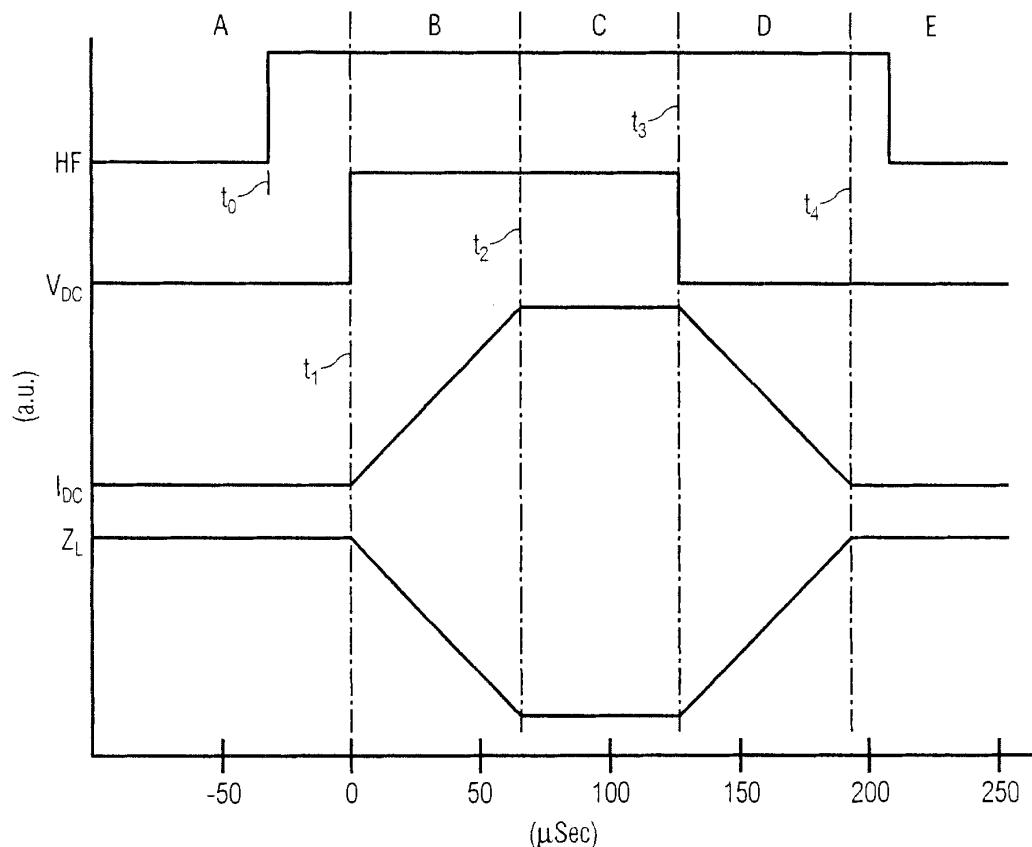
## 도면2



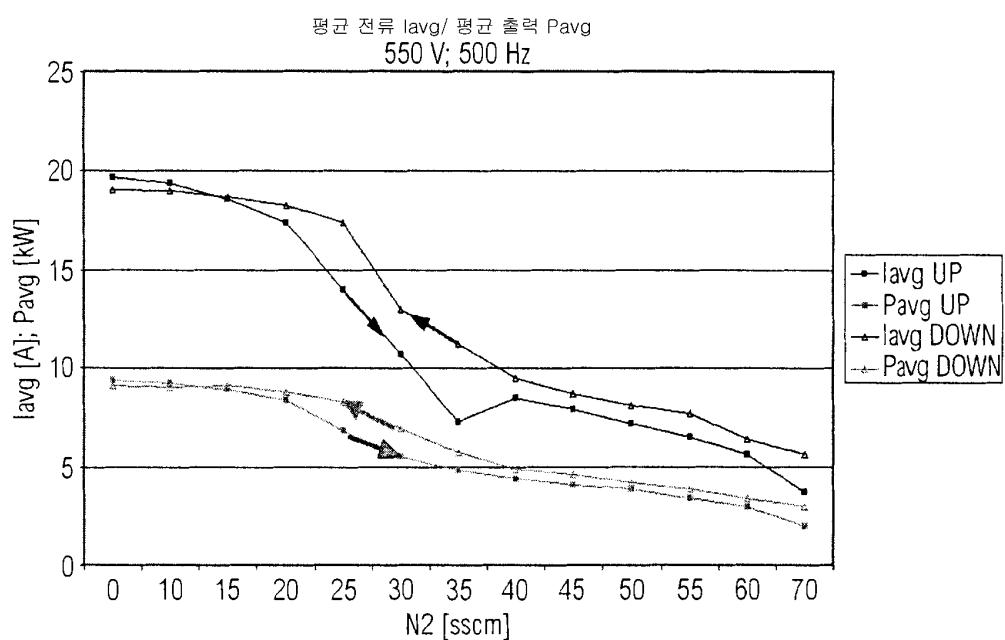
## 도면3



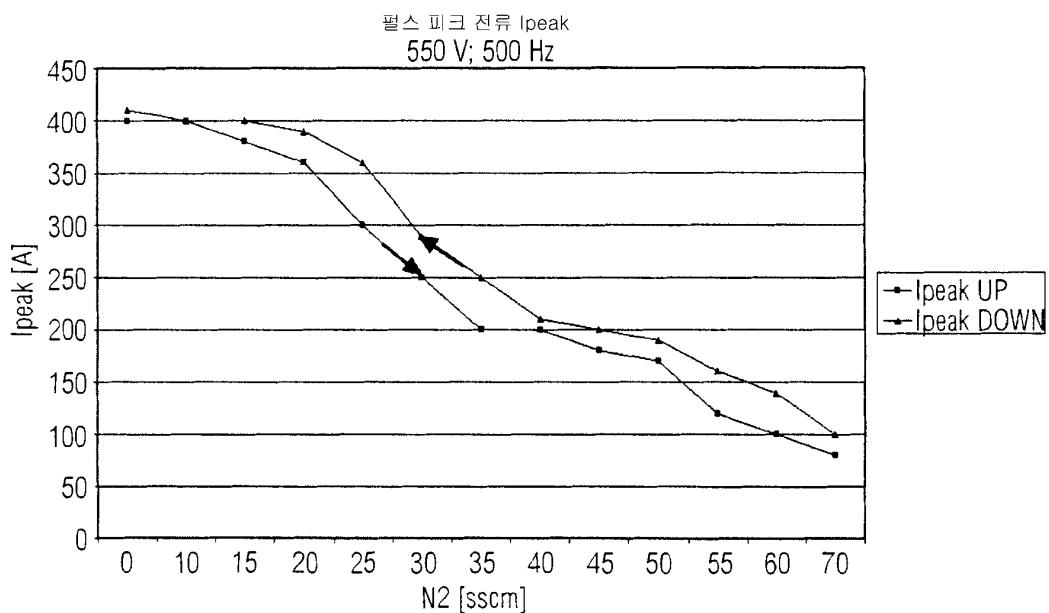
도면4



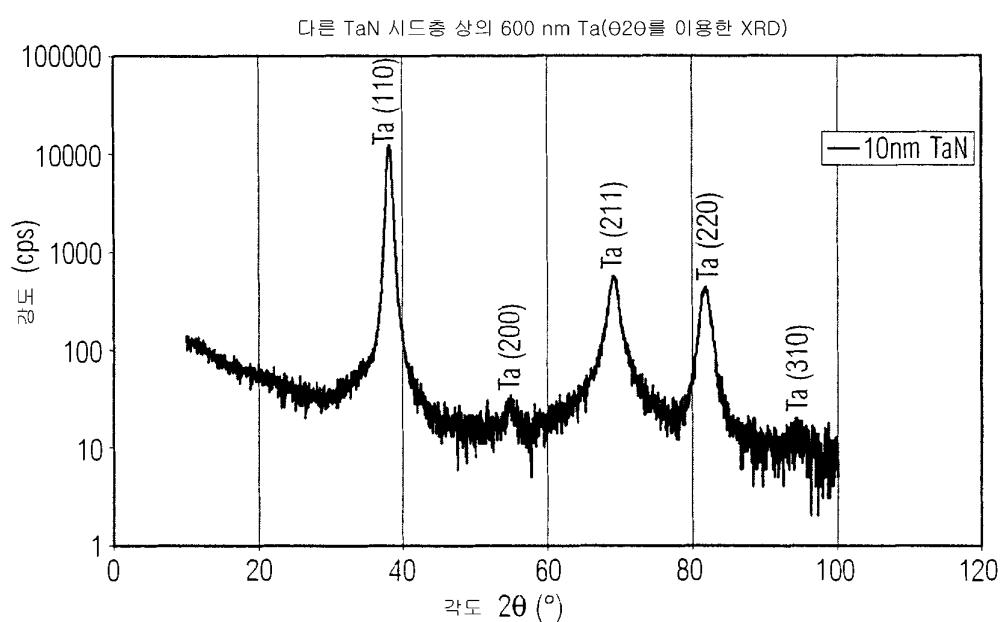
도면5



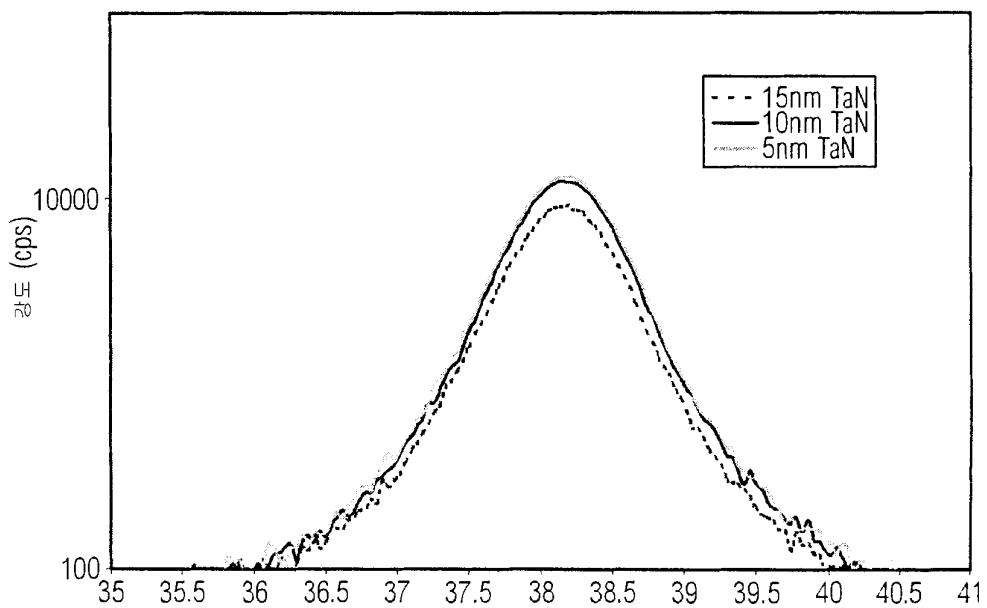
도면6



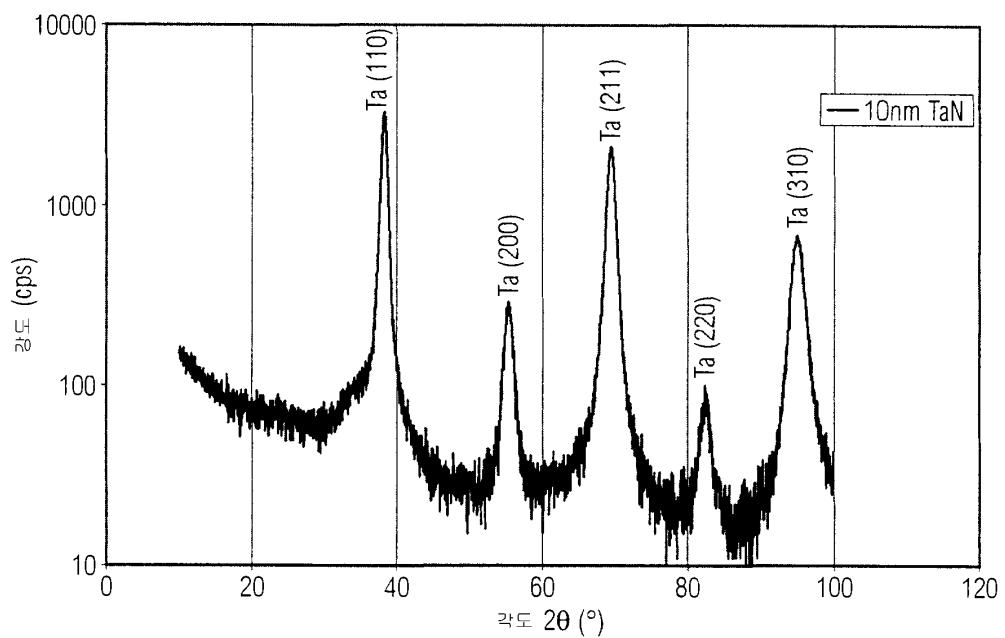
도면7



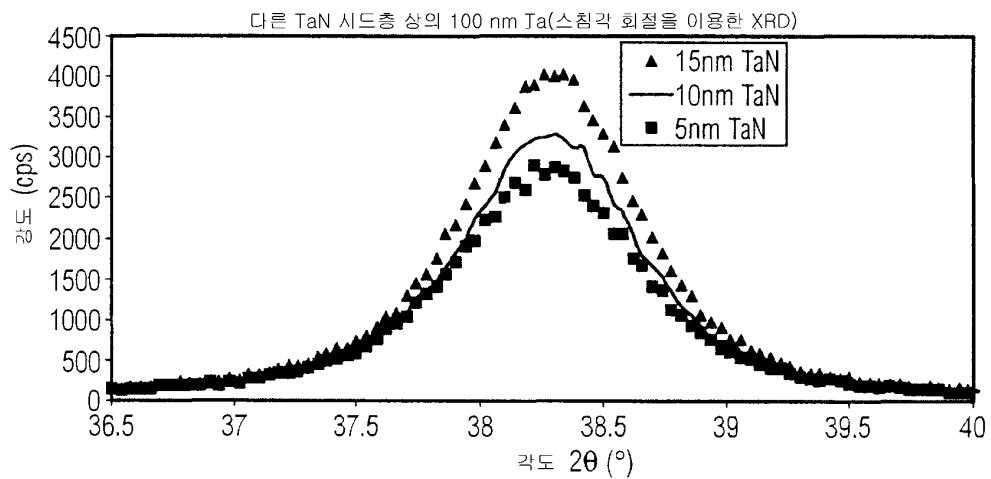
도면8



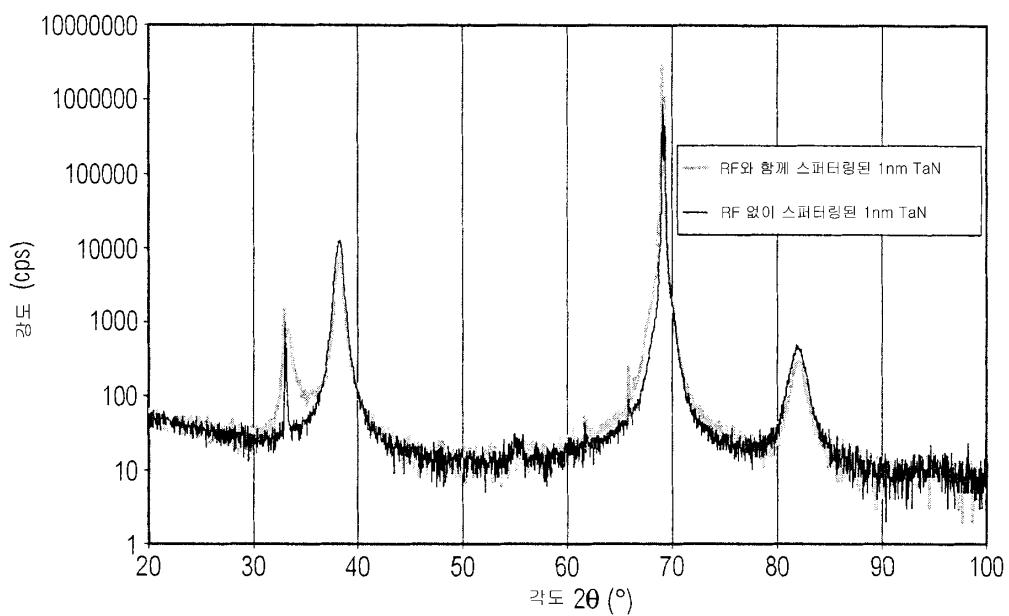
도면9



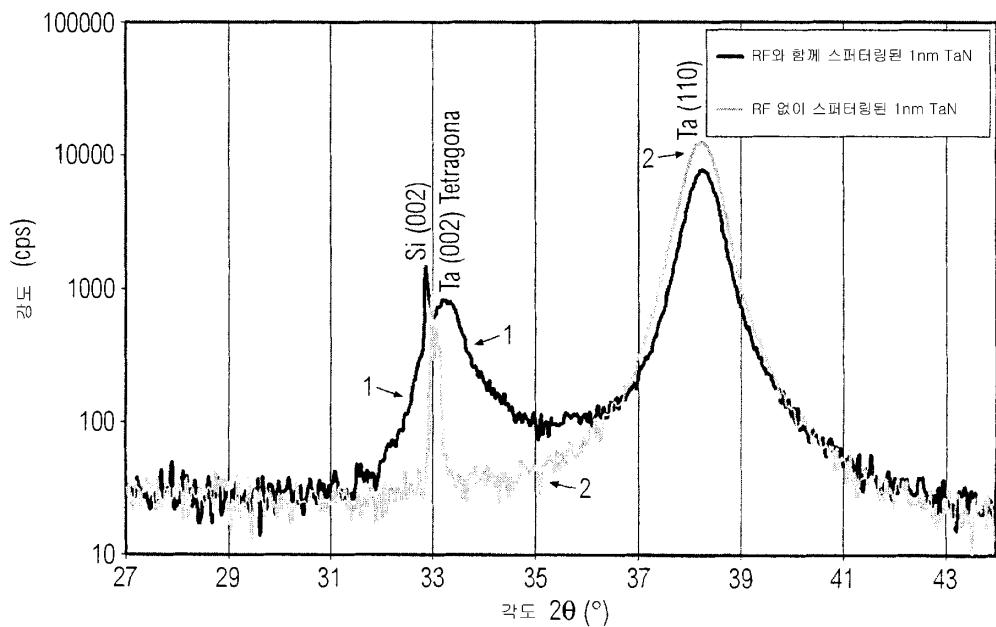
## 도면10



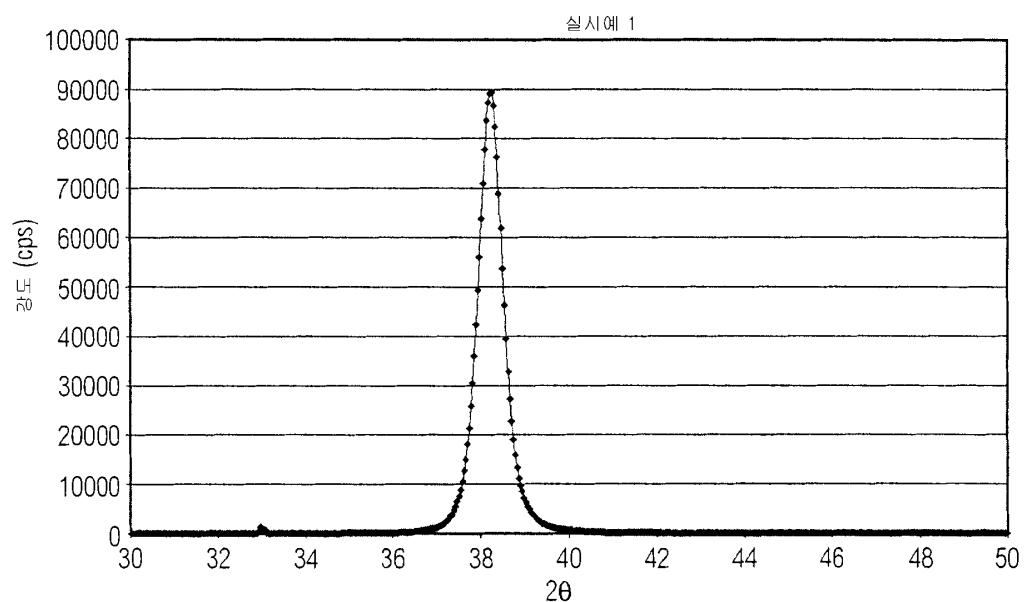
## 도면11



도면12



도면13



## 도면14

