

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 17/50 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610094131.6

[43] 公开日 2007 年 6 月 6 日

[11] 公开号 CN 1975741A

[22] 申请日 2000. 11. 17

[21] 申请号 200610094131.6

分案原申请号 00817357.5

[30] 优先权

[32] 1999. 11. 18 [33] US [31] 09/442,699

[71] 申请人 PDF 全解公司

地址 美国加利福尼亚

[72] 发明人 布赖恩·E·斯泰恩

约翰·基巴里安 基蒙·米歇尔斯

乔·戴维斯 P.K.·摩祖姆德

谢丽·李 克里斯托弗·赫斯

拉格·威兰德

丹尼斯·J·西普里卡斯

大卫·M·斯塔绍尔

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 李德山

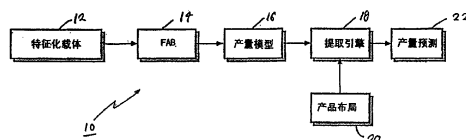
权利要求书 3 页 说明书 31 页 附图 14 页

[54] 发明名称

产品产量预测的系统和方法

[57] 摘要

一种用于预测集成电路产量的系统和方法包括至少一种类型的特征化载体，它包括用于表示包括于集成电路最后产品中的至少一种类型特征的至少一个特征。该特征化载体经受至少一个组成将要用于制造集成电路产品制造周期的操作过程以便产生一个产量模型。该产量模型包含一个由该特征化载体所定义的布局，并且优选地包括有助于采集电气测试数据和以操作速度测试原型段的各特征。一个提取引擎从一个建议的产品布局中提取预定布局属性。该提取引擎在产量模型上操作而产生作为布局属性的函数的产量预测，并且被分解为制造过程中的各层或各步骤。这些产量预测然后被用于确定制造过程中哪些区域最需要改进。



1. 一种产生对于全部或部分集成电路的产量预测的方法，该方法包括：

(a) 使用来自集成电路的产品布局的布局特性，来识别产品布局的属性，其中所识别的属性能够表示系统产量损失；以及

(b) 使用与在产品布局中识别的属性相关的信息以及由产量模型所定义的参数作为输入，来产生产量预测，其中产量模型的参数表征了可能由实际制造处理引起的集成电路的一个部分或多个部分中的缺陷。

2. 根据权利要求 1 的方法，进一步包括使用来自集成电路的产品布局的布局特性来识别该产品布局中的临界面积。

3. 根据权利要求 1 的方法，其中系统产量损失不包括随机产量损失。

4. 根据权利要求 1 的方法，其中系统产量损失是由面积比定义的。

5. 根据权利要求 1 的方法，其中系统产量损失是由实例比定义的。

6. 根据权利要求 1 的方法，其中产量预测能够用于对产品布局 and 实际制造处理这两者中的任一者或两者进行修改。

7. 根据权利要求 1 的方法，其中产量模型是从半导体制造商获得的。

8. 根据权利要求 1 的方法，其中产量模型是通过检查产品布局而获得的。

9. 根据权利要求 1 的方法，其中产量模型是从集成电路设计者获得的。

10. 一种集成电路器件，包括：

基板；

定义在基板上的多个晶体管结构，其中所述多个晶体管结构中的一个或多个是通过如下方式而被进行针对产量的优化：识别来自产量模型的特性以及与从集成电路的至少一个布局级别的布局特性获得的属性相关的信息，其中从布局特性获得的属性能够表示系统产量损失。

11. 根据权利要求 10 的集成电路器件，其中系统产量损失不包括随机产量损失。

12. 根据权利要求 10 的集成电路器件，其中系统产量损失是由面积比定义的。

13. 根据权利要求 10 的集成电路器件，其中系统产量损失是由实例比定义的。

14. 根据权利要求 10 的集成电路器件，其中集成电路器件被定义在一小片上。

15. 根据权利要求 14 的集成电路器件，其中该小片是半导体晶片上的多个小片之一。

16. 根据权利要求 14 的集成电路器件，其中该小片在一封装中。

17. 根据权利要求 16 的集成电路器件，其中具有该小片的封装被集成在印刷电路板上。

18. 一种生产产量优化的集成电路的方法，该方法包括：

(a) 使用来自集成电路的产品布局的布局特性，来识别该产品布局的属性，其中所识别的属性能够表示系统产量损失；以及

(b) 使用与在产品布局中识别的属性相关的信息以及由产量模型所定义的参数作为输入，来产生产量预测，其中产量模型的参数表征了可能由实际制造处理引起的集成电路的一个部分或多个部分中的缺陷；

(c) 使用所产生的产量预测，修改制造参数以及对于产品布局的布局限制这两者中的一者或两者；以及

(d) 使用在 (c) 中所识别的制造参数和布局限制中的所述一者或两者，制造半导体晶片，以生产集成电路。

19. 根据权利要求 18 的方法，进一步包括使用来自集成电路的产品布局的布局特性，来识别产品布局中的临界面积。

20. 一种具有计算机可执行指令的计算机可读介质，这些计算机可执行指令能够使计算机预测集成电路的产量，这些指令包括：

(a) 使用来自集成电路的产品布局的布局特性，来识别该产品布局的属性，其中所识别的属性能够表示系统产量损失；以及

(b) 使用与在产品布局中识别的属性相关的信息以及由产量模型所定义的参数作为输入，来产生产量预测，其中产量模型的参数表征了可

能由实际制造处理引起的集成电路的一个部分或多个部分中的缺陷。

21. 根据权利要求 20 的计算机可读介质，还包括使用来自集成电路的产品布局的布局特性，来识别产品布局中的临界面积。

22. 根据权利要求 20 的计算机可读介质，其中系统产量损失不包括随机产量损失。

23. 根据权利要求 20 的计算机可读介质，其中系统产量损失由面积比定义。

24. 根据权利要求 20 的计算机可读介质，其中系统产量损失由实例比定义。

25. 根据权利要求 20 的计算机可读介质，其中产量预测能够用于定义对于产品布局以及实际制造处理这两者中的任一者或两者的修改。

26. 根据权利要求 20 的计算机可读介质，其中产量模型是从半导体制造商获得的。

27. 根据权利要求 20 的计算机可读介质，其中产量模型是通过检查产品布局而获得的。

28. 根据权利要求 20 的计算机可读介质，其中所述产量模型是从集成电路设计者获得的。

产品产量预测的系统和方法

本申请是2000年11月17日提交的发明名称为“产品产量预测的系统和方法”的中国专利申请00817357.5的分案申请。

发明背景

本发明属于集成电路制造领域，更具体地属于提高制造产量的系统和方法。

集成电路的制造是一个极端复杂的过程，它可能涉及成百个个别操作。该过程基本上包括精确地将预定数量的掺杂材料扩散入硅晶片上的精确预定区域以便产生有源设备例如晶体管。这个过程通常是通过在晶片上形成一层氧化硅，然后利用一个光掩模和光刻胶来形成一个在其中通过一个氧化硅掩模进行扩散的区域图形而完成的。接着通过该氧化硅层进行蚀刻以便形成具有精确尺寸和位置的通过其进行扩散的开口图形。在完成预定数量的这类扩散操作以便在晶片上产生所需数量的晶体管之后，它们按照互连线的要求被互连。这些互连线或被称为的互连通常是通过使用一个光掩模、光刻胶和蚀刻过程将导电材料淀积于所需互连图形上而形成的。通常一个完成的集成电路可能在一块0.1英寸乘0.1英寸的硅芯片上包含上百万个晶体管和亚微米尺寸的互连。

考虑到当今集成电路所要求的设备和互连密度，制造过程必须在极端精确和最少废品的方式下完成。对于可靠的操作而言，电路的电气特性必须被保持于小心控制的限度内，它隐含着对无数操作和制造过程的高度控制。例如，在光刻和光掩模操作中，在光掩模上的图形中出现的杂质例如灰尘、微小划痕和其他缺陷将会在半导体晶片上产生缺陷图形，其结果是造成缺陷集成电路。此外，在电路本身的扩散操作期间缺陷可能被引入电路中。能够使用高放大倍数下的目视检查和电气测试两者来识别缺陷电路。一旦识别出缺陷集成电路，希望采取步骤来减少制造过

程中产生的缺陷集成电路的数量，因而增加能满足技术要求的集成电路产量。

在过去，许多促使集成电路产量低的缺陷是由颗粒污染或其他随机来源所造成的。现代集成电路制造过程中出现的愈来愈多的缺陷不是来源于颗粒或随机污染，而是来自非常系统的来源，特别在过程开发或产量提升的早期阶段更如此。这些系统缺陷来源包括使用活跃的金属板印刷工具中的可印刷性问题，来自形成的不好的硅化物的多析条，由密度驱动和光学靠近效应造成的门长度变化。

在减少制造过程中产生的缺陷集成电路的数量因而增加产量的尝试中，人们面临的事实是任何一个或多个可能的上百个处理步骤可能已经造成一个具体的缺陷电路。由于存在这么多的变量，因此要确定一个具体电路中的缺陷的真正原因是极端困难的，因而识别和校正产量下降过程的操作是特别困难的。对完成的集成电路的详细观察可能提供某些迹象来显示哪个操作过程已经造成缺陷电路。然而，观察设备并不能获取许多系统缺陷源和/或一些工具可能难于调整、优化或有效地和可靠地使用。此外，观察设备尤其是新技术经常被许多假警报或无关缺陷所困扰，人们知道它们会破坏任何可靠地观察真正缺陷或缺陷源的尝试。

通常发现，在完成制造周期之后，一旦在最后测试中识别一个具体问题，则能够确认在执行该具体操作过程期间的确存在问题，问题出现的时间可能是在数周或甚至数月之前。因此该问题可能在事后很好地纠正。此时不同操作过程可能造成各问题。因此对缺陷集成电路的事后分析和对造成执行缺陷产品的操作过程的识别在作为一种用于改进集成电路的总产量的手段方面具有很大的局限性。

若干用于预测产量而不是进行不满意的事后分析的尝试已经在不同程度上取得成功。因此需要一种改进的系统和方法，用于预测集成电路产品产量。

发明内容

一种用于预测集成电路产量的系统和方法包括至少一种类型的特征

化载体，它包括用于表示包括于集成电路最后产品中的至少一种类型特征的至少一个特征。该特征化载体经受至少一个组成将要用于制造集成电路产品制造周期的操作过程以便产生一个产量模型。该产量模型包含一个由该特征化载体所定义的布局，并且优选地包括有助于采集电气测试数据和以操作速度测试原型段的各特征。一个提取引擎从一个建议的产品布局中提取预定布局属性。该提取引擎在产量模型上操作而产生作为布局属性的函数的产量预测，并且被分解为制造过程中的各层或各步骤。这些产量预测然后被用于确定制造过程中哪些区域最需要改进。

附图说明

图 1 是一个用于阐述本发明系统的优选实施例所完成的各步骤的框图。

图 2 是一个用于阐述本发明系统为实现一个反馈回路而完成的各附加步骤的框图。

图 3 是用于阐述包括一个单金属印刷板层的短流程掩模的图像。

图 4 阐述一个示例性金属短流程芯片上的衬垫帧。

图 5 阐述图 4 中阐述的每个衬垫帧内的各衬垫。

图 6 阐述两种类型的衬垫帧结构，它们包含 van der Pauw 结构。

图 7 阐述包含 van der Pauw 结构的衬垫帧在示例性芯片上的位置。

图 8 阐述一个示例性 van der Pauw 结构。

图 9 阐述示例性金属短流程芯片上叠套缺陷尺寸分布结构的示例性位置。

图 10 阐述一个示例性叠套缺陷尺寸分布结构。

图 11 阐述一个示例性 Kelvin 临界尺寸结构。

图 12 阐述一个示例性金属短流程芯片上的 Kelvin 结构的示例性位置。

图 13 阐述一个示例性金属短流程芯片上的蛇和梳的示例性位置。

图 14 阐述一个示例性金属短流程芯片中所用示例性蛇和梳结构。

图 15 阐述一个示例性金属短流程芯片中所用边界结构的不同例子。

图 16 阐述一个示例性金属短流程芯片上边界结构的示例性位置。

图 17 阐述一个示例性金属短流程芯片上扫描电子显微镜结构的示例性位置。

图 18 阐述用于解释可短路面积的一个示例性测试结构。

图 19 阐述用于检查线端头处 T 形端头产量的示例性测试图形。

图 20 阐述用于提取缺陷尺寸分布的示例性叠套结构。

图 21 阐述用于确定缺陷随着尺寸减弱的速率的一条曲线。

图 22 (a)、22 (b) 和 22 (c) 分别阐述一个样本产品布局的金属 - 1 层的线宽、间距和图形密度分布。

具体实施方式

现在参照图 1, 其中显示一个用于阐述一个一般由 10 标示的系统所完成的步骤的框图, 该系统根据本发明预测集成电路产量。系统 10 利用至少一种类型的特征化载体 12。该特征化载体 12 优选地具有软件形式, 它包含为制造一个集成电路结构所需信息, 它包括用于表示将要被包括于最后产品中的至少一种特征类型的具体特征。例如, 特征化载体 12 可能定义一个单个金属印刷板层的短流程测试载体, 该金属印刷板层用于检测所考虑的过程流的金属互连模块的质量和可制造性。这些结构必须足够大和与制造过程中移动的实际产品或产品类型足够类似, 以便可靠地捕捉或记录可能影响制造期间的产品的不同毛病。以下将描述短流程和埋嵌于它们之中的结构的更具体的例子和描述。

短流程被定义为只包含集成电路制造周期内整个过程步骤中的一个特定子集。例如, 当整个制造周期可能包含多至 450 个或更多过程步骤时, 一个特征化载体例如一个被设计为调查单个互连层的可制造性的特征化载体只需包括少量例如 10 至 25 个过程步骤, 因为有源设备和多互连层并不被要求获得一个产量模型或允许正确地诊断那些困扰与过程流中单个互连层相关联的步骤的毛病。

特征化载体 12 定义那些与所建议产品布局的一个或多个属性相匹配的特征。例如, 特征化载体 12 可能定义一个短流程测试载体, 它具有的

一个部分布局，包括用于表示所建议产品布局的各特征（例如线尺寸、间距和周期性；线弯曲度和布线等的例子）以便确定可能困扰这些具体设计类型的和促使产量降低的毛病。

特征化载体 12 可能也定义一个或多个有源区域和所建议设计的邻域特征以便发现布局邻域对设备性能和过程参数的影响；作为布局属性的函数的模型设备参数；和确定哪些设备与产品性能最为相关。此外，通过构作和分析足够多的短流程载体从而经历整个过程的所有模块化部件的所有可能的或主要子集的范围，即能发现、作出模型和/或诊断出对许多（如果不是全部）困扰所制造具体产品的产量问题的充分评价。

除提供信息以供评估和诊断可能从制造中的产品中看出的产量问题外，特征化载体被设计为产生产量模型 16，它能够用于正确地预测产量。这些产量模型 16 能够用于以下目的：包括但不限于产量计划、在整个过程中将产量改进活动排定优先级、和修改产品本身的原有设计以使它更便于制造。

本发明中所设想的特征化载体 12 中的大多数测试结构是为电气测试所设计的。为此目的，由每个特征化载体评估的对模块中故障和缺陷进行检测的可靠性是非常高的。观察设备无法提供或允诺如此高的可靠程度。此外，数据采集的速度和体积是分别非常快和大的，因为电气测试是快和廉价的。以此方式，能够实现统计学上有效的诊断和/或产量模型。

特征化载体 12 优选地采取一个带或盘上的 GDS 2 布局的形式，然后它被用于产生一个标线组。该标线组在制造周期 14 的所选部分期间用于产生产量模型 16。因此该产量模型 16 优选地从晶片的至少一部分中测量的数据中构作而成，而该晶片已经经受过由特征化载体 12 所定义的标线组所选择使用的的制造过程步骤。

产量模型 16 不但埋嵌由特征化载体所定义的布局，它还包括由制造操作过程本身所引入的人工制品。产量模型 16 可能还包括原型体系结构和布局图形以及便于以操作速度采集电气测试数据和测试原型段，这些特征能够加强产量预测的正确度和可靠性。

提取引擎 18 是一个工具，用于从所建议产品布局 20 中提取布局属

性和将此信息植入产量模型 16 内以便获得一个产品产量预测 22。这类布局属性可能包括例如通道冗余、临界面积、净长度分布和线宽/间距分布。然后,在给定来自所建议产品布局 20 的布局属性和来自根据来自特征化载体 12 的信息而制造的产量模型 16 的数据的情况下,能够预测产品产量 22。使用本发明的系统和方法,该获得的可预测产品产量能够与每个定义的属性、功能块或层、或整个产品布局的最后产量预测相关联。

现在参照图 2,其中显示一个根据本发明的用于预测集成电路产量 10 的系统的框图,该系统附加地包括一个一般由 24 标示的反馈回路,用于依靠提取引擎 28 从产品布局 20 中提取设计属性 26。根据本发明的这个特征,使用产品布局 20 的属性来开发特征化载体 12。在此情况下,产品布局的属性被提取,确保属性的范围在特征化载体 12 中被跨越。例如,产品布局被分析以便确定间距分布、宽度分布、密度分布、岛状图形数量,因而实际上开发制造过程的设计规则的整个集合的一个子集,该子集能够被应用于所考虑的具体产品布局。就图形而言,产品布局分析将确定最普通图形,次普通图形等。这些将由提取引擎 28 所提取并产生设计属性 26,它们包括所有这些图形,以供被包括入特征化载体 12 内。就密度而言,如果产品布局的分析发现第一金属的密度为自 10% 至 50%,则特征化载体将包括第一金属的自 10% 至 50% 的整个范围。

特征化载体的一个类型是金属短流程特征化载体。金属短流程特征化载体的目的是将单个互连层的可印刷性和可制造性加以量化。通常一个金属短流程在过程中很早操作,因为对于高产品产量而言金属产量是重要的,通常很难获得,并且只包含少数独立的过程步骤。使用金属短流程掩模进行短流程实验,这能够有助于快速而连续地进行实验和分析,以便消除任何系统化缺陷产量或随机缺陷产量或使它们最小,这些缺陷产量被检测而不必等待整个流程的完成。

参照图 3,其中显示一个通常的和阐述性的一般由 30 标示的金属短流程掩模的图象,它包含单个金属印刷板层。该掩模 30 用于定义芯片上的单个金属层,以及图 3 中阐述的示例性芯片 32 与分档器一般大,能够容纳例如此例中大约 22mm x 22mm 的尺寸。它被分为 4 个象限,如图 4

中所示 42、44、46 和 48，其中每个包含以下 6 个基本结构中的一个或多个：(i) Kelvin 金属临界尺寸结构；(ii) 蛇和梳结构；(iii) 叠套缺陷尺寸分布结构；(iv) van der Pauw 结构；(v) OPC 评估结构；和 (vi) 古典扫描电子显微镜 (SEM) 结构。

大约 50 % 的芯片面积用于叠套结构，用于提取缺陷尺寸分布，而 40 % 的芯片面积用于检测系统产量损失机制和测量参数化变动。图 3 也阐述芯片上衬垫帧 34 的位置。在此处描述的实施例中，在芯片上有 131 个衬垫帧，其中每个衬垫帧 34 包括 32 个衬垫，如图 5 中所示。每个衬垫帧 34 中的衬垫提供电气连接点，按照以下将要描述的测试程序所要求的，这些电气连接点被外部测试设备接触。

此芯片中使用的 van der Pauw 测试结构 82 (见图 8) 是 4 端方形结构，它们利用结构的对称性来直接确定面电阻。正确地确定面电阻是测量线宽变动的一个要求。该 van der Pauw 结构 82 被安排为两个不同帧类型：混合型 62 (见图 6A) 和 VDP1 型 64 (见图 6B)。图 7 阐述包含此处阐述的示例性金属短流程芯片中的 van der Pauw 结构的衬垫帧 72 的位置。在此示例性芯片中，van der Pauw 结构占据小于芯片面积的 1 %。在 van der Pauw 结构中，线宽 (LW) 和 LW 抽头 (见图 8) 是变化的参数。表 I 显示此处阐述的示例性金属短流程芯片中的 van der Pauw 结构中的变动。

表 I

LW(μm)	LW 抽头(μm)
1 (DR)	1 (DR)
1.1	1.1
5	1
10	2
25	5
35	7
35	3.5
50	5

叠套缺陷尺寸分布结构是被叠套的连续线阵列，这些叠套连续线阵列被设计为用于开路 and 短路检测和用于提取缺陷尺寸分布。线宽和间距是被改变以方便于提取缺陷尺寸分布的参数。在此处描述的实施例中，这些结构在图 9 中所示位置 92 和 94 处占据芯片面积的 50%，并且在总共 10 个单元 96 中具有 14 个变动。这些结构能够占据的面积必须足够大以便正确地检测出每个晶片中小于 0.25 缺陷/ cm^2 。变动的数量通常包括设计规则(DR)、稍低于 DR、稍高于 DR 和实际上高于 DR。因此，如果 DR 是间距 $1.0\mu\text{m}$ ，则曲线可能是如表 II 中所示的 0.9、1.1、1.3 和 2.5。

表 II

线宽=间距(μm)	长度(cm)
0.9	39.6
1.0 (DR)	36
1.1	33
1.3	28.2
2.5	24.6

每个单元被划分为 6 个子单元，以便将线电阻减少至合理水平（小于 $250\text{ k}\Omega$ ），同时使每个单元的多缺陷机会最小。在此实施例中，每个单元有 16 个蛇。一个一般以 1002 标示的示例性叠套缺陷尺寸分布结构本身被阐述于图 10 中。该叠套缺陷尺寸分布结构被设计为使线宽(LW)等于间距(S)，以便简化随后的数据分析。

开尔文 (Kelvin) 金属临界尺寸(CD)结构由每一端处与终端连接的连续直线所组成。这些结构允许进行精确线电阻测量，该测量与根据 van der Pauw 结构所确定的面电阻一起用于确定 Kelvin 线宽。这些结构被主要设计为用于确定电气临界尺寸中的变动。一个一般以 110 标示的示例性 Kelvin 临界尺寸结构被阐述于图 11 中。为研究光学逼近效应对电气临界尺寸可变动性的影响，将本地邻域结构改变。为本地邻域而改变的

参数是线的数量 112、线宽 114 和间距 116。围绕 Kelvin 结构的全局环境 118 也是变动的，主要用于研究对电气临界尺寸的蚀刻相关效应（见图 11）。为全局邻域而变动的参数是密度和面积。全局邻域结构也能用于其他电气测量的需要。例如，这些结构的产量能够被测量以便不但获得作为环境函数的金属临界尺寸，而且获得作为环境函数的产量。图 12 阐述此处描述的金属短流程芯片中的 Kelvin 结构 122 的位置。这些位置被选择以便覆盖有用面积。表 III 至 IX 描述此处描述的金属短流程芯片中使用的 Kelvin 结构中的变动。这些值被选择以便覆盖在图 22(a)至 22(b)中所识别的间距。例如，图形密度围绕 45% 为中心以及线宽和间距的范围为 1.0 至 3.3 μm ，因为这是大多数示例性产品布局的中心所在。

表 III

线宽(μm)	间距(μm)	本地线数量	固定的参数
0.75	0.75	6	本地线宽 = 1 μm
0.9	0.9		密度 = 45 %
1 μm (DR)	1.0 (DR)		梳的线宽 = 1.3 μm
1.1	1.1		Dx max = 400 (μm)
1.3	1.3		Dy max = 400 (μm)
2.5	2.5		
3.3	3.0		
10	3.3		
	10		
	50		

表 IV

线宽(μm)	间距比	本地线数量	固定的参数
0.75	2 比 1	6	本地线宽 = $1\mu\text{m}$
0.9	3 比 1	2	密度 = 45 %
1 (DR)			梳的线宽 = $1.3\mu\text{m}$
1.1			$Dx \max = 400 (\mu\text{m})$
1.3			$Dy \max = 400 (\mu\text{m})$
2.5			
3.3			
10			

表 V

线宽 (μm)	本地线 数量	本地线宽 (μm)	间距 (μm)	固定的参数
0.75	1	1 (DR)	1 (DR)	密度 = 45 %
0.9	2	1.3	1.3	梳的线宽 = $1.3\mu\text{m}$
1 (DR)	4			$Dx \max = 400 (\mu\text{m})$
1.1				$Dy \max = 400 (\mu\text{m})$
1.3				
2.5				
3.3				
10				

表 VI

线宽 (μm)	间距 (μm)	本地 线数 量	密度	LW 梳 (μm)	固定的参数
1.0 (DR)	1.0 (DR)	6	0	1.3	Dx max = 400 (μm)
1.3	1.3	2	0.2	10	Dy max = 400 (μm)
			0.40		
			0.45		
			0.50		

表 VII

线宽(μm)	间距(μm)	本地线宽(μm)	固定的参数
0.9	1.0 (DR)	10	本地线数量 2
1.0 (DR)	1.1	30	密度 45 %
1.1	1.3	100	梳的线宽 1.3
1.3	2.5		Dx max = 400 (μm)
2.5	3.3		Dy max = 400 (μm)
3.3	10		
10			

表 VIII

线宽 (μm)	间距 (μm)	固定的参数
1.0 (DR)	1.0 (DR)	本地线数量 6
1.1	1.1	密度 - 45 %
1.3	1.3	梳的线宽 1.3
2.5	2.5	Dx_max = 400 (μm)
10	3.0	Dy_max = 400 (μm)
	5.3	本地线宽 1.3

表 IX

线宽(μm)	间距(μm)	本地密度	Dx_max	固定的参数	备注
0.75				本地线数量 0 密度 0 梳的线宽 0 本地线宽 0 Dx_max = 400 (μm)	孤立的 Kelvins
0.9					
1.0 (DR)					
1.1					
1.3					
2.5				Dy_max = 400 (μm) 线宽 = 1.0(μm) 本地线宽=1.0(μm) 本地线数量 2 密度 0.45 梳的线宽 1.3 Dx_max = 400 (μm) Dy_max = 400 (μm)	本地邻域 尺寸
3.3					
10					
	10	2.5			
	20	3.5			
	30	4.5			
	40	5.5			
	50	6.5			
	60	7.5			
	70	8.5			
	80	9.5			
			25	线宽 1.0 本地线宽 1.0 间距 1.0 本地线数量 6 密度 0.45 梳的线宽 1.3 Dy_max 400 (μm)	全局邻域 尺寸
			50		
			100		
			150		
			200		
			250		
			300		
线宽	间距	N_本地	Dx_max	固定的参数	备注
1.0(DR)	1.0 (DR)	6		D_本地 5 梳的线宽 1.3 0.45	标准
1.3	1.3	6			
1.0	40	2			
1.3	40	2			

这些蛇、梳、蛇和梳结构被设计为主要用于检测很多不同图形中的短路和开路。蛇主要用于检测开路而也能用于监测电阻变动。梳用于监测短路。短路和开路是基本的产量损失机制，及这两者必须被减至最小以便获得高产品产量。图 13 显示此处描述的金属短流程芯片中的蛇和梳 1302 的位置。象限一 1304 还包含叠套于 Kelvin 结构中的蛇 1402 和梳 1404，如图 14 中所示。参照图 14，线宽 (LW) 和间距 (S) 是在这些结构上变化以便研究它们对短路和开路的影响的参数。表 X 至 XIII 描述此处描述的金属短流程芯片中使用的蛇和梳结构的变动。再次，这些参数被选择以使线宽、间距和密度中所覆盖的间距类似于图 22(a)至 22(c) 中所示产品布局例子。

表 X

LW_梳 (μm)	间距(μm)	LW_蛇 (μm)	固定的参数
20	0.9	1.0 (DR)	Dx_max = 200 μm Dy_max = 400 μm
50	1.0 (DR)		
100	1.1		
200	1.3		
300	2.5		
	3.0		
	3.3		
	10		
20	1.3	1.3	
50	3.1		
100	3,3		
200	3,5		
300	10		

表 XI

LW_梳(μm)	间距(μm)	固定的参数
0.75	0.75	Dx_max = 200 μm Dy_max = 400 μm
0.9	0.9	
1.0 (DR)	1.0 (DR)	
1.1	1.1	
1.3	1.2	
2.0	1.3	
3.3	2.5	
10	3.0	
	3.3	
	10	

表 XII

线宽 (μm)	固定的参数
0.75	Dx_max = 200 μm Dy_max = 400 μm 10μm
0.9	
1.0 (DR)	
1.1	
1.3	
2.5	
3.3	
10	

表 XIII

LW (μm)	间距 (μm)	固定的参数
20	0.7	Dx_max = 400 μm Dy_max = 200 μm
50	1.0 (DR)	
100	1.1	
200	1.3	
500	2.5	
	2.7	
	3.0	
	3.3	
	5	
	10	

边界和边缘结构被设计为研究光学逼近校正 (OPC) 结构对短路的影响。这些光学逼近校正通常被加入以便改进通道产量。然而, 必须使用和不使用这些边界来检查金属短流程产量以便保证对短路产量没有不良影响。边界 1502 被放置于梳线一端和梳结构内部这两处, 一般以 1504 标示, 如图 15 中所示。图 16 显示此处描述的金属短流程芯片中的一般以 1602 标示的边界结构的位置。

扫描电子显微镜 (SEM) 结构被用于自顶向下地或通过截面 SEM 对线宽进行非电气测量。对于此处描述的金属短流程芯片中的 SEM 条而言, 线宽与根据传统 SEM 技术的间距相同。图 17 阐述此处描述的金属短流程芯片中的 SEM 结构 1702 的位置。这些结构被放置于所阐述实施例的每个象限 1704、1706、1708 和 1710 的底部, 因为在该处有空间。

在图 3 至 17 及其所附说明中, 已经描述一个用于改进金属产量的示例性特征化载体。其他用于通道、设备、硅化物、聚合物等的特征化载体通常被设计和利用。然而设计它们所用过程和技术是相同的。为阐述

目的，将在提取引擎和产量模型上执行该示例性金属特征化载体。

提取引擎 18 具有两个主要目的：(1) 它用于确定级别范围（例如线宽、间距、密度）以便在设计特征化载体时使用。(2) 它用于提取一个产品布局的属性，它然后被用于产量模型中以便预测产量。上面已经结合示例性特征化载体中如何选择蛇、梳和 Kelvin 结构的线宽、间距和密度来描述 (1)。以下大部分讨论将集中于 (2)。

由于几乎无数个属性能够被从产品布局中提取出，因此不可能为每个产品列举所有属性。因此，需要一个过程来指导应该提取哪些属性。通常该特征化载体驱动要提取的那些属性。该过程包含：

1. 列出特征化载体中的所有结构。

2. 将每个结构划分为组或族，以使族中所有结构对一个特定属性形成一个实验。例如，在以上所述金属特征化载体中，族分类的表可能如下：

族	发现的属性。
叠套结构	在少数线宽和间距上的基本缺陷。
蛇和梳	在线宽和间距的广阔范围上的产量包括小间距附近的非常大线宽及小线宽附近的非常大间距。
Kelvin-CD + van der Pauws	在密度、线宽和间距方面的 CD 变动。
边界结构	不同 OPC 方案对产量的影响。

3. 为每个族确定必须从产品布局中提取哪些属性。要提取的正确属性是根据被发现的属性而被驱动的。例如，如果一个具体族发现不同空间

范围上的产量，则必须提取每个空间的空间直方图或可短路面积。对于以上例子，属性的所需列表可能是：

族	发现的属性	要从产品布局中提取的属性
(A)叠套结构	在少数线宽和间距上的基本缺陷	临界面积曲线。
(B)蛇和梳	在广阔范围的线宽和间距上的产量包括...	特征化载体中发现的每个线宽和间距的可短路面积和/或实例计数。
(C)Kelvin-CD 和 van der Pauw	在密度、线宽和间距上的 CD 变动	图形密度、线宽和间距的直方图（类似于图 22 中所示例子）。
(D)边界结构	不同 OPC 方案对产量的影响	对于每个被选用于产品布局的 OPC 方案的可短路面积或实例计数。

4.如前所述，使用从合适的产量模型中提取的属性。

对于其他特征化载体，这些族和所需属性将显然不同。然而，过程和实施方式类似于以上所述例子。

如上所述，产量模型 16 优选地从测量的数据中进行构造，这些测量的数据是从经受过使用由特征化载体 12 所定义标线组的制造过程步骤的晶片的至少一部分中测量所得。在优选实施例，该产量被构作为随机部分和系统部分的乘积的模型：

$$Y = \left(\prod_{i=1}^n Y_{Si} \right) \left(\prod_{j=1}^m Y_{rj} \right)$$

用于定义 Y_{Si} 和 Y_{rj} 的方法和技术如下。

系统产量模型

由于存在许多类型的系统产量损失机制，及它们随着工厂不同而不同，要列举每个可能的系统产量模型是不现实的。然而以下描述两个非常普通的技术，同时给出特别是在特征化载体上下文内使用它们的例子和此处描述的方法学。

基于面积模型

基于面积模型能够书写如下：

$$Y_{Si} = \left[\frac{Y_o(q)}{Y_r(q)} \right]^{A(q)/A_o(q)}$$

其中 q 是特征化载体中的一个设计因子，例如线宽、间距、长度、线宽/间距比、密度等。 $Y_o(q)$ 是具有来自特征化载体的设计因子 q 的结构的产量。 $A_o(q)$ 是此结构的可短路面积及 $A(q)$ 是产品布局上的所有实例类型 q 的可短路面积。 $Y_r(q)$ 是在假设随机缺陷是唯一的产量损失机制的情况下此结构的预测产量。用于计算此量的过程在下面结合随机产量模型进行描述。

可短路面积的定义最好地阐述于图 18 中所示例子中。这个类型的测试结构能够用于判断该工厂是否能够生产具有间距 s 的弯曲宽线。在此示例性测试结构中，通过将一个电压施加于端头（1）和（2）之间同时测量自端头（1）流向（2）的电流而测量一个短路。如果此电流大于一

个规定阈值（通常为 $1-100na$ ），则检测出一个短路。可短路面积被定义为一个面积，其中如果出现跨接，则将能测量一个短路。在图 18 的例子中，该可短路面积大约为 $x*s$ 。A(q)项是产品布局中图 18 中所示正确的或几乎正确的图形（即一条具有间距 s 和弯曲 45 度的粗线）的所有实例的可短路面积。Y_r(q)项是使用以下将要描述的临界面积方法来预测此特定结构的随机产量极限而被提取的。

重要的是意识到此模型的有效性只是与被放置于特征化载体上的结构数量和结构尺寸同样良好。例如，如果图 18 中所示的有角度弯曲测试结构从未被放置于特征化载体上或被放置得不够经常以致无法获得有意义的产量数量，则将没有希望将产品布局上的宽线弯曲的产量损失进行模型化。由于难于正确地定义多少个多大的测试结构应该被放置于特征化载体上，实际实验已经显示出特征化载体上的每个测试结构的总可短路面积应该理论上为使 $A(q) / A_o(q) < 10$ 。

以上讨论集中于短路上，因为它们通常比开路产量损失机制更为重要。然而，只要可短路面积能够被造成开路面积所替代，则开路产量损失机制能够同样良好地使用此产量模型进行模型化。

基于实例产量模型

基于实例产量模型的一般形式为：

$$Y_{Si} = \left[\frac{Y_o(q)}{Y_r(q)} \right]^{N_i(q)/N_o(q)}$$

其中 Y_o(q)和 Y_r(q)如同基于面积产量模型中一样是完全相同的。N_i(q)是特征化载体上的单元图形或与测试图形非常类似的单元图形出现于产品布局中的次数。N_o(q)是单元图形出现于特征化载体中的次数。

例如，图 19 显示一个简单的测试图形，用于检查间距 s 附近的各线端头处的 T 型端头的产量。此测试图形通过将一个电压施加于端头（1）

和(2)上同时测量该短路电流而进行测量。如果在特征化载体上某处该图形被重复25次,则 $No(q)$ 将为 $25 \times 5 = 125$, 因为每个测试结构具有5个单元。

如果这个间距 s 附近的单元的出现次数是从产品布局中提取的,则能够预测这种类型的结构的系统产量。例如,如果有5个结构,而每个结构中有500个单元,则 $No(q) = 2500$ 。如果某些产品的 $Ni(q)$ 是10,000,并且测量到特征化载体上的测试结构的产量为98.20%。使用以下所述技术,能够将 $Yr(q)$ 估计为99.67%。在等式中使用这些数:

$$Y_{Si} = \left[\frac{0.9820}{0.9967} \right]^{10000/2500} = 92.84\%$$

随机产量模型

随机分量能够被写为:

$$Y_r = e^{-\int_{x_0}^{\infty} CA(x) \times DSD(x) dx}$$

其中 $CA(x)$ 是缺陷尺寸 x 的临界面积及 $DSD(x)$ 是缺陷尺寸分布,它也被描述于“VSLI 电路的 CAD 的金属印刷板相关产量损失的模型化”, W. Maly, IEEE Trans. on CAD, July 1985, pp 161-177, 它在此处全部引为参考。 X_0 是能够被可信地观察或测量的最小缺陷尺寸。这通常是在最小间距设计规则时设置的。该临界面积是一块面积,其中如果存在一个尺寸为 x 的缺陷则将出现短路。对于非常小的 x 而言,临界面积接近于0,而非常大的缺陷尺寸将具有一个接近于整块芯片面积的临界面积。临界面积和提取技术的附加描述能够在以下文章中找到: P. K. Nag 和 W. Maly, “VLSI 电路的产量评估”, Techcon90, Oct. 16-18, 1990. San Jose; P. K. Nag 和 W. Maly, “非常大 IC 中的短路临界面积的阶层性提取”, Proceedings of The IEEE International Workshop on Detect and Fault

Tolerance in VLSI Systems, IEEE Computer Society Press 1995, pp. 10-18; I. Bubel, W. Maly, T. Waas, P. K. Nag, H. Hartmann, D. Schmitt-landsiedel 和 S. Griep, “AFFCCA: 对圆形缺陷和金属印刷板变形布局的临界面积分析的工具”, Proceedings of The IEEE International Workshop on Detect and Fault Tolerance in VLSI Systems, IEEE Computer Society Press 1995, pp. 19-27; C. Ouyang 和 W. Maly, “大 VLSI IC 中的临界面积的有效提取”, Proc. IEEE International Symposium on Semiconductor Manufacturing, 1996, pp. 301-304; C. Ouyang, W. Pleskacz 和 W. Maly, “大 VLSI 电路中开路的临界面积的提取”, Proc. IEEE International Workshop on Detect and Fault Tolerance of VLSI Systems, 1996, pp. 21-29, 所有以上文章都全部引为参考。

该缺陷尺寸分布表示尺寸为 x 的缺陷的缺陷密度。有许多缺陷尺寸分布的建议模型（例如见“产量模型 - 比较性研究”，W. Maly, Defect and Fault Tolerance in VLSI Systems, 由 C. Stapper 等编辑, Plenum Press, New York, 1990; 及“集成电路缺陷敏感性的模型化”, C. H. Stapper, IBM J. Res. Develop., Vol. 27, No. 6, November, 1983, 这两者都在此处全部引为参考), 但为阐述目的, 最普通的分布:

$$DSD(x) = \frac{D_o \times k}{x^p}$$

将被使用, 其中 D_o 表示大于观察的 x_o 的缺陷/ cm^2 的总数。P 是一个无单位值, 它表示缺陷随着尺寸的变化而衰减的速率。通常 p 位于 2 和 4 之间。K 是一个规范化因子, 以使

$$\int_{x_o}^{\infty} \frac{k}{x^p} dx = 1$$

以下两段描述用于从特征化载体中提取缺陷尺寸分布的技术。

叠套结构技术

叠套结构被设计为用于提取缺陷尺寸分布。它由线宽为 w 和间距为 s 的 N 条线组成,如图 20 中所示。通过测量线 1 和 2、2 和 3、3 和 4、...、及 $N-1$ 和 N 之间的短路电流来测试此结构。任何大于给定特定限值的电流被认为是短路。此外,能够通过测量各线 1、2、3、...、 $N-1$ 和 N 的电阻来测试开路。任何大于给定特定限值的电阻被认为是开路线。通过检查多少条线被短路在一起,能够确定缺陷尺寸分布。

如果只有两条线被短路,则缺陷尺寸必定大于 s 及不大于 $3w + 2s$ 。任何小于 s 的缺陷根本不会造成短路,而大于 $3w + 2s$ 的缺陷则肯定会造成至少 3 条线的短路。对于被短路线的每个数量,能够建立一个尺寸范围:

被短路的线数	尺寸范围
2	s 至 $2s+3w$
3	$2s+w$ 至 $3s+4w$
4	$3s+2w$ 至 $4s+5w$
...	...
N	$(N-1)s+(N-2)w$ 至 $(N)s+(N+1)w$

应该注意到,这些范围是重叠的;因此无法直接计算缺陷尺寸分布。此局限性只对 p 提取有限制。因此,为评估 p ,从所有偶数线的分布中计算一个 p 估计,然后从所有奇数线的分布中计算一个 p 估计。最后这两个值被求平均以便估计 p 。为提取 p ,画出 $\ln(x \text{ 条短路线的故障数量})$ 与 $\log([x-1]s + [x-2]w)$ 的曲线。能够看出,此线的斜率为 $-p$ 。该 D_0 项是通过将每一组线的故障数量计数并且除以结构面积而提取的。然而,对于非常大的 D_0 ,此估计值将会太乐观。有关从类似于测试结构的结构中提取缺陷尺寸分布的附加信息能够在以下文章中找到,例如“使用测试

结构数据提取 IC 层中的缺陷尺寸分布”，J. Khare, W. Naly 和 M. E. Thomas, IEEE Transactions on Semiconductor Manufacturing, pp. 354-368, Vol. 7, No. 3, August, 1994, 它在此处被全部引为参考。

作为例子，考虑以下从一片具有 100 个小片的晶片中取出的数据：

被短路的线数	故障数量
2	98
3	11
4	4
5	2
6	1
7	0
8	0

如果结构尺寸是 1 cm^2 ，则 Do 将为 $98+11+4+2+1=133/(100*1)=1.33$ 缺陷/ cm^2 。此外， $\log(\text{故障数量})$ 与 $\log([x-1]s + [x-2]w)$ 的曲线（见图 21）显示出 $p=2.05$ 。

梳结构技术

假设一个梳的宽度 = 间距 = s ，则此结构的产量能够书写如下：

$$\ln[|\ln(Y)|] = \ln \left[- \int_{x_0}^{\infty} DSD(x) \times CA(x) dx \right] \propto (1-p) \times \ln(s)$$

因此能够从 $\ln[|\ln(Y)|]$ 与 $\ln(s)$ 的曲线斜率来估计 p 。Do 提取技术与以上所述技术相同。

产量影响和评价

一旦已经使用足够数量的特征化载体，并且为每个特征化载体作出

产量估计, 这些结果被放置于一张数据表内以便对产量活动赋予优先级。表 XIV 至 XVI 是包含于这类数据表中的信息的例子。它已经被划分为金属产量、聚合物和有源面积 (AA) 产量 (表 XIV)、触点和通道产量 (表 XV) 和设备产量 (表 XVI) 各段。左面各列标示系统产量损失机制, 而右面各列标示随机产量损失机制。系统故障机制的正确类型随着产品不同而不同, 随着技术不同而不同, 在表 XIV 至 XVI 中显示各例子。

通常各目标被归属于数据表中列举的每个模块。一个模块离目标愈远, 则为解决问题需要更多重视和资源。例如, 在表 XIV 至 XVI 中所示例子中, 如果每个模块的目标被人为地设置为 95%, 则很清楚 ($M_2 \rightarrow M_3$) 通道 (75.12%) 后随以类似的通道 ($M_1 \rightarrow M_2$) (81.92%)。 M_1 短路 (82.25%), 和触点至聚合物 (87.22%) 都低于目标, 以及其中通道 ($M_2 \rightarrow M_3$) 最需要工作量及触点至聚合物需要最少的工作量。

在每个模块内, 还有可能查出最大产量损失位于何处。也即, 它是否为一个使产量下降的特定系统机制, 或者它是否只是一个随机缺陷问题, 或者它是否为两个问题的某些组合? 例如, 如表 XV 中所示, 通道 ($M_2 \rightarrow M_3$) 产量损失清楚地是由一个系统问题起主要作用, 它影响 M_3 级别上连至长金属连线的通道 (77.40%)。除随机缺陷问题 (92.49%) 之外, 来自 ($M_1 \rightarrow M_2$) 的通道也受到同样问题的影响 (91.52%)。要解决通道 ($M_1 \rightarrow M_2$) 产量问题必须都解决这两个问题。

如表 XIV 中所示, 除影响小间距附近的宽线 (96.66%) 的系统问题外, M_1 产量损失也由一个随机缺陷问题起主要作用 (85.23%)。为改进金属 1, 必须都解决这两个问题。对于数据表中的其他模块也能作出类似结论。

对于最坏产量模块, 要求经常操作此模块的其他特征化载体。通常在这些特征化载体上进行划分以便试图改进和使模块产量中的改进生效。对于位于目标内的那些模块, 仍然要求日常性地检测短流程特征化载体以便证实模块产量中没有下转或其他移动。然而, 这些特征化载体不必如其他具有已知问题的模块的操作一样经常。

表 XIV

开路 and 短路 (金属层)								
		系统产量损失机制			随机产量损失机制			
		可短路面 积(cm^2)	实例计数	估计产量	Do	P	估计产量	
金属 1	随机产量				0.7 缺陷 $/\text{cm}^2$	2.3	85.23%	
	小间距附近的宽线	0.034		96.66%				
	小线附近的宽间距	0.00014		99.99%				
	OPC 结构的产量		72,341	99.86%				
	弯曲线		492	100.00%				
	M1 的总数						82.25%	
金属 2	随机产量				0.35 缺陷 $/\text{cm}^2$	1.92	97.45%	
	小间距附近的宽线	0.00079		99.92%				
	小线附近的宽间距	0.000042		100.00%				
	OPC 结构的产量		104037 2	97.94%				
	弯曲线		103	100.00%				
	M2 的总数						95.36%	
	随机产量				0.25 缺陷 $/\text{cm}^2$	2.02	96.92%	

金属 3	小间距附近的宽线	0.0000034		100.00%				
	小线附近的宽间距	0		100.00%				
	OPC 结构的产量		352	100.00%				
	弯曲线		7942	99.92%				
	M3 的总数							96.84%
开路 and 短路 (聚合物和 AA 层)								
聚合物	随机产量 (没有硅化物)				0.17 缺陷 /cm ²	2.03	99.81%	89.71% 来自硅化物
	随机产量 (有硅化物)				4.34 缺陷 /cm ²	4.56	89.54%	
	小间距附近的宽线	0		100.00%				
	小线附近的宽间距	0.01203		98.80%				
	OPC 结构的产量		0	100.00%				
	弯曲线		786541	92.44%				
	在宽 AA 上	0.034		96.66%				
	在窄 AA 上	0,101		99.00%				
	聚合物的总数							
	随机产量 (没有硅化物)				1.3	3.45	99.12%	99.60%
	随机产量 (有硅化物)				1.7	3.02	98.72%	

A A	小间距附近的宽线		10952	99.96%				来自硅化物
	小线附近的宽间距		0	100.00%				
	AA 的总数						98.70%	

表 XV

触点和通道								
		系统产量损失机制			随机产量损失机制			
		可短路	实例计	估计产	故障率	数量	估计产量	
		面 积 (cm ²)	数	量				
至 聚 合 物 的 触 点	随机产量(没有硅化物)				2.20E - 09	3270432	99.28%	99.71%
	随机产量(有硅化物)				3.1E - 09	3270432	98.99%	
	长连线的产量(M1上)		11,921	100.00%				
	长连线的产量(聚合物上)		0	100.00%				
	冗余通道的产量		39421	100.00%				
	完全孤立触点的产量		7200	96.46%				
	至聚合物的触点的总数						94.80%	
至 n+ A A 的 触 点	随机产量(没有硅化物)				2.20E - 09	5270432	98.85%	99.53%
	随机产量(有硅化物)				3.10E - 09	5270532	98.38%	
	长连线的产量(M1上)		75,324	99.99%				
	长连线的产量(聚合物上)		0	100.00%				
	冗余通道的产量		4032007	99.60%				

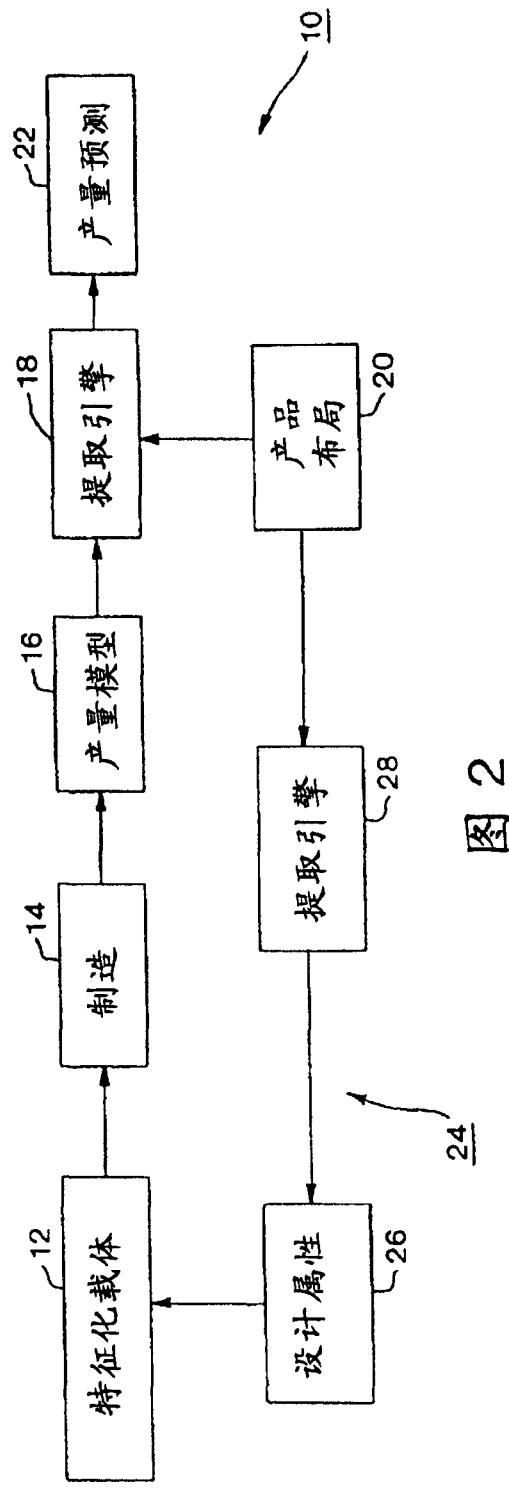
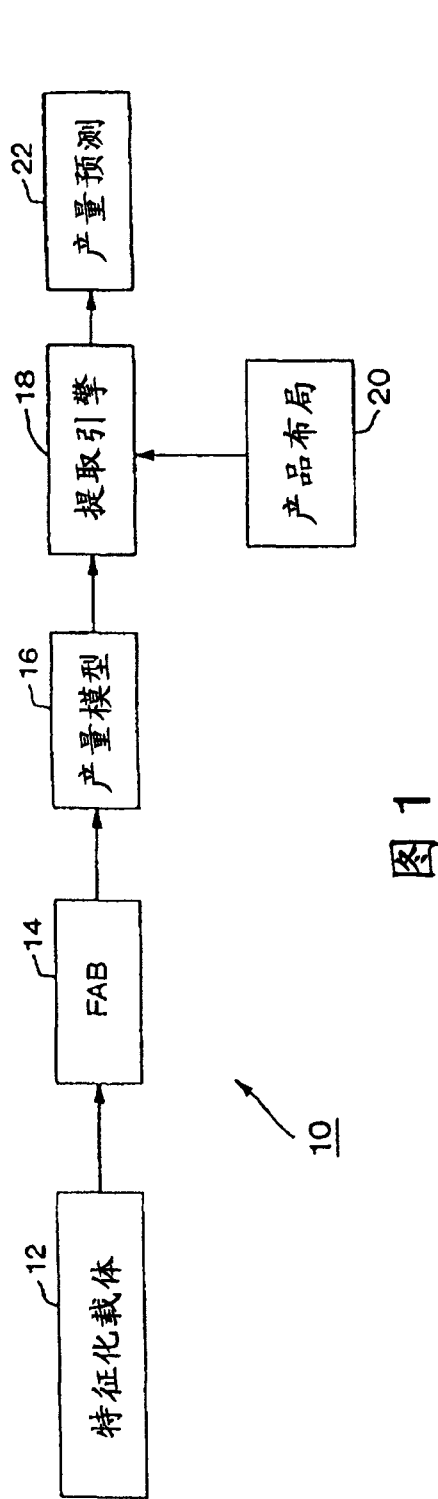
	完全孤立触点的 产量		7200	99.93%				
	至 AA(n+)的触点 的总数						96.78%	
至 p+ A A 的 触 点	随机产量(没有硅 化物)				2.20E - 09	6093450	98.67%	
	随机产量(有硅化 物)				3.10E - 09	6093450	98.13%	
	长连线的产量 (M1 上)		96,732	99.99%				
	长连线的产量(聚 合物上)		0	100.00%				
	冗余通道的产量		39421	100.00%				
	完全孤立触点的 产量		7200	99.93%				
	AA(p+)触点的总 数						96.74%	
M 1 至 M 2 通 道	随机产量(单通 道)				1.10E - 08	7093210	92.49 %	
	长连线的产量 (M2)		88640	91.52%				
	长连线的产量 (M1)		97645	99.03%				
	冗余通道的产 量		1100345 6	96.91%				
	孤立通道的产 量		119582	96.81%				

	M1->M2 通道的总数						81.92 %	
M 2 至 M 3 通 道	随机产量(单通道)				3.10E - 09	4002063	98.77 %	
	长连线的产量 (M3)		256128	77.40%				
	长连线的产量 (M2)		103432	96.97%				
	冗余通道的产量		7096230	99.29%				
	孤立通道的产量		1024	99.99%				
	M2->M3 通道的总数						75.12 %	

表 XVI

设备							
		系统产量损失机制			随机产量损失机制		
		可短路 面 积 (cm ²)	实例计 数	估计产 量	故障率	数量	估计产量
N M OS	随机产量 (逻辑 Xtor)				2.90E - 09	1395228	99.60%
	随机产量 (SRAM Xtor)				2.80E - 09	2226720	99.38%
	S/D 短路				1.00E - 09	3621948	99.64%
	弯曲半导体		1113360	99.89%			

	大 AA 附近		754000	99.9200 %				
	小 AA 附近		1023452	99.90%				
	NMOS 半导体的 总数						98.33%	
P M OS	随机产量 (逻辑 Xtor)				1.80E - 09	1491003	99.73%	
	随机产量 (SRAM Xtor)				3.10E - 09	1113360	99.66%	
	S / D 短路				9.00E - 10	2604363	99.77%	
	弯曲半导体		556680	99.94%				
	大 AA 附近		789092	99.9200 %				
	小 AA 附近		1309970	99.87%				
	PMOS 半导体的 总数						98.89%	



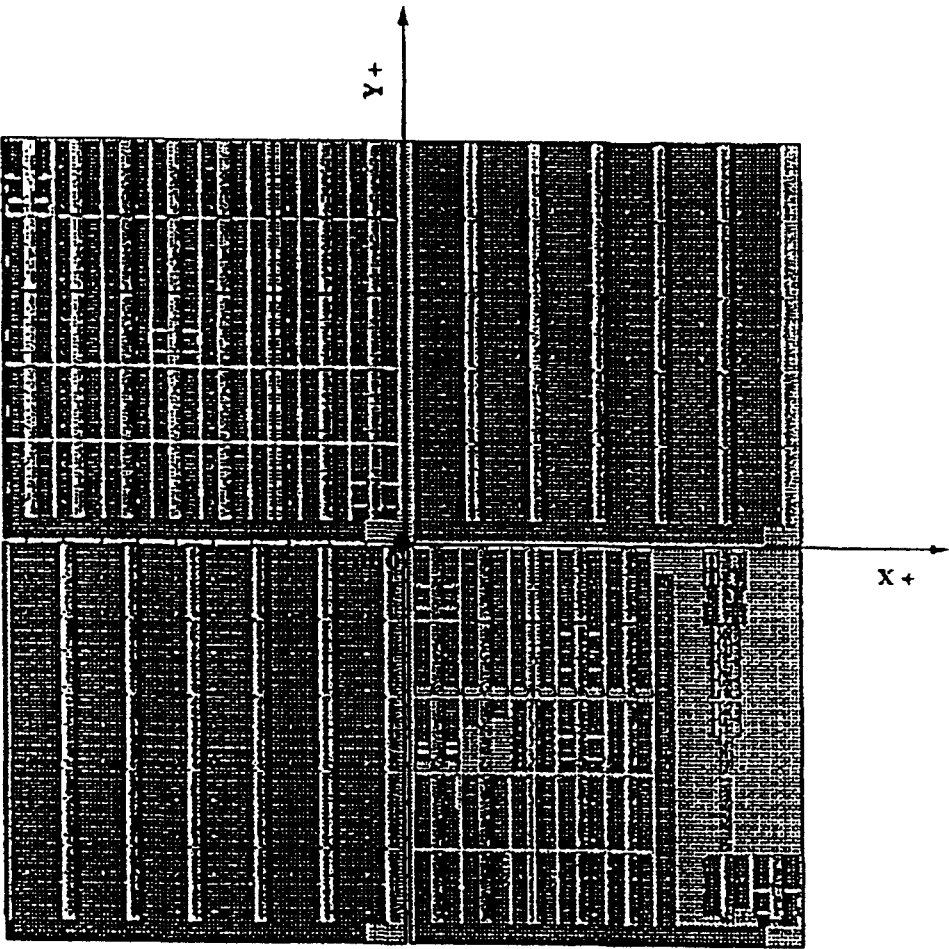


图 3

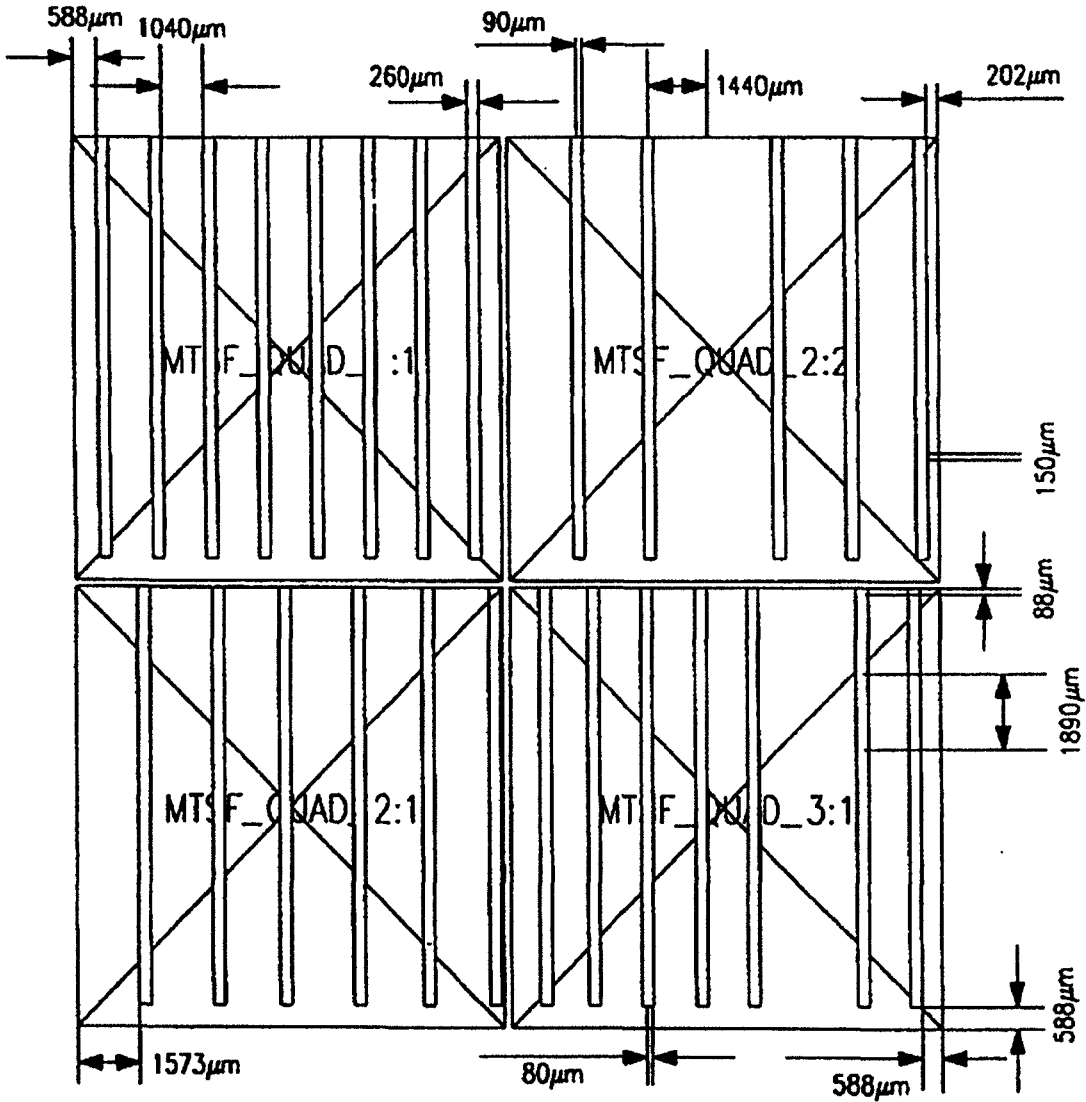


图 4



图 5

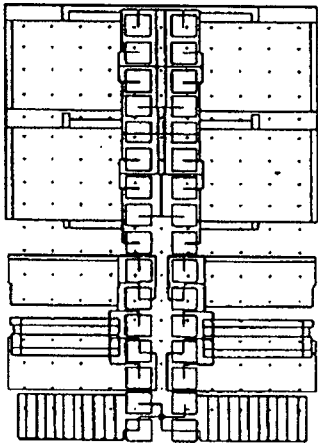


图 6A

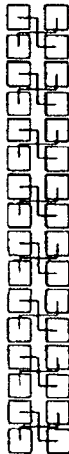


图 6B

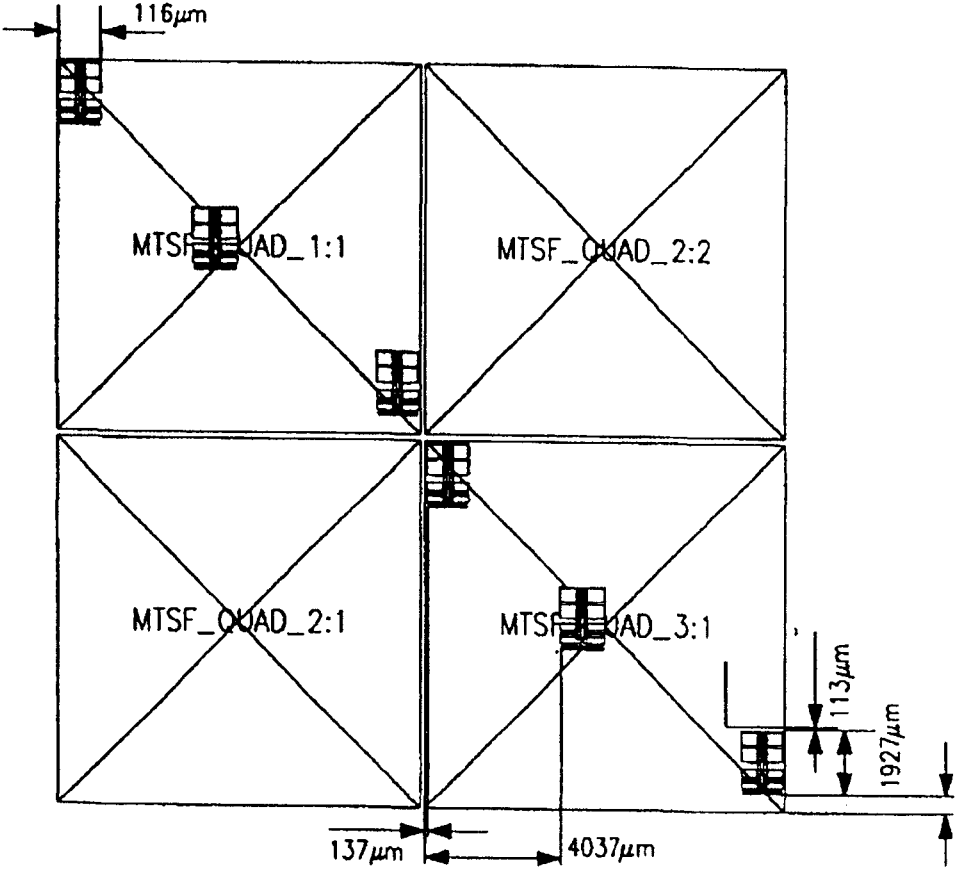


图 7

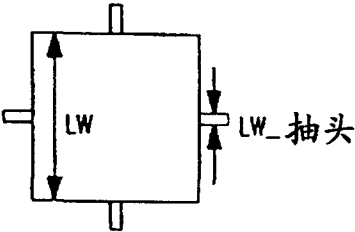


图 8

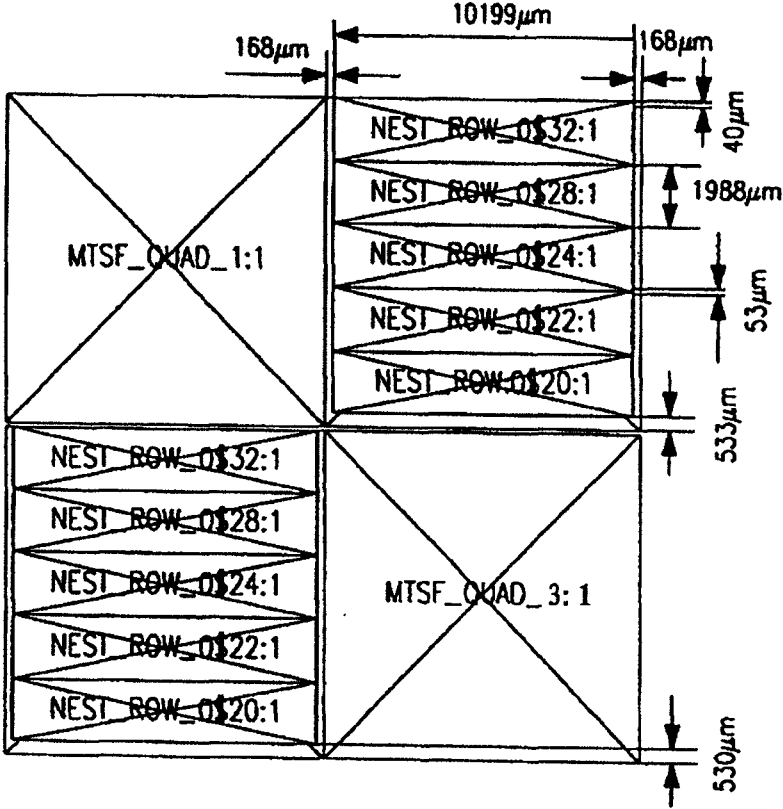


图 9

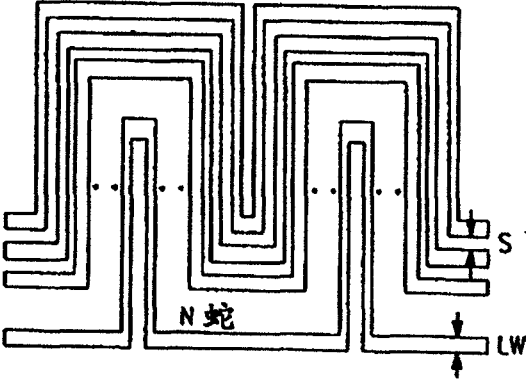


图 10

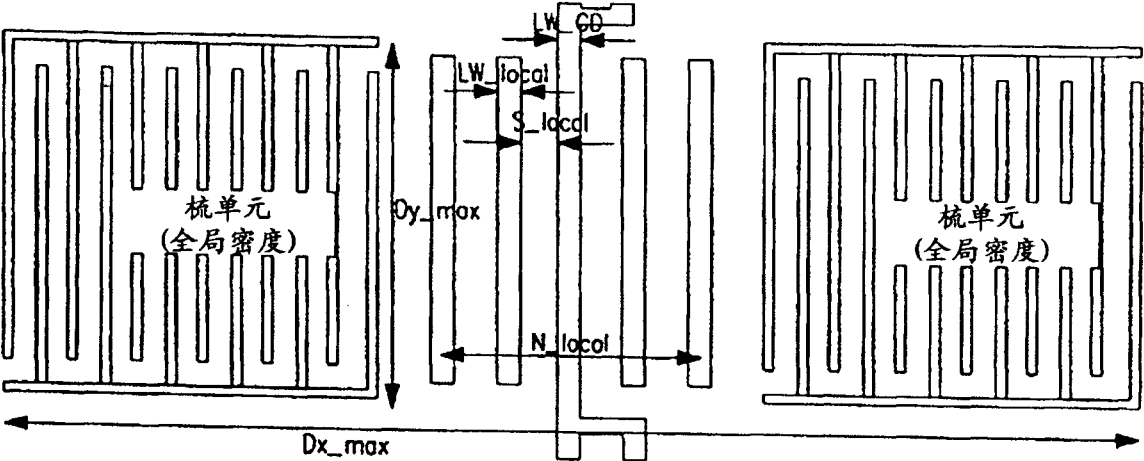


图 11

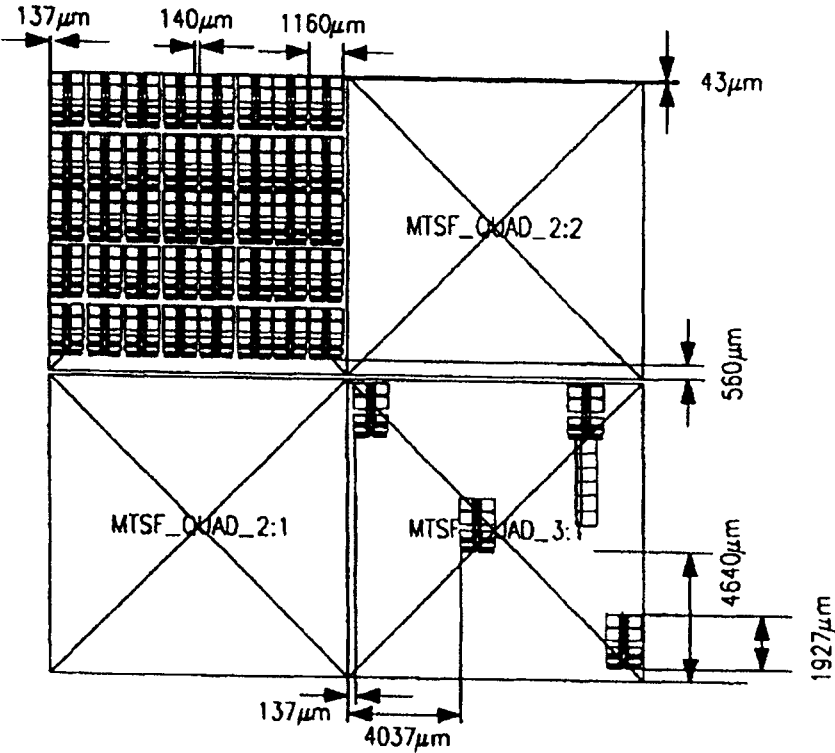


图 12

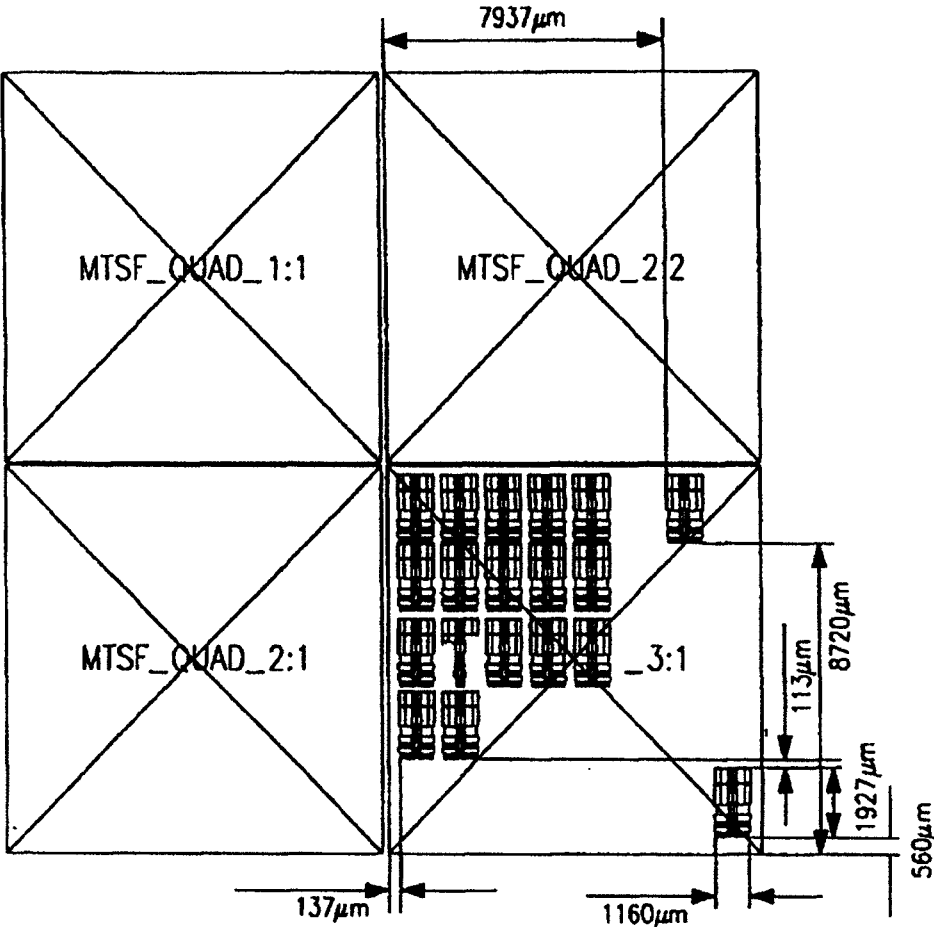


图 13

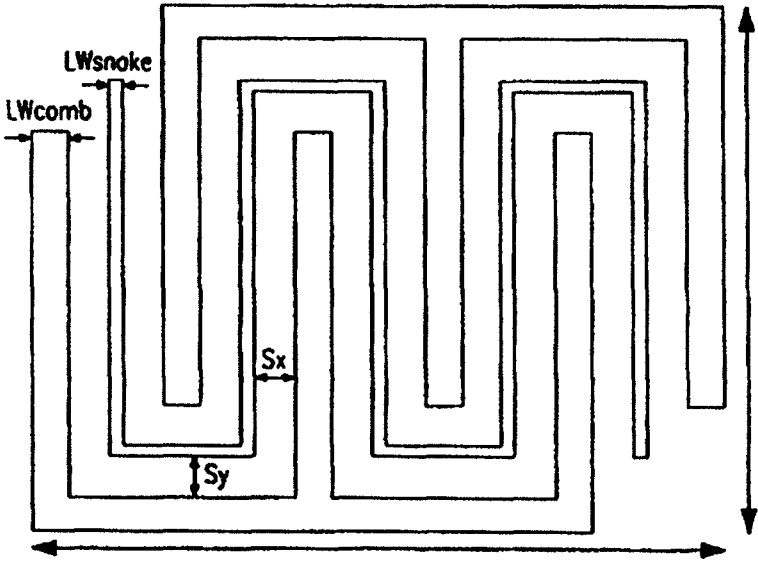


图 14

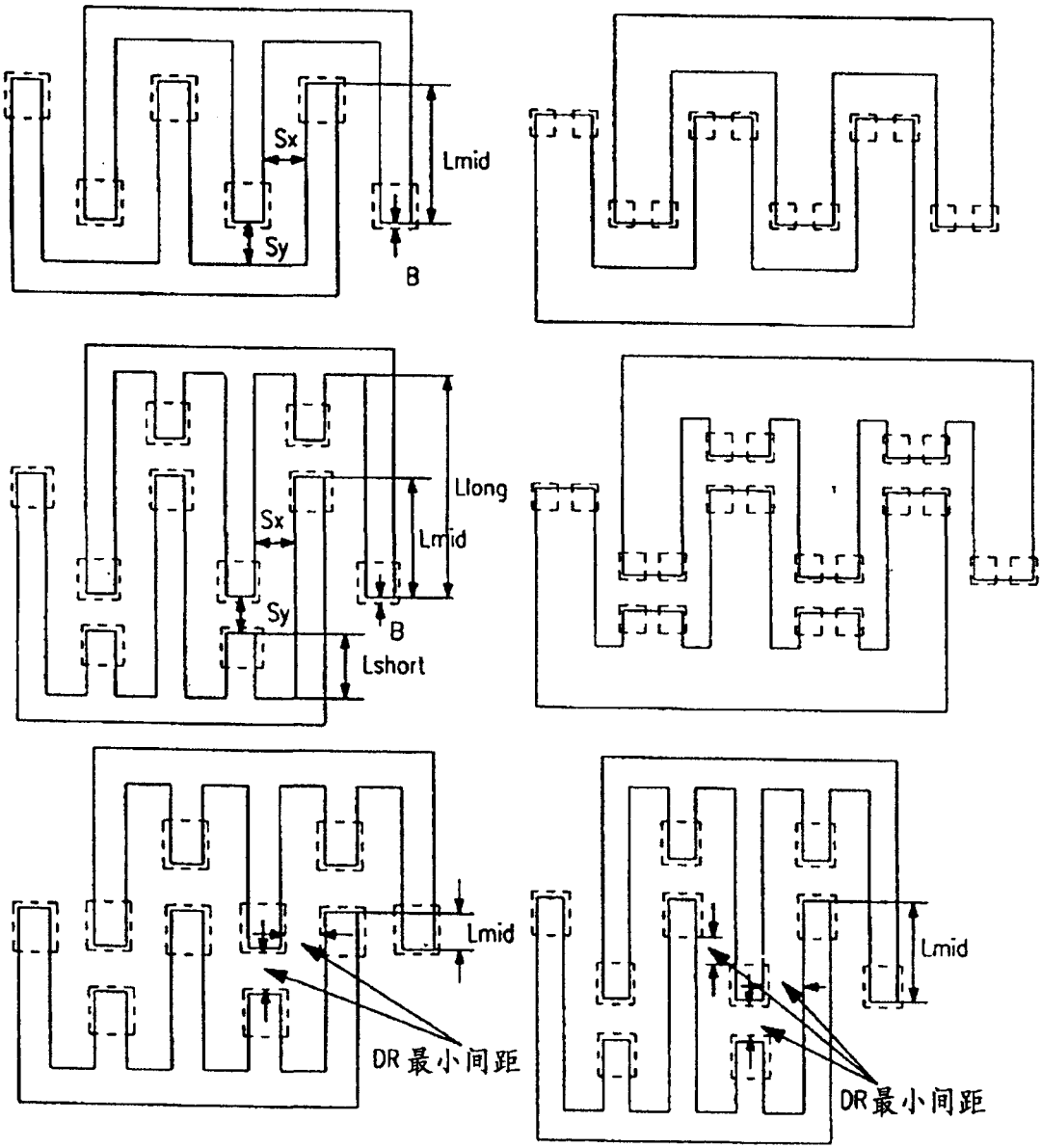


图 15

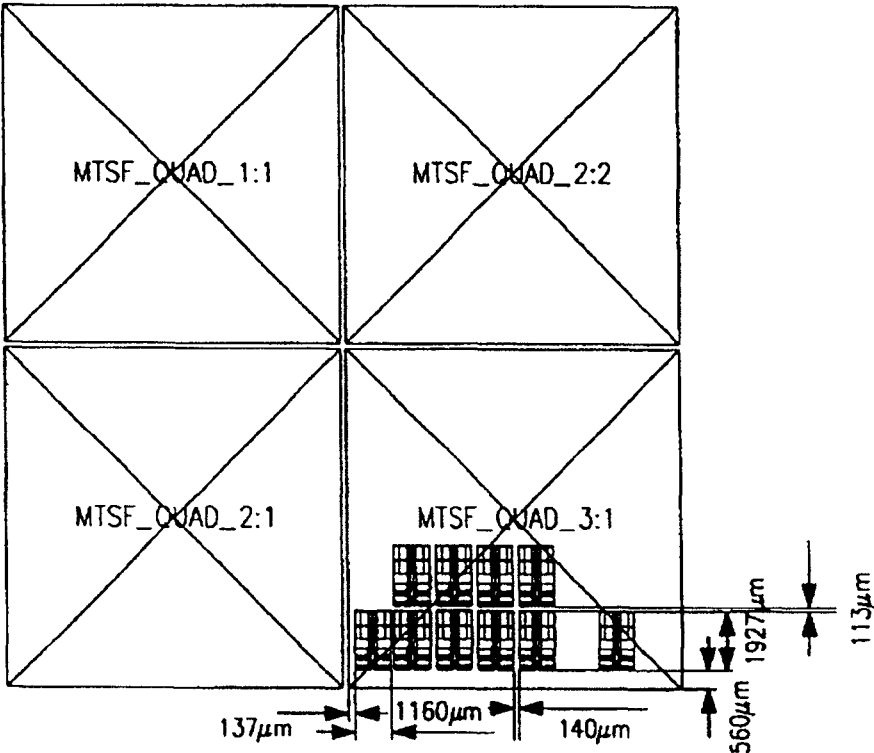


图 16

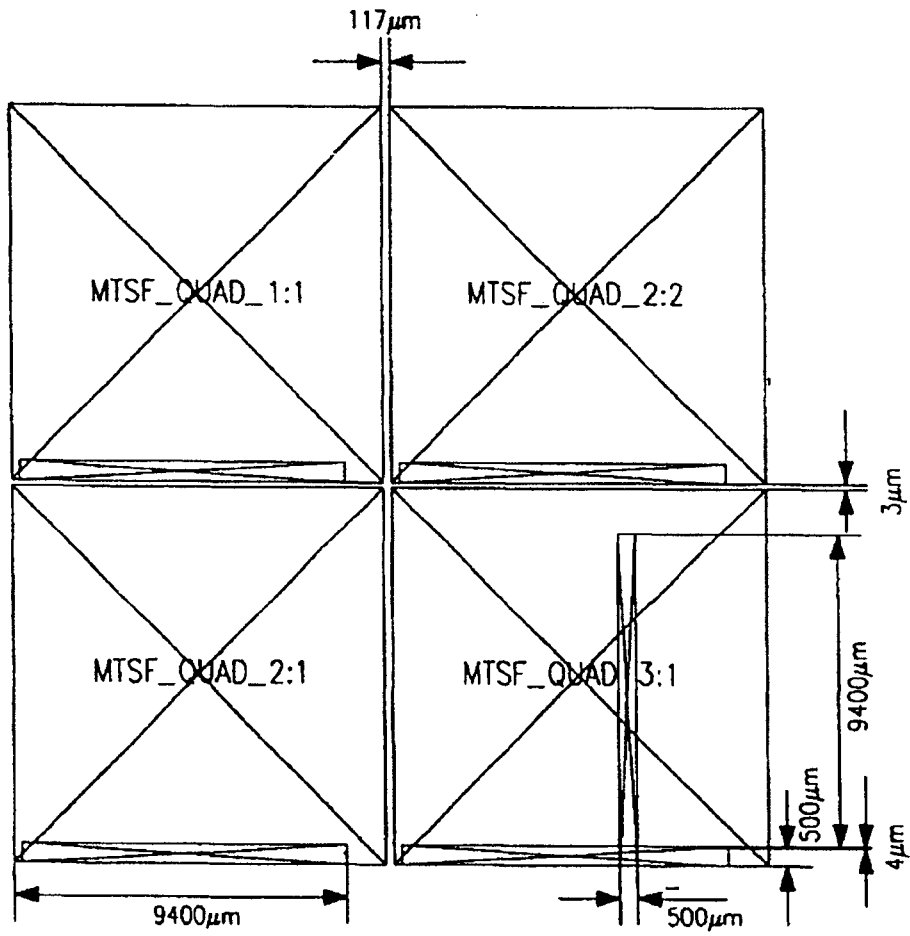


图 17

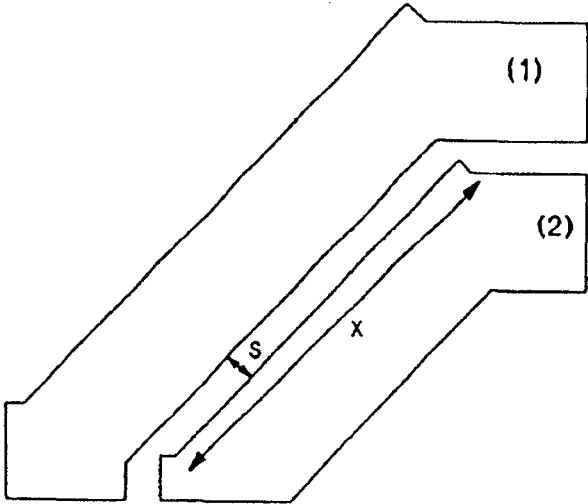


图 18

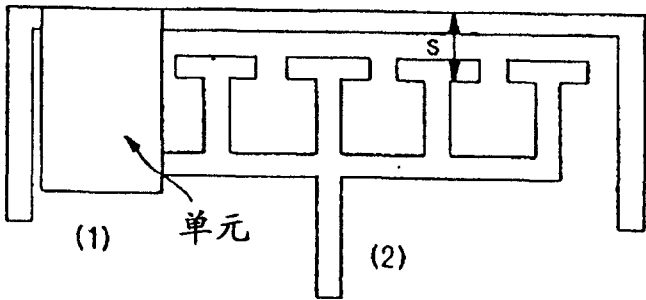


图 19

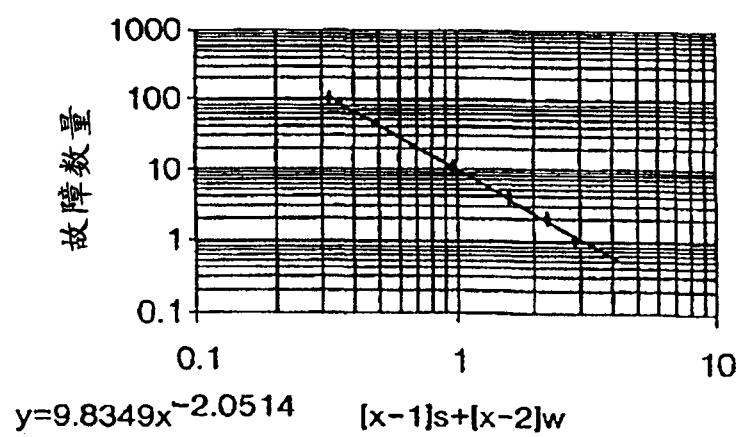
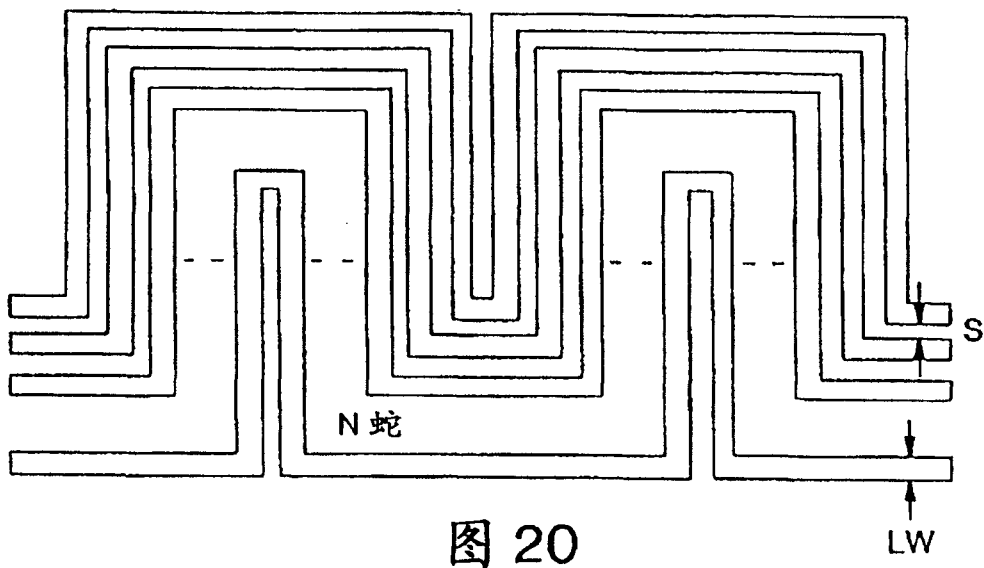


图 21

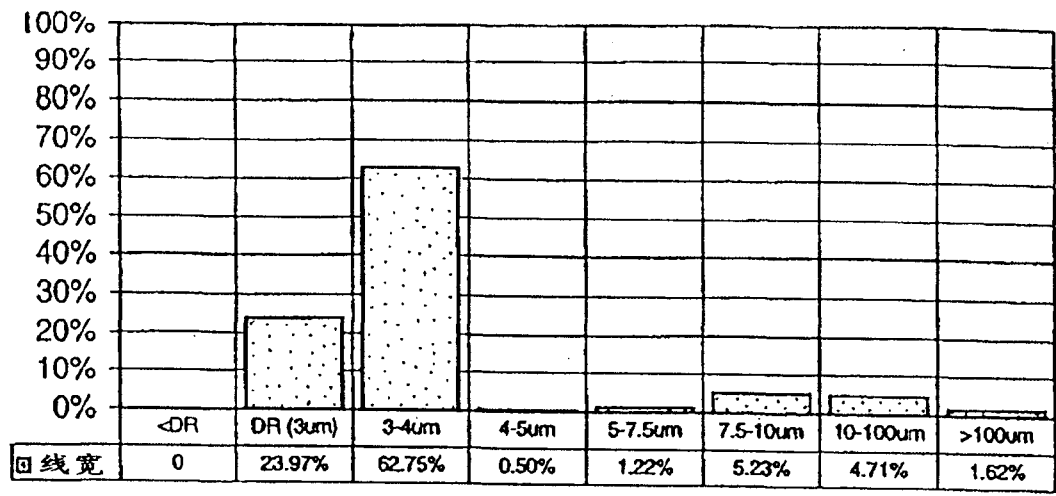


图 22(a)

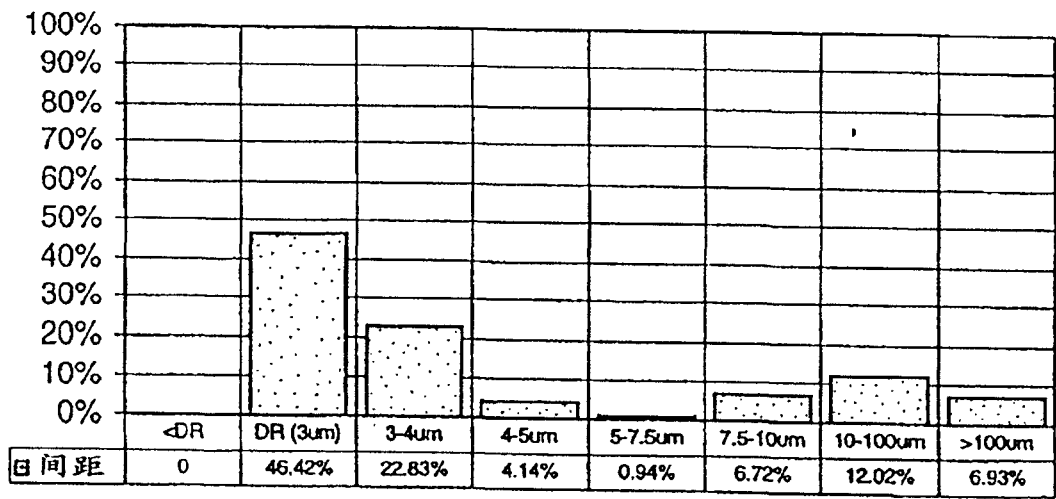


图 22(b)

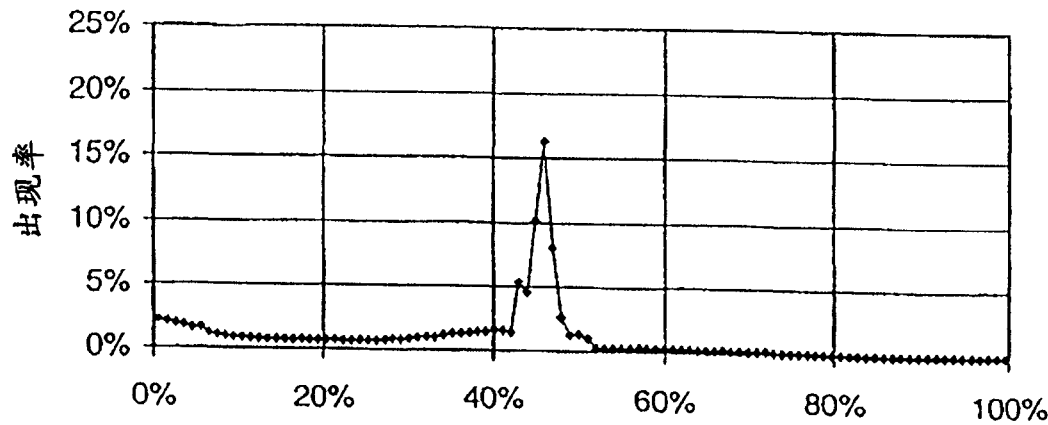


图 22(c)