

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5430215号  
(P5430215)

(45) 発行日 平成26年2月26日 (2014. 2. 26)

(24) 登録日 平成25年12月13日 (2013. 12. 13)

(51) Int. Cl.

F I

B 4 1 J 2/05 (2006. 01)

B 4 1 J 3/04 1 O 3 B

H O 4 N 1/034 (2006. 01)

H O 4 N 1/034

請求項の数 12 (全 18 頁)

(21) 出願番号	特願2009-108465 (P2009-108465)	(73) 特許権者	000001007
(22) 出願日	平成21年4月27日 (2009. 4. 27)		キヤノン株式会社
(65) 公開番号	特開2009-292147 (P2009-292147A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成21年12月17日 (2009. 12. 17)	(74) 代理人	100076428
審査請求日	平成24年4月4日 (2012. 4. 4)		弁理士 大塚 康德
(31) 優先権主張番号	特願2008-122774 (P2008-122774)	(74) 代理人	100112508
(32) 優先日	平成20年5月8日 (2008. 5. 8)		弁理士 高柳 司郎
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 記録素子基板、記録ヘッド、及び記録装置

(57) 【特許請求の範囲】

【請求項 1】

複数の記録素子を備える第1の記録素子列と、

複数の記録素子を備える第2の記録素子列と、

前記第1の記録素子列に含まれる前記記録素子の数より多く、かつ、前記第2の記録素子列に含まれる前記記録素子の数より多い複数の記録素子を備える第3の記録素子列と、前記第1の記録素子列の複数の記録素子を、複数のブロックに区分けし、ブロックごとに時分割駆動を行う第1の駆動回路と、前記第2の記録素子列の複数の記録素子を、複数のブロックに区分けし、ブロックごとに時分割駆動を行う第2の駆動回路と、前記第3の記録素子列の複数の記録素子を、複数のブロックに区分けし、ブロックごとに時分割駆動を行う第3の駆動回路と、前記第1の記録素子列の前記複数の記録素子を駆動するための第1データと、前記第2の記録素子列の前記複数の記録素子を駆動するための第2データと、前記第1及び第2の記録素子列それぞれの前記複数のブロックの内、駆動するブロックを選択するための選択情報と、を保持する第1のシフトレジスタ回路と、前記第3の記録素子列の前記複数の記録素子を駆動するための第3データと、前記第3の記録素子列の前記複数のブロックの内、駆動するブロックを選択するための選択情報と、を保持する第2のシフトレジスタ回路と、

を有することを特徴とする記録素子基板。

## 【請求項 2】

前記第 1 データと前記第 2 データと前記選択情報とは、前記第 1 のシフトレジスタ回路に、1 つの入力端子から入力されることを特徴とする請求項 1 に記載の記録素子基板。

## 【請求項 3】

前記第 1 の記録素子列と前記第 2 の記録素子列とは、並行して設けられていることを特徴とする請求項 1 又は 2 に記載の記録素子基板。

## 【請求項 4】

前記第 1 の記録素子列と前記第 2 の記録素子列とは、それぞれ異なるインク供給口から供給されるインクを吐出するために用いられることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の記録素子基板。

10

## 【請求項 5】

前記第 1 の駆動回路と前記第 2 の駆動回路とは、前記第 1 の記録素子列と前記第 2 の記録素子列との間の領域に設けられていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の記録素子基板。

## 【請求項 6】

前記選択情報をデコードして、前記第 1 の駆動回路へ第 1 のブロック制御信号を出力し、前記第 2 の駆動回路へ第 2 のブロック制御信号を出力するデコーダをさらに有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の記録素子基板。

## 【請求項 7】

前記第 1 の駆動回路は、前記第 1 のブロック制御信号と前記第 1 データとに基づいて、前記第 1 の記録素子列の前記複数の記録素子を時分割駆動し、

20

前記第 2 の駆動回路は、前記第 2 のブロック制御信号と前記第 2 データとに基づいて、前記第 2 の記録素子列の前記複数の記録素子を時分割駆動することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の記録素子基板。

## 【請求項 8】

前記第 1 の駆動回路で実行される時分割の数と前記第 2 の駆動回路で実行される時分割の数は等しいことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の記録素子基板。

## 【請求項 9】

前記第 3 の記録素子列に含まれる記録素子の配列密度は、前記第 1 及び前記第 2 の記録素子列に含まれる記録素子の配列密度より大きいことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の記録素子基板。

30

## 【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の記録素子基板を有することを特徴とする記録ヘッド。

## 【請求項 11】

請求項 10 に記載の記録ヘッドを装着することが可能なキャリッジを有することを特徴とする記録装置。

## 【請求項 12】

前記記録ヘッドに転送されるデータを生成する回路をさらに有することを特徴とする請求項 11 に記載の記録装置。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、配列された記録素子の数が異なる複数の記録素子列を備えた記録素子基板、記録ヘッド、記録装置に関する。

## 【背景技術】

## 【0002】

サーマルインクジェット方式に従ってインクを吐出して記録媒体に記録を行う記録ヘッドは、発熱抵抗素子からなるヒータを記録ヘッドにおける記録素子の構成要素として備えている。さらに、ヒータを駆動するためのドライバ及びそのドライバを記録データに応じ

50

て選択的に駆動するためのロジック回路が、その記録ヘッドの同一素子基板上に形成されている。

【0003】

サーマルインクジェット方式のカラーインクジェット記録装置は年々高解像度化している。これに伴い、記録ヘッドの吐出口の配置密度は、600 dpi から900 dpi、さらには1200 dpi でインクを吐出させることができるようになっている。

【0004】

また、グレー画像及びカラーフォト画像におけるハーフトーン部及びハイライト部での粒状性を軽減することが要求されている。このため、画像を形成するために吐出されるインク滴（液滴）の大きさは、例えばカラーインクを吐出させる記録ヘッドにおいては、数年前までは15 pl 程度であったが、近年、5 pl さらには2 pl と年々小さくなる傾向にある。

【0005】

このような小液滴のインクを吐出する吐出口が高密度に配置された高解像度の記録ヘッドは、高品位なカラーグラフィック画像やフォト画像を記録する際の、高画質な記録を行うというユーザのニーズを満たしている。しかし、帳票におけるカラーグラフを記録する際など、高解像度で記録することが要求されない代わりに高速で記録することが要求される場合、小液滴のインクにより記録するために記録走査数が増大して高速で記録するという要求に応えられない場合があった。

【0006】

そこで、このような高速記録の要求にも応えるため、高画質な記録を行うための小液滴のインクと高速で記録するための大液滴のインクを吐出する記録ヘッドが提案されている。例えば、1つの吐出口に対して複数のヒータを配置しこの複数のヒータにより吐出量を変調する記録ヘッドや、1つの素子基板内に吐出量の異なる複数の吐出口を配置する記録ヘッドも知られている。

【0007】

また、異なる吐出量のインクを吐出する複数の吐出口を備える素子基板において、小液滴のインクを吐出する吐出口からなる吐出口列（小液滴吐出口列）と大液滴のインクを吐出する吐出口からなる吐出口列（大液滴吐出口列）とを並列に備えた素子基板がある。このような素子基板において、高速で高画質な記録を可能にするために、小液滴吐出口列における吐出口の配置密度が大液滴吐出口列における吐出口の配置密度よりも高い素子基板がある。このような素子基板として、例えば1インチあたり600個の吐出口を配置した（配置密度600 dpi）大液滴の吐出口列と、その2倍の1インチあたり1200個の吐出口を配置した（配置密度1200 dpi）小液滴の吐出口列とを備える素子基板がある。このような例として、特許文献1、特許文献2、特許文献3、特許文献4、特許文献5の構成が知られている。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2002-374163号公報

【特許文献2】特開平10-44416号公報

【特許文献3】特開2002-079672号公報

【特許文献4】特開平8-169116号公報

【特許文献5】特表2003-508257号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

近年のインクジェット記録装置は、高画質の画像を記録するために、小液滴のインクを吐出するようになっている。一方で、記録速度の高速化も求められているが、単純に同じ画像を形成するためには同じインク量が必要になるため、吐出するインクの小液滴化を行

10

20

30

40

50

い吐出するインクのサイズが 1 / 2 になれば単純には記録速度が 1 / 2 になる。

【 0 0 1 0 】

記録速度の低下を防ぐために同じ時間で同じインクの量を吐出するためには、ヒータ数を 2 倍にする必要がある。しかしながら、ヒータの配置密度を変えずにヒータ数を 2 倍にするとヒータが配置される素子基板のサイズが 2 倍以上に大きくなってしまう。さらに、素子基板を大きくしてしまうだけでなく、記録装置内を高速で移動する記録ヘッドの大型化、記録装置の大型化、振動及び騒音の増加を招いてしまう。このため、ヒータの配置密度を高くする必要がある。

【 0 0 1 1 】

また、安定したインクの吐出を行うためには、ヒータに安定した電圧を印加しなければならない。全てのヒータを同時に駆動すると一度に大きな電流が流れ、配線抵抗により大きく電圧が降下する。そのため、素子基板が備える複数のヒータを複数のブロックに分割し、時間を分けて順次ブロックごとにヒータを駆動することで安定したインクの吐出を行う時分割駆動方式が知られている。

【 0 0 1 2 】

近年のインクジェット記録装置は、小液滴吐出口列と大液滴吐出口列を並行に配列し、それぞれ対応するヒータを備えた素子基板を備えた記録ヘッドを用いている。さらに、小液滴のインクを吐出する吐出口と大液滴のインクを吐出する吐出口とを選択的に駆動させて高速記録と高画質記録の両立を図っている。しかしながら、高速記録と高画質記録とを両立させるためには、素子基板に実装する吐出口及びヒータの数を増加させる必要がある。

【 0 0 1 3 】

この素子基板として、配置密度 6 0 0 d p i の大液滴吐出口列と、吐出口数がその 2 倍で配置密度もその 2 倍の配置密度 1 2 0 0 d p i の小液滴吐出口列とを同一基板上に備えた構成を例に挙げて述べる。この素子基板では、1 画素 1 ビットで記録するなら、ヒータ数がそのまま記録データのビット数となるため、配置密度 6 0 0 d p i の吐出口列に必要なデータ量に対して、配置密度 1 2 0 0 d p i の吐出口列に必要なデータ量は 2 倍になる。このデータ量の差はデータ転送速度に直接関係する。吐出口列に対応した記録データ毎にクロック信号を持てば個別の駆動周波数でヒータを駆動することが可能になり、時分割数やデータ量が異なる場合でもほぼ同じ時間内でデータ転送することが可能になる。6 0 0 d p i と 1 2 0 0 d p i の配置密度の吐出口列が混在する場合、6 0 0 d p i の吐出口列のヒータに対して 2 倍の速度で 1 2 0 0 d p i の吐出口列のヒータにデータ転送すれば、ほぼ同じ時間でデータ転送をすることが可能となる。

【 0 0 1 4 】

しかし、吐出口列に対応した記録データ信号線毎にクロック信号線を備えると、素子基板のパッド数の増大や記録ヘッドと記録装置本体との信号線の本数の増大という問題が生じる。更にはパッド数及び信号線の本数の増大により素子基板、記録ヘッド、記録装置本体も含めて装置が大型化するという問題も生じる。

【 0 0 1 5 】

そこで、配列密度が異なる吐出口列を複数列有し、時分割駆動を行う素子基板では以下の構成を有している。即ち、クロック ( C L K ) を共通とし、データ転送速度は転送に使われるシフトレジスタが保持するデータのビット数に比例した速度とする。このとき、データ転送の単位は吐出口列であるので、高密度吐出口列と低密度吐出口列とは時分割駆動においてシフトレジスタに保持する必要があるデータのビット数に差がある。この差が転送速度差となる。つまり、シフトレジスタに保持する必要があるデータのビット数の多い高密度吐出口列の転送速度が遅くなる。例えば、転送に使われるシフトレジスタのビット数は、6 0 0 d p i の吐出口列に対応するシフトレジスタが 6 ビット ( 記録データ 4 ビット、ブロック制御データ 2 ビット ) とする。一方、1 2 0 0 d p i の吐出口列に対応するシフトレジスタが 1 0 ビット ( 記録データ 8 ビット、ブロック制御データ 2 ビット ) とする。この条件で、6 ビットのシフトレジスタにおけるデータの転送を、1 0 ビットのシフ

10

20

30

40

50

トレジスタのデータの転送速度とあわせると、本来のデータ転送速度の6 / 10のデータ転送速度でデータの転送を行うことになり、データ転送が遅くなるという問題があった。

【0016】

また、シフトレジスタを含んだ回路パターンの面積はそのシフトレジスタが保持するデータのビット数に依存する。このため、高密度吐出口列に対応するシフトレジスタと低密度吐出口列に対応するシフトレジスタとでそのビット数が異なると回路パターンの面積も異なることになり、回路レイアウトの非効率化を招く。近年、記録装置の小型化が要求されており、これに伴って、記録ヘッドも小型化が要求されている。従って、記録ヘッドのサイズを大きくできない制約の下では、より一層の回路レイアウトの効率化が望まれている。

10

【0017】

そこで、本発明の目的は、異なる数の記録素子が配置された複数の記録素子列を備えた素子基板において、回路レイアウトを効率良く行い、各記録素子へ効率良くデータを転送することを可能にすることである。

【課題を解決するための手段】

【0018】

上記課題を解決するための本発明は、複数の記録素子を備える第1の記録素子列と、複数の記録素子を備える第2の記録素子列と、前記第1の記録素子列に含まれる前記記録素子の数より多く、かつ、前記第2の記録素子列に含まれる前記記録素子の数より多い複数の記録素子を備える第3の記録素子列と、前記第1の記録素子列の複数の記録素子を、複数のブロックに区分けし、ブロックごとに時分割駆動を行う第1の駆動回路と、前記第2の記録素子列の複数の記録素子を、複数のブロックに区分けし、ブロックごとに時分割駆動を行う第2の駆動回路と、前記第3の記録素子列の複数の記録素子を、複数のブロックに区分けし、ブロックごとに時分割駆動を行う第3の駆動回路と、前記第1の記録素子列の前記複数の記録素子を駆動するための第1データと、前記第2の記録素子列の前記複数の記録素子を駆動するための第2データと、前記第1及び第2の記録素子列それぞれの前記複数のブロックの内、駆動するブロックを選択するための選択情報と、を保持する第1のシフトレジスタ回路と、前記第3の記録素子列の前記複数の記録素子を駆動するための第3データと、前記第3の記録素子列の前記複数のブロックの内、駆動するブロックを選択するための選択情報と、を保持する第2のシフトレジスタ回路と、を有することを特徴とする記録素子基板である。

20

30

【0019】

また、上記課題を解決するための別の本発明は、前記記録素子基板を有することを特徴とする記録ヘッド、及びその記録ヘッドを装着することが可能なキャリッジを有した記録装置である。

【発明の効果】

【0020】

本発明によれば、異なる数の記録素子が配置された複数の記録素子列を備えた素子基板において、各記録素子へ効率良くデータ転送すること及び回路レイアウトを効率良く行うことが可能になる。

40

【図面の簡単な説明】

【0021】

【図1】本発明の実施例1に従う素子基板においてヒータが低密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図である。

【図2】本発明の実施例2に従う素子基板においてヒータが低密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図である。

【図3】本発明に従う実施例に対する比較例としての素子基板においてヒータが低密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図である。

【図4】図3に示す素子基板のヒータが高密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図である。

50

【図５】本発明に従う素子基板と比較するための素子基板の概略図である。

【図６】本発明に従う素子基板の概略図である。

【図７】図５に示す素子基板の駆動回路を含むブロック図の一例である。

【図８】素子基板の回路構成の一例を示す図である。

【図９】素子基板に入力される各種信号のタイミングチャートの一例である。

【図１０】素子基板の一例を示す斜視図である。

【図１１】本発明の代表的な実施例であるインクジェット記録装置を示す模式図である。

【図１２】図１１に示すインクジェット記録装置の制御構成を示す図である。

【図１３】インクタンクと記録ヘッドとが一体的に形成されたヘッドカートリッジの構成を示す外観斜視図である。

10

【図１４】インクジェット記録装置の制御回路を説明する図である。

【発明を実施するための形態】

【００２２】

次に、本発明の実施形態について図面を参照して説明する。

【００２３】

なお、この明細書において、「記録」とは、文字、図形等有意の情報を形成する場合のみならず、有意無意を問わず、広く記録媒体上に画像、模様、パターン等を形成する、または媒体の加工を行う場合も表すものとする。また、人間が視覚で知覚し得るように顕在化したものであるか否かを問わない。

【００２４】

20

また、「記録媒体」とは、一般的な記録装置で用いられる紙のみならず、広く、布、プラスチック・フィルム、金属板、ガラス、セラミックス、木材、皮革等、インクを受容可能なものも表すものとする。

【００２５】

さらに、「インク」とは、上記「記録」の定義と同様広く解釈されるべきもので、記録媒体上に付与されることによって、画像、模様、パターン等の形成または記録媒体の加工、或いはインクの処理に供され得る液体を表すものとする。インクの処理としては、例えば記録媒体に付与されるインク中の色剤の凝固または不溶化させることが挙げられる。

【００２６】

なお、説明に用いる「素子基板」或は「記録素子基板」とは、シリコン半導体からなる単なる基体を指し示すものではなく、各素子や配線等が設けられた基体を示すものである。

30

【００２７】

「素子基板上」とは、単に素子基板の表面上を指し示すだけでなく、素子基板の表面上、表面近傍の素子基体内部側をも示すものである。また、本発明でいう「作り込み」とは、別体の各素子を単に基体上に配置することを指し示している言葉ではなく、各素子を半導体回路の製造工程等によって素子基板上に一体的に形成、製造することを示すものである。

【００２８】

<インクジェット記録装置>

40

本発明の素子基板を備えた記録ヘッドを搭載可能な記録装置について説明する。図１１は、本発明の記録ヘッドを装着可能なインクジェット記録装置の一例を示す説明図である。

【００２９】

図１１に示すインクジェット記録装置（以下、単に記録装置ともいう）は、本発明の素子基板を備えた記録ヘッドに、インクを収容する容器と組み合わせて、ヘッドカートリッジＨ１０００を構成している。ヘッドカートリッジＨ１０００はキャリッジ１０２に位置決めされて交換可能に搭載されている。キャリッジ１０２には、ヘッドカートリッジＨ１０００上の外部信号入力端子を介して各吐出部に駆動信号等を伝達するための電気接続部が設けられている。

50

## 【 0 0 3 0 】

キャリッジ 1 0 2 は、主走査方向に延在して記録装置本体に設置されたガイドシャフト 1 0 3 に沿って往復移動可能に案内支持されている。そして、キャリッジ 1 0 2 はキャリッジモータ 1 0 4 によりモータプリー 1 0 5、従動プリー 1 0 6 及びタイミングベルト 1 0 7 等の駆動機構を介して駆動されるとともにその位置及び移動が制御される。また、ホームポジションセンサ 1 3 0 がキャリッジ 1 0 2 に設けられている。これにより遮蔽板 1 3 6 の位置をキャリッジ 1 0 2 上のホームポジションセンサ 1 3 0 が通過した際に位置を知ることが可能となる。

## 【 0 0 3 1 】

記録媒体 1 0 8 は、給紙モータ 1 3 5 からギアを介してピックアップローラ 1 3 1 を回転させることにより、オートシートフィーダ ( A S F ) 1 3 2 から一枚ずつ分離して給紙される。更に搬送ローラ 1 0 9 の回転により、ヘッドカートリッジ H 1 0 0 0 の吐出口面と対向する位置 ( プリント部 ) を通って搬送 ( 副走査 ) される。搬送ローラ 1 0 9 は搬送モータ 1 3 4 の回転によりギアを介して行われる。その際、給紙されたかどうかの判定と給紙時の頭出し位置の確定は、ペーパーエンドセンサ 1 3 3 を記録媒体 1 0 8 が通過した時点で行われる。

## 【 0 0 3 2 】

なお、記録媒体 1 0 8 は、プリント部において平坦なプリント面を形成するように、その裏面をプラテン ( 不図示 ) により支持されている。この場合、キャリッジ 1 0 2 に搭載されたヘッドカートリッジ H 1 0 0 0 は、それらの吐出口面がキャリッジ 1 0 2 から下方へ突出して前記 2 組の搬送ローラ対の間で記録媒体 1 0 8 と平行になるように保持されている。

## 【 0 0 3 3 】

ヘッドカートリッジ H 1 0 0 0 は、記録ヘッド部における吐出口の並び方向がキャリッジ 1 0 2 の走査方向に対して交差する方向になるようにキャリッジ 1 0 2 に搭載され、これらの吐出口列から液体を吐出して記録を行う。

## 【 0 0 3 4 】

## &lt; 制御構成 &gt;

次に、上述したインクジェット記録装置の記録制御を実行するための制御構成について説明する。

## 【 0 0 3 5 】

図 1 2 はインクジェット記録装置の制御回路の構成を示すブロック図である。

## 【 0 0 3 6 】

図 1 2 において、1 7 0 0 は記録信号を入力するインタフェース、1 7 0 1 は M P U、1 7 0 2 は M P U 1 7 0 1 が実行する制御プログラムを格納する R O M である。また、1 7 0 3 は各種データ ( ヘッドカートリッジ H 1 0 0 0 の記録ヘッド 3 に供給される記録データ等 ) を保存しておく D R A M である。1 7 0 4 は記録ヘッド 3 に対する記録データの供給制御を行うゲートアレイ ( G . A . ) であり、インタフェース 1 7 0 0、M P U 1 7 0 1、R A M 1 7 0 3 間のデータ転送制御も行う。1 7 1 0 は記録ヘッド 3 を備えたヘッドカートリッジ H 1 0 0 0 を搬送するためのキャリッジモータ、1 3 4 は記録媒体搬送のための搬送モータである。1 7 0 5 は記録ヘッド 3 を駆動するヘッドドライバ、1 7 0 6 は搬送モータ 1 3 4 を駆動するためのモータドライバ、1 7 0 7 はキャリッジモータ 1 7 1 0 を駆動するためのモータドライバである。また、1 7 0 8 は、電氣的接続が正常でない場合にこれを通知するために点灯する等の目的で備えられる L E D である。

## 【 0 0 3 7 】

上記制御構成の動作を説明すると、インタフェース 1 7 0 0 に記録信号が入力されるとゲートアレイ 1 7 0 4 と M P U 1 7 0 1 との間で記録信号がプリント用の記録データに変換される。そして、モータドライバ 1 7 0 6、モータドライバ 1 7 0 7 が駆動されると共に、ヘッドドライバ 1 7 0 5 に送られた記録データに従って記録ヘッド 3 が駆動され、記録が行われる。

10

20

30

40

50

## 【 0 0 3 8 】

## &lt; ヘッドカートリッジ &gt;

図 1 3 は、インクタンク 6 と記録ヘッド 3 とが一体的に形成されたヘッドカートリッジ H 1 0 0 0 の構成を示す外観斜視図である。同図において、点線 K はインクタンク 6 と記録ヘッド 3 の境界線を示すものである。また、5 0 0 は吐出口が複数配列してなるインク吐出口列である。インクタンク 6 に収容されるインクは、不図示のインク供給路を介して記録ヘッド 3 に供給される。ヘッドカートリッジ H 1 0 0 0 には、キャリッジ 1 0 2 に搭載されたときに、キャリッジ 1 0 2 側から供給される電気信号を受け取るための電極（不図示）が設けられている。そして、この電気信号によって記録ヘッド 3 が駆動されて、吐出口列 5 0 0 の各吐出口から選択的にインクが吐出される。

10

## 【 0 0 3 9 】

## &lt; 素子基板 &gt;

次に、本発明の素子基板について説明する。図 8 は、素子基板の回路構成の一例である。このように、記録ヘッドにおける記録素子としてのヒータとその駆動回路は、半導体プロセス技術を用いて同一基板上に形成されている。

## 【 0 0 4 0 】

図 8 において、1 1 0 1 は熱エネルギーを発生する為のヒータを示し、1 1 0 2 はヒータ 1 1 0 1 に所望の電流を供給する為のトランジスタ（トランジスタ部）を示す。1 1 0 4 は各ヒータ 1 1 0 1 に電流を供給して記録ヘッドの吐出口からインクを吐出するか否かを指定する記録データを一時的に格納するシフトレジスタを示す。1 1 0 7 はシフトレジスタ 1 1 0 4 に設けられたクロック（C L K）入力端子を示し、1 1 0 6 はヒータ 1 1 0 1 を O N または O F F させる記録データ（D A T A）をシリアルに入力する記録データ入力端子を示す。1 1 0 3 は各ヒータに対する記録データをヒータ毎に保持する為のラッチ回路を示し、1 1 0 8 はラッチ回路 1 1 0 3 にラッチのタイミングを指定するラッチ信号（L T）を入力するラッチ信号入力端子を示す。1 1 0 9 はヒータ 1 1 0 1 に電流を流すタイミングを決定するスイッチを示し、1 1 0 5 はヒータに所定の電圧を印加して電流を供給する為の電源配線を示し、1 1 1 0 はトランジスタ 1 1 0 2 を介してヒータ 1 1 0 1 の接地を行う接地配線を示す。

20

## 【 0 0 4 1 】

図 9 は、図 8 に示した素子基板に入力される各種信号のタイミングチャートである。図 9 を用いて図 8 に示した素子基板におけるヒータの駆動等について説明する。

30

## 【 0 0 4 2 】

クロック入力端子 1 1 0 7 にはシフトレジスタ 1 1 0 4 に格納される記録データのビット数分のクロック（C L K）が入力される。シフトレジスタ 1 1 0 4 へのデータ転送は、クロック（C L K）の立ち上がりのタイミングに同期して行われるものとする。各ヒータ 1 1 0 1 を O N または O F F させるための記録データ（D A T A）は、記録データ入力端子 1 1 0 6 から入力される。

## 【 0 0 4 3 】

ここで簡易的に、シフトレジスタ 1 1 0 4 に格納される記録データのビット数とヒータ及びヒータを駆動するパワートランジスタ数とが同じであるとした素子基板について説明する。ヒータ 1 1 0 1 の数の分だけクロック（C L K）のパルスを入力し記録データ（D A T A）をシフトレジスタ 1 1 0 4 に転送した後、ラッチ信号入力端子 1 1 0 8 からラッチ信号（L T）を入力し各ヒータに対応した記録データをラッチ回路 1 1 0 3 に保持する。この後、スイッチ 1 1 0 9 を適当な時間 O N にすれば、スイッチ 1 1 0 9 が O N 状態となっている時間に応じてトランジスタ 1 1 0 2 及びヒータ 1 1 0 1 に電源ライン 1 1 0 5 を通って電流が流れ、その電流は G N D ライン 1 1 1 0 へ流れ込む。この時ヒータ 1 1 0 1 はインクを吐出するために必要な熱を発生し、記録データに対応してインクが記録ヘッドの吐出口から吐出される。

40

## 【 0 0 4 4 】

次に、ビット数がヒータ数より少ないシフトレジスタを用いてヒータを駆動する素子基

50



板における時分割駆動方式について図7を用いて説明する。時分割駆動方式とは、同じヒータ列の全てのヒータを同時に駆動するのではなく、ヒータを複数のブロックに分割し、ブロックごとに時間を異ならせてヒータを駆動する駆動方式である。時分割駆動方式によって同時に駆動するヒータ数を減らすことができる。

【0045】

例えば、同じヒータ列の全てのヒータを $N$ 個 ( $N = 2^n$  ただし $n$ は正の整数とする) ずつグループ(群)に分割して、この群が $m$ 個ある構成を考える。この構成で、1つのグループ内に属する $N$ 個のヒータを時分割駆動制御を行なう。 $m$ 個のグループそれぞれが、各グループ内で時分割駆動する際、グループを越えて同じタイミングで同時駆動するヒータが存在する。複数のグループにまたがって同時に駆動するヒータをブロックと呼ぶ。今、1グループ $N$ 個のヒータを $N$ 時分割で駆動するとする。1グループ内のヒータ数と時分割数が同じである場合、グループは $m$ 個あるので、複数のグループにまたがって同時駆動するヒータは $m$ 個あり、ブロック数は $m$ 個存在することになる。

【0046】

シフトレジスタが保持するデータは時分割に対応するヒータを選択する「ブロック選択信号」とその時分割における「記録データ信号」である。 $N$ 分割駆動の場合、デコーダを介するため $N = 2^n$ となり、シフトレジスタに入力される信号は $n$ ビットのブロック選択信号と $m$ ビットの記録データ信号になる。シフトレジスタから出力されるブロック選択信号はデコーダ1203に入力されデコードされて $m$ 個のブロック選択信号となる。図7では、 $N = 4$ であり、4つおきに配置されているヒータが同時駆動される。

【0047】

ブロック制御データはデコーダ1203に入力され、このブロック制御データに基づいてブロック選択信号が生成される。AND回路1201は、ヒータ1101の駆動回路を構成する。AND回路1201はヒータ1101に対応して設けられている。 $N$ 時分割で時分割駆動するために必要なブロック制御データのビット数は $n$ ビットである。したがって、記録データ入力端子1106からは、 $m$ ビットの記録データと $n$ ビットのブロック制御データが入力される。このため、シフトレジスタ1104及びラッチ回路1103のビット数は、 $n + m$ ビットである。 $N$ 時分割駆動を行なう場合、 $n + m$ ビットのデータを $N$ 回入力することにより、。そして、記録データに基づく記録データ信号とブロック制御データに基づくブロック選択信号とヒート許可信号入力端子1202から入力されたヒート許可信号とに基づいてヒータと1対1に対応するヒータ駆動信号を入力できることになる。生成し、それぞれのヒータを駆動する。言い換えると、この素子基板は、ノズル列が備えるすべてのヒータを一通り駆動するために、記録データとブロック制御データとからなる $n + m$ ビットのデータを、ゲートアレイ1704から $N$ 回入力する。

【0048】

<素子基板及び記録ヘッドの製造方法>

本発明の素子基板及びその素子基板を備える記録ヘッドの製造方法に関して本発明に関連する部分の説明を行う。

【0049】

図10は、本発明の素子基板の一例を示す斜視図である。素子基板1000はヒータ1101とその駆動回路とを、厚さ0.5~1mmのSiウエハを用い半導体プロセスによりその表面に形成する。インクを吐出する吐出口1132は、素子基板1000のヒータ1101に対応したインク流路を形成するためのインク流路壁とともに、樹脂材料である吐出口形成部材1131を用いてフォトリソグラフィ技術により形成される。

【0050】

インクを各吐出口1132まで供給するため、Siウエハの結晶方位を利用した異方性エッチングにより、素子基板の裏面から表面に向かって斜面を持った長溝状の貫通口からなるインク供給口1121が形成される。

【0051】

上記のように構成される素子基板は、インク供給口1121にインクを導く流路部材を

10

20

30

40

50

インク供給口 1 1 2 1 に接続し、それとインクを収容する容器と組み合わせて、ヘッドカートリッジを構成することができる。特に、複数の色のインクをそれぞれ収容する容器と、各色毎の素子基板とを組み合わせてヘッドカートリッジを構成することにより、このヘッドカートリッジを用いてカラー記録を行うことができる。

【 0 0 5 2 】

< 素子基板内の駆動回路 >

図 7 は本発明に従う素子基板の駆動回路の一部を含むブロック図の一例である。この素子基板は多層配線技術が用いられ、各構成要素を接続する配線（アルミニウム、銅または金、あるいは、アルミニウム、銅または金を含む合金による配線）は、絶縁層によって挟まれ、素子基板上において複数の配線層を構成している。そして、それぞれの配線層の配線は、素子基板上の任意な箇所ですルーホール（絶縁層の開口部）によって上下の配線層の配線と接続されている。

10

【 0 0 5 3 】

図 7 に示す素子基板において、1 1 2 1 は素子基板の裏面から吐出口にインクを供給するインク供給口であり、インク供給口 1 1 2 1 に沿って複数のヒータ 1 1 0 1 が高密度に配置されている。

【 0 0 5 4 】

本発明の素子基板におけるヒータの配列とシフトレジスタについて、以下に複数の実施例を用いて具体的に説明する。

【 0 0 5 5 】

20

なお、以下の各実施例の素子基板はインクジェット記録ヘッド用の素子基板であり、これらの素子基板においては、インク供給口 1 1 2 1 に沿って配置される複数のヒータからなるヒータ列は複数の種類がある。具体的には、相対的に多数の記録素子としてのヒータから構成されるヒータ列（第 1 の記録素子列）と相対的に少数のヒータから構成されるヒータ列（第 2 の記録素子列）とが混在している。以下の実施例では、本発明の特徴を分かりやすくするために、各ヒータ列におけるヒータ数（記録素子数）だけではなくヒータの配列密度も異なる場合について述べる。しかし、ヒータの配列密度は等しくヒータ数のみがヒータ列ごとに異なる場合にも適用できる。また、第 1 の記録素子列に属する記録素子を駆動するために第 1 の駆動回路が、第 2 の記録素子列に属する記録素子を駆動するために第 2 の駆動回路が備えられる。

30

【 実施例 1 】

【 0 0 5 6 】

実施例 1 の素子基板は、高密度（1 2 0 0 d p i）でヒータを配置したヒータ列のヒータ数が 3 2 個であり、低密度（6 0 0 d p i）でヒータを配置したヒータ列のヒータ数が高密度でヒータを配置したヒータ列のヒータ数の半分の 1 6 個である。また、並行に備えられたこれらのヒータ列の長さは等しい。低密度でヒータを配置したヒータ列と高密度でヒータを配置したヒータ列とを同じ時分割数で駆動している。なお、時分割駆動は、素子基板内で共通のクロックと、ラッチ信号とを用いて行われる。実施例 1 では、高密度にヒータ（記録素子）が配置されたヒータ列のヒータ数が低密度にヒータが配置されたヒータ列のヒータ数よりも多い。

40

【 0 0 5 7 】

図 5 は、従来の素子基板の概略図である。素子基板は、ヒータ列を 6 つ（L 1 ~ L 6）備えている。ヒータ列 L 1 , L 6 は、ヒータが配列方向に高密度に配列されている一方、ヒータ列 L 2 , L 3 , L 4 , L 5 は、ヒータが配列方向に低密度に配列されている。例えば、ヒータ列 L 1 に対応するシフトレジスタは 1 1 0 4 a である。ヒータ列 L 2 に対応するシフトレジスタは 1 1 0 4 b である。他のヒータ列と他のシフトレジスタの対応関係も同様である。

【 0 0 5 8 】

図 3 は、従来の素子基板における低密度でヒータを配置したヒータ列とシフトレジスタのビット数の関係を示した図である。図 4 は、同様に同じ基板上で高密度でヒータを配置

50

したヒータ列とシフトレジスタのビット数との関係を説明した従来の素子基板の図である。通常、1つの素子基板内に複数のインク供給口を備える素子基板においては、各インク供給口に対応するそれぞれのノズルから、例えばシアン、マゼンタ、イエローなどの異なる種類のインクを吐出させる場合が多い。このような素子基板を備えた記録ヘッドにおいては、各色ごとにインクを吐出する必要があるため、ノズル列（ヒータ列）ごとに独立して駆動制御を行う必要がある。したがって、図5に示すように、1つのノズル列に対して1個のシフトレジスタ及び1個のデータ入力端子を持つ構成が一般的である。そのため、インクの数が増えるほど端子数が多くなり、これが素子基板のサイズ増大の要因にもなっていた。

【0059】

10

図3に示されるように、図5の素子基板では、低密度でヒータを配置したヒータ列は、隣接する4つのヒータで構成されるグループを4つ（G0, G1, G2, G3）備えている。また、このヒータ列は、各グループから1つずつ選択され、同時駆動する合計4つのヒータからなる4つのブロックを構成する。図3のシフトレジスタ1104は、4グループ分の4ビットの記録データ（D0～D3）と4つのブロックから駆動するブロックを選択するための2ビットのブロック制御データ（B0, B1）を保持する。このため、このシフトレジスタのビット数は6ビットとなる。

【0060】

また、図4は、図5の素子基板における高密度でヒータを配置したヒータ列とシフトレジスタのブロック図である。高密度でヒータを配置したヒータ列は、隣接する4つのヒータで構成されるグループを8つ（G0, G1, G2, G3, G4, G5, G6, G7）備えている。また、このヒータ列は、各グループから1つずつ選択され、同時駆動する合計8つのヒータからなる4つのブロックを4つ構成する。図4に示したシフトレジスタ1104は、8グループ分の8ビットの記録データ（D0～D7）と4つのブロックから駆動するブロックを選択するための2ビットのブロック制御データ（B0, B1）を保持する。このため、このシフトレジスタのビット数は10ビットとなる。

20

【0061】

以上より、図5の素子基板における低密度でヒータを配置したヒータ列に対応するシフトレジスタと高密度でヒータを配置したヒータ列に対応するシフトレジスタのビット数の差は4ビットとなる。このビット数の差がデータ転送速度の差になる。

30

【0062】

これに対し、実施例1の素子基板は、複数の低密度でヒータを配置したヒータ列に対応する記録データ及びブロック制御データを1つのシフトレジスタにまとめた構成としている。

【0063】

図6は、実施例1の素子基板の概略図である。ここでは、6つのヒータ列（L1からL6）が備えられている。ヒータ列L1に対してシフトレジスタ1104aが設けられている。ヒータ列L2とL3に対してシフトレジスタ1104bが設けられている。ヒータ列L4とL5に対してシフトレジスタ1104cが設けられている。ヒータ列L6に対してシフトレジスタ1104dが設けられている。

40

【0064】

また、図1は、2つのヒータ列とシフトレジスタが保持するデータとの対応関係を説明する図である。この関係は、図6を例にすると、ヒータ列L2、L3とシフトレジスタ1104bに対応する。図6において、各シフトレジスタには独立したデータ信号を入力する端子1106が備えられている。一方、クロック信号が端子1107から入力される。このクロック信号は共用される。シフトレジスタは同じ構成の回路素子群を、保持する必要があるデータのビット数分連続して配列した構成となっている。ここでは、1本のデータ信号に対応し、同じ構成の回路素子群が連続して配列された回路のことをシフトレジスタ回路と定義する。

【0065】

50

再び図1の説明に戻り、ラッチ回路1103について説明する。ラッチ回路1103は、12ビットの平行バスによりシフトレジスタ1104が保持しているデータをラッチする。ラッチ回路1103で保持されている記録データは、図1に示すように、ヒータ列L2とL3へ出力される。具体的には、データD0はヒータ列L2のグループG0へ、データD1はヒータ列L2のグループG1へ、データD2はヒータ列L2のグループG2へ、データD3はヒータ列L2のグループG3へ夫々出力される。デコーダ1203Aは、ラッチ回路1103でラッチした2ビットのブロック制御データ(B0, B1)を入力して、4ビットの制御データを生成し、ヒータ列L2の各グループへ出力する。これにより、ヒータ列L2の各グループの中で駆動されるヒータが1つ選択される。

【0066】

10

また、ラッチ回路1103は、同様に、データD4、D5、D6、D7についてヒータ列L3の各グループへ出力する。デコーダ1203Bは、デコーダ1203Aと同様の動作を実行する。つまり、シフトレジスタ回路1104のビット0(b<sub>0</sub>)からビット3(b<sub>3</sub>)までの第1領域にはヒータ列L2用の記録データを保持する。ビット4(b<sub>4</sub>)からビット7(b<sub>7</sub>)までの第2領域には制御データを保持する。ビット8(b<sub>8</sub>)からビット12(b<sub>11</sub>)までの第3領域にはヒータ列L3用の記録データを保持する。更に、第2領域のビット4(b<sub>4</sub>)とビット5(b<sub>5</sub>)はヒータ列L2用の制御データを保持する。ビット6(b<sub>6</sub>)とビット7(b<sub>7</sub>)はヒータ列L3用の制御データを保持する。ここで、ビット0(b<sub>0</sub>)からビット3(b<sub>3</sub>)までを第1の範囲という。また、ビット8(b<sub>8</sub>)からビット12(b<sub>11</sub>)までを第2の範囲という。

20

【0067】

図1で示されるシフトレジスタ回路1104は、記録素子列を構成する記録素子の数が同じ16個の2列のヒータ列に対応したシフトレジスタ回路をまとめて1つのシフトレジスタ回路にしたものである。言い換えると、2列の記録素子列それぞれが備えるシフトレジスタ回路をさらに連続して配列してまとめ、1つのシフトレジスタ回路にしている。この1つのシフトレジスタ回路に対して1本のデータ信号線を入力する端子1106が設けられた構成になっている。

【0068】

図14(a)は、実施例1に従うインクジェット記録装置の制御回路の説明図である。この図では、記録データ及びブロック制御データの処理について説明する。記録バッファ1600に保持された記録データはデータ生成部1800に入力され、ここで記録ヘッドへ転送するデータが生成される。データ生成部1800で生成されたデータは転送部1900から記録ヘッドへ転送される。データ生成部1800と転送部1900は、ゲートアレイ1704に設けられている。また、記録バッファはDRAM1703に設けられている。

30

【0069】

データ生成部1800は、ヒータ列で使用する4ビットの記録データを生成する。ここでは、詳細な説明は省くが、例えば、記録バッファに保持されているデータがラスタ形式の多値データであれば、カラム形式の2値データを生成する。データ生成部1800は、生成したデータの内の、ヒータ列L2の記録データ(D0~D3)とブロック制御データ(B0、B1)をバッファ1800Aに保持する。一方、ヒータ列L3の記録データ(D4~D7)とブロック制御データ(B0、B1)をバッファ1800Bに保持する。

40

【0070】

ラッチ回路1803はヒータ列L2用のブロック制御データをラッチし、ラッチ回路1805はヒータ列L3用のブロック制御データをラッチする。一方、ラッチ回路1804はヒータ列L2用の記録データをラッチし、ラッチ回路1806はヒータ列L3用の記録データをラッチする。ラッチ回路1803とラッチ回路1805からの出力はデータ結合部1802で結合される。一方、データ結合部1801は、記録データ(D0~D3)と記録データ(D4~D7)と2つのブロック制御データ(B0、B1)の合計12ビットを結合する。

50

## 【 0 0 7 1 】

転送部 1 9 0 0 は、図 1 のシフトレジスタ 1 1 0 4 へ転送するデータを保持する転送バッファ 1 9 0 0 A を備える。転送バッファ 1 9 0 0 A から 1 2 ビット単位でデータが転送される。以上のような構成により記録ヘッドへ転送されるデータの処理が行われる。

## 【 0 0 7 2 】

図 1 のシフトレジスタ回路 1 1 0 4 は、1 つの記録素子列を構成する 1 6 個の記録素子に対応する 4 ビットの記録データ信号を保持するシフトレジスタが 2 列分まとめてあるため、合計 8 ビット分の記録データ信号 ( D 0 ~ D 7 ) を保持する。さらに、各記録素子列に対応するブロック制御データ ( B 0 、 B 1 ) も 2 列分 ( 合計 4 ビット ) 保持する。つまり、実施例 1 の素子基板では、1 列当り 1 6 個の記録素子を配置した 2 つの記録素子列に対応するシフトレジスタのビット数は合計 1 2 ビットとなる。実施例 1 の素子基板に実装される、3 2 個の記録素子を配置した記録素子列に対応するシフトレジスタ回路は、図 4 に示す 3 2 個の記録素子からなる記録素子列を備えた素子基板に実装されるシフトレジスタ回路とは構成上共通である。図 4 に示すシフトレジスタ回路が保持するデータのビット数は 1 0 ビットである。図 1 と図 4 にそれぞれ示す素子基板のシフトレジスタ回路を比較すると次の差がある。即ち、各列に 1 6 個の記録素子を配置した 2 列の記録素子列に対応するシフトレジスタ回路と、1 列に 3 2 個の記録素子を配置した 1 列の記録素子列に対応するシフトレジスタ回路がそれぞれ保持するデータのビット数の差は 2 ビットである。このように、複数のシフトレジスタ回路夫々が保持するデータのビット数の差は小さくなっているため、各記録素子へ効率良くデータ転送をすることができる。ビット数の差が小さくなるほどデータ転送速度差が小さくなる。列を構成する記録素子の数が異なる記録素子列が備えるシフトレジスタ回路のビット数がほぼ等しくなるようにしても良い。また、同じ記録素子数を備える複数の記録素子列のシフトレジスタ回路を 1 つにまとめることで、記録データなどの入力端子の数を減らすことができ、回路レイアウトの効率も良くなるため、素子基板の小型化が可能になる。

## 【 実施例 2 】

## 【 0 0 7 3 】

実施例 1 の素子基板は、1 列を構成する記録素子数が少ない方 ( 1 6 個 ) の記録素子列に対応するシフトレジスタ回路が、2 列の記録素子列それぞれに対応するブロック制御データを保持する構成である。2 列の記録素子列の時分割数が同じである場合には、ブロック制御データに基づくブロック選択信号を 2 つの記録素子列の間で共通化することも可能である。図 2 は、実施例 2 の素子基板の記録素子列とシフトレジスタ回路図である。なお、実施例 2 の素子基板は、図 2 に示される構成以外は実施例 1 の素子基板の構成と同一である。ここでは、ヒータ列 L 2 とヒータ列 L 3 を例にして説明する。なお、ラッチ回路 1 1 0 3 とデコーダ 1 2 0 3 は実施例 1 と同様であるので説明を省く。

## 【 0 0 7 4 】

実施例 2 の素子基板は、図 2 に示されるように、1 列を構成する 1 6 個の記録素子を 2 列配置した構成に対応するシフトレジスタ回路に保持されたブロック制御データ ( B 0 、 B 1 ) を 2 列の記録素子列で共通に使用する構成である。図 2 で示されるシフトレジスタ回路 1 1 0 4 は、2 列の記録素子列に対応する合計 8 ビット分の記録データ ( D 0 ~ D 7 ) と各記録素子列で共通に使用する 2 ビット分のブロック制御データ ( B 0 、 B 1 ) を保持する。即ち、実施例 2 の素子基板では、1 列を構成する 1 6 個の記録素子を 2 列配置した構成に対応するシフトレジスタ回路のビット数は 1 0 ビットとなる。この場合、図 4 に示すように、1 列を 3 2 個の記録素子数で構成した記録素子列に対応するシフトレジスタ回路が保持するデータのビット数と等しくなる。従って、この場合には両者のビット数の差がなくなり、実施例 1 の素子基板よりもさらに各記録素子へ効率良くデータ転送をすることができる。

## 【 0 0 7 5 】

図 1 4 ( b ) は、実施例 2 に従うインクジェット記録装置の制御回路の説明図である。ここでは、実施例 1 に従うインクジェット記録装置の制御回路との相違点について説明す

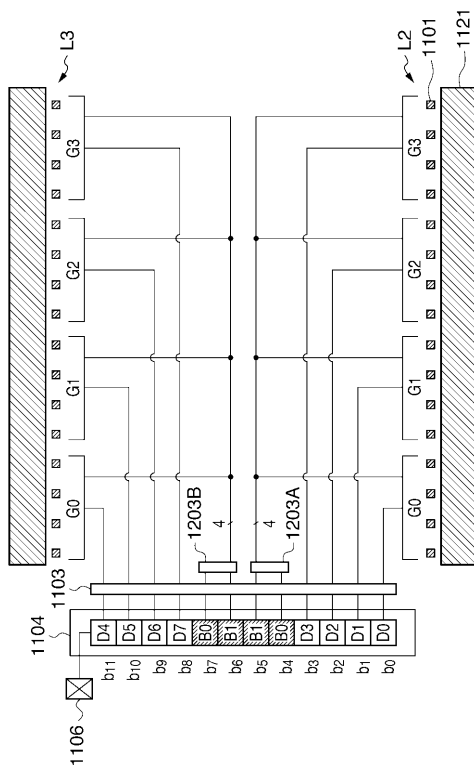
る。実施例 2 では、ブロック制御データ ( B 0、B 1 ) を共用する構成を用いる。従って、ラッチ回路 1 8 0 3 は、いずれか一方のヒータ列 (ここでは、ヒータ列 L 2 ) のブロック制御データ ( B 0、B 1 ) を保持する。ラッチ回路 1 8 0 4 はヒータ列 L 2 用の記録データをラッチする。一方、ラッチ回路 1 8 0 6 は、ヒータ列 L 3 用の記録データをラッチする。そして、データ結合部 1 8 0 1 は 3 つのラッチ回路の出力を結合して 1 0 ビットの記録データを保持する。このデータを転送バッファ 1 9 0 0 A へ出力する。そして、転送バッファ 1 9 0 0 A から 1 2 ビット単位でデータが記録ヘッドへ転送される。

【 0 0 7 6 】

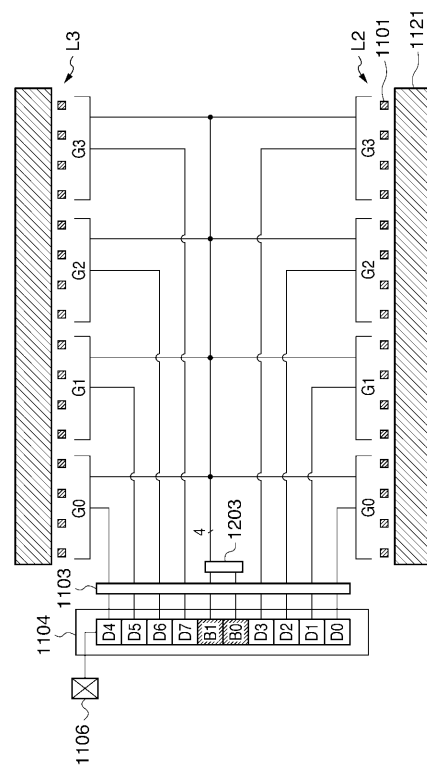
なお、実施例 1 及び実施例 2 で説明した素子基板は、各列を構成する記録素子数が等しい 2 列の記録素子列が備えるシフトレジスタ回路を 1 つにまとめた構成であった。しかしながら、本発明はこれによって限定されるものではない。例えば、各列を構成する記録素子数が等しい 3 列以上の記録素子列が備えるシフトレジスタ回路を 1 つにまとめる構成にも本発明は適用可能である。なお、この場合もシフトレジスタ回路 1 つに対して 1 本の独立したデータ入力線が備えられていることは同じである。

10

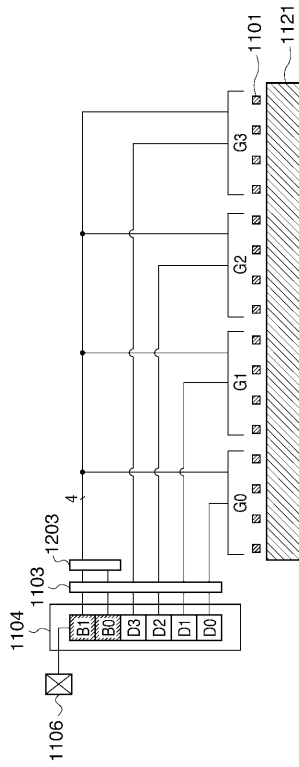
【 図 1 】



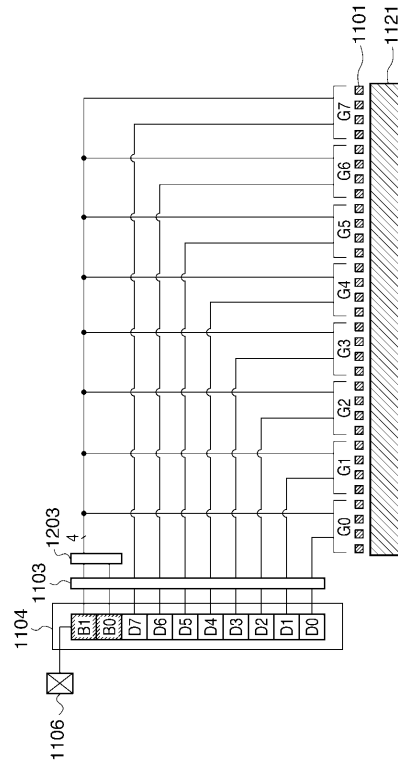
【 図 2 】



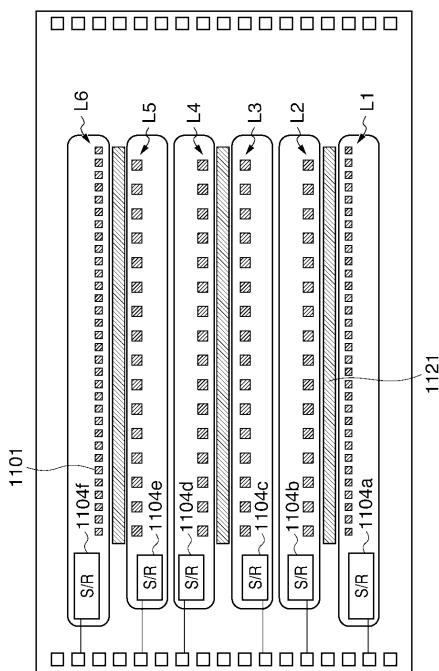
【図 3】



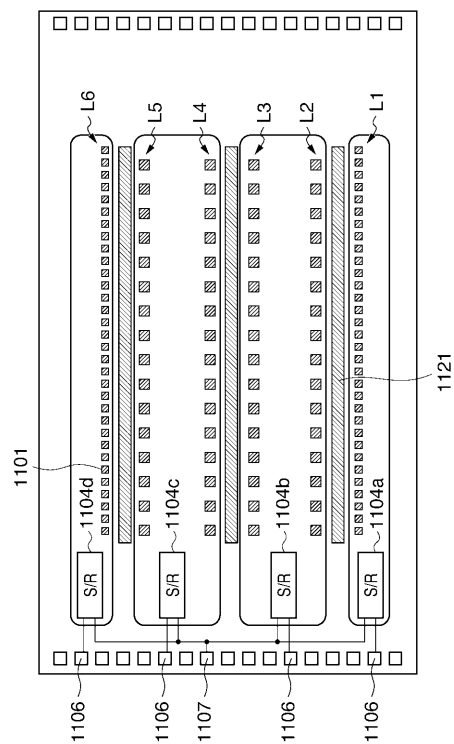
【図 4】



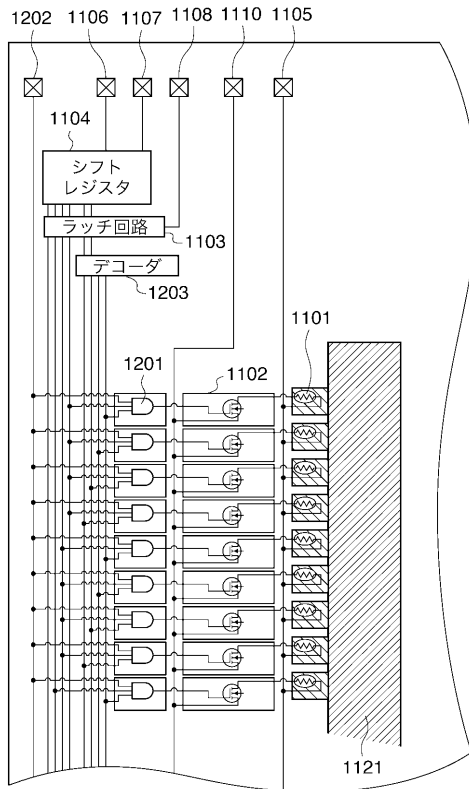
【図 5】



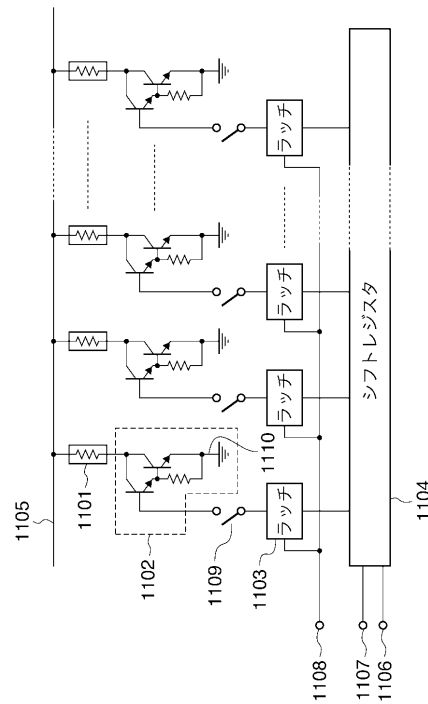
【図 6】



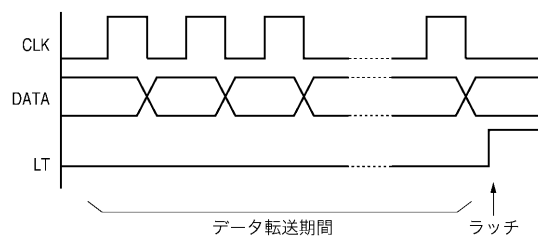
【図 7】



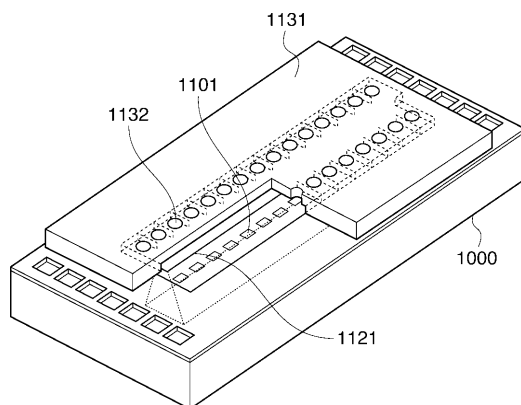
【図 8】



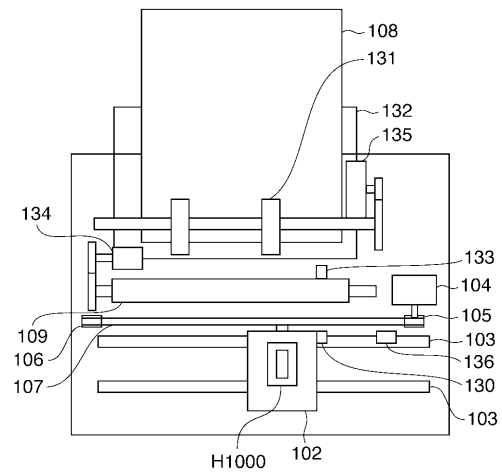
【図 9】



【図 10】

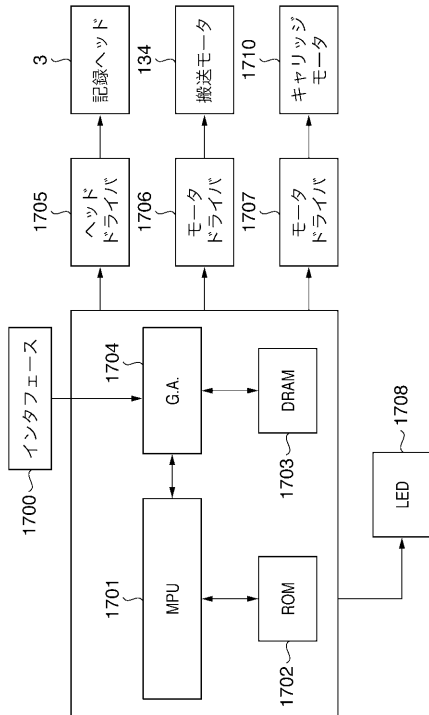


【図 11】

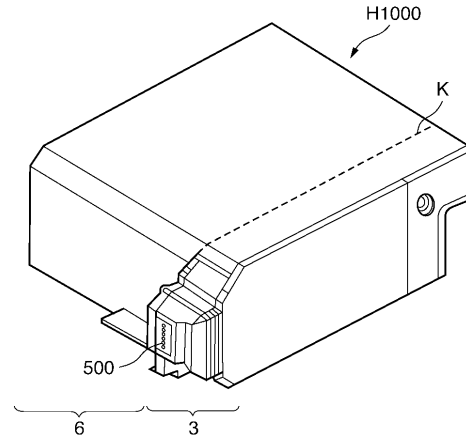




【図 1 2】

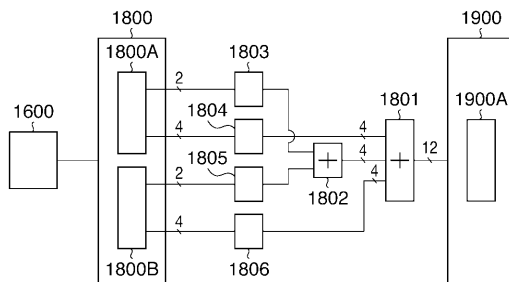


【図 1 3】

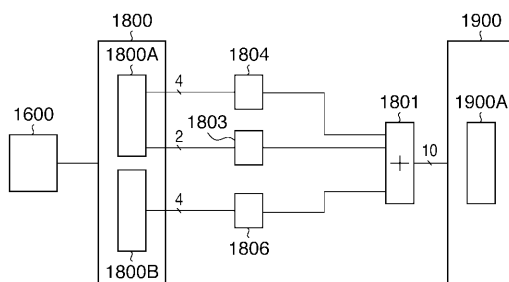


【図 1 4】

(a)



(b)



---

フロントページの続き

- (72)発明者 久保 康祐  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 今仲 良行  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 小俣 好一  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 竹内 創太  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 山口 孝明  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 佐藤 史彬

- (56)参考文献 特開2008-030444(JP,A)  
特開2008-036960(JP,A)  
特開2003-326719(JP,A)

(58)調査した分野(Int.Cl., DB名)

B41J 2/05  
H04N 1/034