

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97148813

※ 申請日期：97. 12. 15

※IPC 分類：H01L 21/673 (2006.01)
H01L 21/67 (2006.01)

一、發明名稱：(中文/英文)

處理半導體製程元件之方法及其形成之元件

METHOD FOR TREATING SEMICONDUCTOR PROCESSING
COMPONENTS AND COMPONENTS FORMED THEREBY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商聖高拜陶器塑膠公司

SAINT-GOBAIN CERAMICS & PLASTICS, INC.

代表人：(中文/英文)

湯馬士 G 菲爾德三世

FIELD, THOMAS G. III

住居所或營業所地址：(中文/英文)

美國麻州渥塞斯特市紐包德街1號

1 NEW BOND STREET WORCESTER, MASSACHUSETTS 01615

U. S. A.

國 籍：(中文/英文)

美國

U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 耶希宛斯 那蘭達
NARENDAR, YESHWANTH

2. 理察 F 布克萊
BUCKLEY, RICHARD F.

國 籍：(中文/英文)

1. 印度 INDIA

2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年12月20日；61/015,612

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種半導體製程元件，其具有由碳化矽構成之一外表面部分，該外表面部分具有一表層雜質能階及一塊體雜質能階。該表層雜質能階係進入該外表面部分之深度從0 nm至100 nm的平均雜質能階，該塊體雜質能階係在進入該外表面部分之中至少3微米之一深度下測量，並且該表層雜質能階不大於該塊體雜質能階之80%。

六、英文發明摘要：

A semiconductor processing component has an outer surface portion comprised of silicon carbide, the outer surface portion having a skin impurity level and a bulk impurity level. The skin impurity level is average impurity level from 0 nm to 100 nm of depth into the outer surface portion, the bulk impurity level is measured at a depth of at least 3 microns into the outer surface portion, and the skin impurity level is not greater than 80% of the bulk impurity level.

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1	晶圓舟
16	溝槽
18	溝槽片段
20	溝槽片段
22	溝槽片段

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明一般係關於處理用於半導體製造環境中之半導體製程元件之方法，及其形成半導體製程元件。

【先前技術】

在半導體製程技術中，通常透過各種晶圓製程技術形成積體電路器件，其中透過各種台或工具處理半導體(主要係矽)晶圓。例如，製程作業包括高溫擴散、熱製程、離子植入、退火、微影蝕刻、拋光、沈積等。隨著新一代半導體器件發展，在此類製程作業期間實現更佳純度位準之需求繼續存在於行業中。此外，繼續存在過渡至更大半導體晶圓之驅動力。對極佳純度位準及更大晶圓之需要對下一代製程引入另一整合挑戰。

不論行業中解決下一代純度問題之改良以及處置與更大大小之半導體晶圓相關聯的問題，本技術中繼續需要進一步改良之半導體製程元件、用於形成此類元件之方法以及用於處理半導體晶圓之方法。

【發明內容】

依據一具體實施例，一半導體製程元件包括具有含有碳化矽之外表面部分的元件，該外表面部分具有一表層雜質能階及一塊體雜質能階。該表層雜質能階係進入該外表面部分之深度從0 nm(外表面)至100 nm的平均雜質能階，該塊體雜質能階係在進入該外表面部分之中不小於3.0微米之一深度下測量，並且該表層雜質能階不大於該塊體雜質

能階之80%。

依據另一具體實施例，裸露半導體製程元件之方法包括提供具有藉由SiC之化學汽相沈積形成的一外表面部分之半導體製程元件，以及移除外表面部分之目標部分。該外表面部分具有一表層雜質能階及一塊體雜質能階，其中該表層雜質能階係進入該外表面部分之深度從0 nm(外表面)至100 nm的一平均雜質能階，該塊體雜質能階係在進入該外表面部分之中不小於3.0微米之一深度下測量。另外，對元件執行熱處理以將雜質從外表面部分之表面擴散，從而使該表層雜質能階不大於該塊體雜質能階之80%。

【實施方式】

依據本發明之態樣，提供半導體製程元件及用於處理半導體製程元件之方法。半導體製程元件一般係至少部分由SiC形成，包括具有受控雜質含量之外表面部分。外表面部分通常係藉由化學汽相沈積(CVD)形成，並且具有不大於塊體雜質能階之80%的表層雜質能階。可將外表面部分定義為藉由CVD形成之可識別SiC層，或者主要藉由CVD形成之SiC元件的外厚度，如同在獨立式CVD-SiC元件情形中，下文將予以詳細說明。

美國專利第6,093,644號揭示其中執行氧化步驟後跟氧化物層移除之製程。然而，其中揭示之技術未充分解決某些污染問題，並且看似集中於元件之整體雜質能階，而非沿著元件之關鍵部分的雜質能階。另外，該技術看似限制於將預加工之純度位準恢復至後加工狀態內之元件。

高純度製程元件領域內之另一工作已導致製程流程之發展，其係從污染來源之更嚴格研究及透過元件之外表面部分延伸的雜質分佈之特徵化導出。在2004年4月14日申請之US 10/824,329中說明一種此類製程流程。

依據一態樣，本發明者已認識到如此沈積之CVD-SiC在其外表面處具有雜質能階之一尖峰，通常在元件之外深度的第一0.5微米內，例如在第一0.25微米內，或者第一0.10微米。而與之相反，透過外表面部分之塊體的雜質能階穩定化在相對低位準下，通常比處於元件之極外表面之雜質能階低一、二甚或三個量值等級。塊體雜質能階一般係表示與深度成函數關係之恆定或標稱雜質能階之雜質能階，下文將予以進一步說明。雜質能階一般係基於外表面部分之外表面與塊體部分間的Cr、Fe及Ni濃度之一。依據一具體實施例，雜質能階係單獨基於一Fe。就此方面，雖然依據本文之具體實施例測定Fe，Cr及Ni濃度可遵循相同濃度趨勢，儘管係在較低濃度位準下。

在本文中，依據本發明之一具體實施例，提供具有藉由SiC之化學汽相沈積形成之外表面部分的半導體製程元件，並且製程始於外表面部分之目標部分的移除，使得外表面部分之表層雜質能階不大於外表面部分之塊體雜質能階的大約十倍。雖然一般需要塊體與表面間的最大10X之雜質能階差異，其他具體實施例具有不大於塊體雜質能階之大約五倍的表面雜質能階，例如不大於大約二倍。實際上，某些具體實施例具有不大於塊體雜質能階之表面雜質

能階。製程通常接著繼續進一步雜質減小以沿外表面部分之表層部分形成雜質裸露區，下文將詳細說明。

依據本文之具體實施例的半導體製程元件可從用於不同製程作業之各種幾何組態之一選擇，並且可經組態用於接收各種大小之晶圓，例如，不論是150 mm、200 mm或是更新一代之300 mm晶圓。特定製程元件包括半導體晶圓漿、加工處理管、晶圓舟、襯墊、基座、長舟、懸臂桿、晶圓載具、垂直製程室甚至虛設晶圓。前述內容中，數個半導體製程元件可係經組態用於直接接觸並且用於接收半導體晶圓之元件，例如水平或垂直晶圓舟、長舟及晶圓承載器。此外，製程元件可經組態用於單一晶圓製程並且可用於處理室、聚焦環、吊環、承載器、基座等。

可藉由各種技術製造半導體製程元件。例如，依據一具體實施例，透過提供一般藉由CVD以SiC層塗布之基板形成製程元件。CVD-SiC層可有利地用於減弱下部矽之自動摻雜，以及防止雜質從基板之塊體遷移至元件之外表面，其可導致半導體晶圓製程期間的污染。基板通常用於提供機械支撐及結構完整性，並且可由各種材料形成，例如重新結晶化SiC，以及藉由各種製程途徑。在一種技術中，藉由滑鑄或藉由壓製形成基板，其主要係由SiC構成。在滑鑄情形中，乾燥並熱處理滑鑄主體，然後視需要加以浸漬以減小多孔性。有利的係，可藉由以熔融矽滲透執行浸漬。亦可使用其他專業化製造技術，例如藉由利用轉換製程，其中將碳預製件轉換為碳化矽核心，或者藉由減去製

程，其中在滲透後移除核心，例如藉由化學汽相滲透。

或者，半導體製程元件可由獨立碳化矽形成，由各種製程之一形成，例如藉由碳化矽之CVD。此特定製程技術能形成具有實質上貫穿元件之整個塊體或內部部分的相對高純度之製程元件。

圖1內顯示晶圓製程元件之一具體實施例。圖1內所解說之晶圓舟1具有複數個溝槽16，每一溝槽沿相同曲率半徑延伸。每一溝槽具有個別溝槽片段18、20及22，其係在晶圓舟之適當製造後按需要加工。例如，可依據上述技術之一製造晶圓舟，例如藉由以熔融矽元素浸漬碳化矽核心，然後執行CVD以形成沈積之碳化矽層。在形成碳化矽層後，可執行加工。特定言之，可形成溝槽並且可藉由加工操作執行精細尺寸控制，例如藉由利用以鑽石為主之加工工具。值得注意的係，雖然圖1解說水平晶圓舟，應瞭解亦可利用垂直晶圓舟或晶圓載具，以及先前已提及的其他半導體製程元件。

在形成製程元件後，使製程元件經受處理程序。即，操控由CVD-SiC形成之元件的外部分以改良純度，且特定言之係終止於並且界定元件之外表面的表層部分之雜質。在一具體實施例中，移除外表面部分之一目標部分，從而留下具有不大於外表面部分之塊體雜質含量之十倍的雜質含量之外表面。

可藉由數種技術之任一者執行目標部分之移除。依據一技術，藉由氧化剝離製程移除外表面部分。在氧化期間，

可將元件曝露於反應物物種，例如鹵素氣體，以進一步改良純度。反應物物種一般用於使現有雜質複雜化或與其發生反應，而在高溫處理期間揮發。氧化剝離亦可減小沿外表面之顆粒計數，這在半導體製程作業之背景中特別有利。

更詳細而言，半導體製程元件之氧化一般係執行以藉由化學反應而形成氧化物層，從而形成與沈積之氧化物層相對的轉換層。依據氧化處理，氧化物層會消耗元件之目標部分，即CVD-SiC材料之一部分。氧化物層可藉由元件在氧化環境中之氧化而形成，例如藉由在提高之溫度下於含氧環境中氧化元件，例如在攝氏950至大約1300度之範圍內，且更明確而言係在大約攝氏1000至大約1250度之範圍內。可在乾燥或濕潤環境內執行氧化，並且通常在大氣壓力下執行。可藉由引入蒸汽產生濕潤環境，並且發揮增加氧化速率之作用。氧化物層一般係氧化矽，通常係 SiO_2 。氧化矽層可與元件之碳化矽直接接觸，如同以碳化矽塗布(例如藉由CVD)之獨立式SiC或基板之情形。

除沿主體適當形成氧化物層外，氧化物層可致使殘餘碳化矽微粒轉換為氧化矽。在微粒轉換情形中，氧化可致能稍後階段之微粒移除。此外，藉由轉換製程而非沈積製程形成氧化物塗層有助於在氧化物層內截獲殘餘雜質，例如金屬雜質，以便與氧化物層之剝離一起移除。

可藉由將製程元件曝露於能夠溶解(分解)氧化物層之溶液而剝離氧化物層。在一具體實施例中，溶液係含有氟的

酸。通常，溶液之pH小於大約3.5，最通常小於大約3.0，對於一些具體實施例甚至達到具有小於大約2.5之pH的更高酸性。或者，溶液可係鹼性，並且結合提高之溫度(大於室溫，但低於H₂O沸點)而曝露於該層。或者，亦可使用高溫及H₂氣體，例如高於1000°C。

在氧化期間，可將半導體製程元件曝露於反應性物種，例如鹵素氣體，其與存在於外表面部分之外表面的污染物形成反應產物。一般而言，曝露於反應性物種及氧化兩者係同時執行，儘管或者可分離地執行步驟。就此方面，使用術語同時不需要將曝露及氧化步驟執行成完全共同延伸，相反該等步驟可彼此部分重疊。

術語"鹵素氣體"表示使用以氣體形式提供的任何鹵素族元素，其通常係與陽離子組合。依據本發明之具體實施例可使用的常見鹵素氣體之範例包括HCl及Cl₂。其他氣體包括含有(例如)氟之氣體。通常，在其下將半導體製程元件曝露於鹵素氣體的提高之溫度足以致能鹵素氣體與沿半導體製程元件之外表面部分(包括沿半導體製程元件之曝露外表面)含有的雜質間之反應。例如，提高之溫度可在大約950°C至大約1300°C之範圍內。另外，鹵素氣體之濃度可改變，並且可存在於總壓力之大約0.01至大約10%之範圍內的加熱環境(例如熔爐製程室)內。通常，部分壓力之下限略高，例如大約0.05，或者大約0.10%。雖然前述內容已集中於鹵素氣體，可利用其他反應性含陽離子反應物，前提條件係反應物係選擇成與期望金屬雜質形成反應

產物，並且反應產物具有比金屬雜質本身之揮發性更高之揮發性。

通常，鹵素氣體沿半導體製程元件之外表面部分與其發生反應的雜質係金屬雜質。金屬雜質可採用金屬元素或金屬合金之形式，並且(例如)可以鋁為主、以離子為主或以鉻為主。使用鹵素氣體(例如HCl)致使與此類金屬雜質之反應產物之形成。反應產物通常比雜質具有更高揮發，使得在製程元件曝露於提高之溫度期間，反應產物揮發並且因此從製程元件移除。

雖然上述揭示內容已集中於藉由反應(特別係藉由氧化剝離)移除元件之一部分，也可利用用於移除目標部分之其他技術。例如，可藉由蝕刻操作，藉由在提高之溫度下引入蝕刻物物種以形成蝕刻物產物使目標部分發生反應，該蝕刻物產物揮發以整體或部分移除目標部分。例如，蝕刻物物種可係含氯氣體，從而形成揮發之 SiCl_x 蝕刻物產物。含Cl氣體可係HCl、 Cl_2 及其他氣體。在一些情形中，碳可留下作為蝕刻操作之副產品。可藉由高溫燒盡處理移除此碳。應注意，有時蝕刻稱為石墨化，其說明在元件之表面上留下之石墨形式的碳。一般亦需要所使用蝕刻物與沿外表面部分存在的雜質複合，從而形成揮發物種，例如FeCl、TiCl等。另外，如上所說明，就利用氧化及氧化物剝離移除目標部分來說，污染物可發生反應以形成反應產物，例如藉由引入上文已詳細說明之鹵素氣體。

雖然前述內容已集中於一循環，可重複製程步驟，例如

氧化步驟(以可選鹵素氣體處理)，且一般重複數次以透過目標部分之移除實現所需純度位準。

在移除目標部分前，元件可經受加工操作，以移除元件之外材料的(例如)10至100微米。雖然如此沈積之雜質分佈一般係藉由自加工操作之材料移除改變，然而加工傾向於在元件之外表面(即如此加工之表面)雜質留下尖峰，如同在如此沈積之CVD SiC中所觀察者。頃發現在到達塊體雜質能階前，表面雜質能階可延伸至外表面部分，例如在1至3微米之等級上。相應地，在已經受加工之具體實施例中，通常欲移除之目標部分具有位於高至大約20微米之上述範圍之較高端的厚度，且移除之實際厚度位於3至5微米之等級上。相應地，就元件之CVD-SiC表面經受機械磨耗或加工製程(例如研磨、碾磨或拋光)來說，在移除目標部分前，進一步移除一般係由於存在於後加工表面內之提高之污染位準而實現。目標部分之移除可採用氧化剝離循環或蝕刻循環執行，例如在足以實現高純度之時間內執行。

依據一變更，在目標部分移除前可併入額外製程步驟，其目標係進一步減小雜質能階。例如，可在曝露於鹵素氣體及其後製程前沖洗元件，例如以去離子(DI)水。在沖洗期間可執行攪動，例如以超聲波混合器/攪動器，以進一步補充污染物移除。另外，沖洗溶液可係酸性溶液，以協助剝離污染物。

作為沖洗之替代或附加，可在鹵素氣體曝露前將元件浸入至酸性剝離溶液內，例如酸性溶液，以進一步協助雜質

移除。沖洗及/或浸入步驟可在另一製程前重複任意次數。

由於下文所詳細說明的觀察之深度分佈，通常目標部分具有至少大約0.25微米之厚度，例如0.38微米、0.50微米甚至更高。實際上，目標部分最一般具有至少1.0微米之厚度，且較佳係至少大約2微米，例如大約2至10微米，但一般小於20微米。通常CVD-SiC層具有大約10至1000微米之範圍的厚度，並且某些具體實施例具有最高大約800微米、600微米、400微米或最高大約200微米之厚度。對應於元件之外表面部分之移除深度的目標部分之厚度一般係選擇成確保所需表面雜質減小，例如將雜質含量從塊體之1,000X向下推入塊體之10X的等級上，甚或更低。實際上，作為目標部分之移除的結果，若未達兩個量值等級，表面雜質能階一般減小至少一量值等級。

此外，應清楚，上述具體實施例從元件之外表面至塊體雜質含量實現最大雜質能階，其係適當控制以便部分甚至完全移除尖峰或濃化區。通常，沿從外表面延伸至塊體雜質含量的外表面部分之初始深度的最大雜質能階不大於塊體之最大雜質能階之1.5X，例如不大於塊體之最大雜質能階之1.3X，甚至與塊體之最大雜質能階大致相同(1.0X)。

依據一特定具體實施例，在藉由上述目標部分之移除減小外表面部分之表面雜質能階後，執行進一步製程以建立具有進一步減小之雜質能階的外表面部分的局部化表層部分。此增強位於表層部分之純度位準，該表層部分終止於

並且界定元件之外表面，在本文中稱為"裸露"區域或區。裸露通常係藉由高溫處理執行，其一般係在存在覆蓋元件之外表面的沈積或生長層之情況下。在一特定具體實施例中，存在相對厚犧牲層，通常厚度至少為1.0微米，一般厚度至少為5.0微米。此一犧牲層可係沈積多晶矽或如此沈積之氧化矽層的形式。或者，在提高之溫度處理前形成生長熱氧化矽。覆蓋層之此類使用用於"吸雜"沿外表面部分之表層部分存在的雜質，表層部分通常從外表面部分之外表面延伸至至少100 nm之深度。

在用以將雜質推入覆蓋層內的熱處理期間，其在本文中可稱為吸雜層，由於在高溫下吸雜層內雜質的高溶解度，雜質從CVD-SiC外表面部分遷移至吸雜層內。該等溫度通常不小於1150°C，常常不小於1200°C，例如1250°C及更高。熱處理亦可進一步向上延伸至1300°C及更高。相對於吸雜層內之雜質的上述溶解度，Fe之擴散係數由於以SiC為主之半導體製程元件內的相對常見Fe污染而具有顯著重要性。多晶矽內Fe之擴散係數比CVD-SiC內之擴散係數高 10^9 倍，從而使其成為用於裸露製程之特別適當材料。氧化矽，包括熱生長氧化矽，具有 10^{-12} cm²/s之Fe擴散係數，從而使其比CVD-SiC內之Fe高 10^2 倍。

熱處理通常係在惰性大氣內執行，其視需要含有鹵素氣體，如上所定義。特定鹵素氣體包括HCl及Cl₂。或者，惰性氣體可與H₂組合以改良吸雜層內雜質(例如Fe)之擴散係數，特別係在氧化矽情形中。

在替代裸露方法中，覆蓋層係在熱處理期間原處生長。在此特定具體實施例中，根據在SiC表面與定義數量之鹵化物氣體的反應執行裸露，該等鹵化物氣體用作金屬吸雜物，其用於吸雜雜質，例如Fe及其他過渡金屬。鹵化物氣體係在一般惰性大氣(例如Ar或N₂)內在相對低分壓下提供。同樣，由於如此形成之金屬鹵化物與金屬氟化物鹽相比的較低沸點/較高蒸汽壓力，可存在之鹵化物氣體如上所說明，特定言之包括Cl₂及HCl。透過與吸雜鹵化物氣體之反應形成的金屬氟化物包括鹽，例如FeCl₃、FeCl₂、CrCl₃及NiCl₂。

如上所述，前述裸露方法依賴於原處形成層或鈍化層，一般係氧化矽層。此層係藉由將含氧氣體(例如空氣)略微溢流至熱處理環境內而在原處形成，從而形成厚度在100 Å至5000 Å之等級上的氧化矽膜，並且在一具體實施例中厚度在500至1500 Å之等級上。例如，空氣溢流可在1至50 mL/min之位準上執行。類似於上述裸露製程，伴隨空氣溢流以形成原處層之裸露可在提高之溫度下執行，例如在符合上述製程流程的不小於1150°C、不小於1200°C甚或不小於1250°C之溫度下。同樣，可執行熱處理達4小時，例如至少5小時，且典型熱處理持續時間係在10至12小時之等級上。應注意，鹵化物之含量通常係最小化，一般將鹵化物氣體之流速及附帶分壓設定成最小化表面之碳化，同時仍允許與擴散至元件之外表面的金屬污染物之反應。為進一步最小化石墨化，可將氣體(例如SiCl_x氣體)添加至反應

物氣體或整體在 SiCl_x 內進行。

薄原處形成氧化物層有利地用於在裸露處理期間鈍化元件之外表面。在此作用下，該層可幫助防止與下部SiC材料之不需要之反應，包括碳化。

通常，在如上所論述之外表面部分的目標部分之移除後將裸露製程應用於元件。前述目標部分移除步驟係在與塊體近似相同之足以穩定化表層雜質能階的時間內執行。即，裸露前的表層雜質能階一般具有塊體雜質能階的90至120%，其係在比外表面部分更深之點下測量，一般至少為3微米。藉由如上所說明進行裸露製程流程，表層部分較佳地脫離雜質，從而將雜質能階顯著減小至低於塊體之雜質能階。

數量上，裸露對將雜質能階減小至不大於塊體雜質能階之80%有效，通常不大於70%、60%、50%，並且在某些具體實施例中，不大於40%甚或比塊體雜質能階更低。在某些具體實施例中，表層雜質能階可比塊體雜質能階之量值等值低至少一完整量值等級。參考特定資料點，測試已證明將表層雜質能階減小至100 ppb原子Fe，通常甚至更低，例如不大於50 ppb原子Fe，甚或不大於35 ppb原子Fe，實際上，下一代超純元件已顯示可實現；其具有小於20 ppb甚至小於10 ppb之Fe位準。

前述裸露方法採用雜質形式的鐵矽化物及過渡金屬矽化物之性質，以熔化並且藉此沿缺陷快速擴散，例如含SiC元件之螺絲位置及/或顆粒邊界。向自由表面之較佳擴散

可藉由上述固相吸雜方法或氣相吸雜方法完成。任一方法中，吸雜對建立各種雜質物種之濃度梯度有效，並且繼續用於擴散至外表面之推動力。

依據一特徵，目標部分之移除及其後裸露處理可在製程元件於半導體製造環境內之使用前執行。同樣，前述步驟可離位地(與半導體製造環境分離)執行，例如藉由製程元件之製造商而非終端使用者(例如半導體元件製造商/晶圓處理器)。可完全處理製程元件，然後封裝於密封運送容器內以便直接且立即用於製造環境中。

相對於用於特徵化預及後處理CVD-SiC元件之特定測量技術，特定使用係由次級離子質譜法(SIMS)構成。例如，其他技術包括GDMS。本文中所使用之塊體雜質能階對應於純度位準第一次穩定化的外表面部分內之一深度下的雜質能階，即在進一步深入外表面部分之深度下雜質能階變為大致恆定的深度。前述塊體雜質能階不應與可與"髒汙"下部元件或基板相關聯之更深雜質能階混淆；因此塊體雜質能階係與自外表面(0 nm)位置到達恆定低點之雜質能階的第一次出現相關聯。應注意，雜質偵測通常承擔某種程度之變異，其係由與深度成一函數關係之測定雜質能階內的擺動表示。除非本文中另外註明，報告原始資料時，特定雜質能階資料點，特別係塊體雜質能階，係基於依據資料之雜質含量的趨勢，即平滑化資料。依據本文報告之特徵化研究，已發現通常塊體雜質能階通常係藉由3微米之深度到達。因此，塊體雜質能階可在大約3至10 μm 之範圍

內的一深度下取得，例如在3至5 μm 之範圍內。給定與距離成一函數關係的自然雜質濃度變更，塊體雜質能階，例如下文所報告者，係依據標準平滑化從上述平滑化資料曲線取得，即從原始資料之最佳擬合曲線表示取得。然而，到達塊體雜質能階之特定深度值可取決於利用以形成外表面部分之特定CVD製程的製程條件，包括使用之特定工具、使用之氣體、溫度、壓力及其他製程參數。

資料及以下論述集中於對數個如此沈積之CVD-SiC樣本及後處理CVD-SiC樣本完成之特徵化研究。

範例

範例 1

使用標準製程製備大小為25 mm×75 mm×6 mm之Si:SiC試片。在稀釋酸內以超聲波方式清洗該試片，用DI水沖洗，並且加以乾燥。將清潔試片裝載至CVD反應器內，並且將厚度在50至75微米間之CVD膜沈積於Si:SiC試片之表面上。使用兩個不同塗布系統(裝置A及裝置B)實行多個塗布過程，以進一步瞭解設備對塗布純度之效應。

藉由次級離子質譜法(SIMS)分析CVD塗布之Si:SiC試片的表面上之雜質能階。使用Cameca 3f儀器在深度分佈模式內以 O_2^+ 電漿進行SIMS分析。儀器係使用離子植入SiC標準針對準確雜質決定予以校準。分析單獨集中於Fe及Cr，以致能良好偵測限制，即對於Fe之 $1 \text{ e}15$ 原子/cc及用於Cr之 $1 \text{ e}14$ 原子/cc。亦使用具有較高敏感度及 $1 \text{ e}14$ 原子/cc的較低Fe偵測限制之SIMS儀器進行一些過程。除非另外註

明，下文所說明之結果表示無中間加工操作的如此沈積或如此移除之CVD-SiC。

藉由裝置A處理的樣本之CVD-SiC層之SIMS分析指示Fe及Cr兩者之高度表面污染，其比圖2內所示之塊體值高500至1000倍。塊體內之Fe濃度係 $<1 \times 10^{15}$ 原子/cc，且Cr濃度 $<1 \times 10^{14}$ 原子/cc，其對CVD-SiC塗層係典型的。

在使用裝置B沈積的CVD-SiC層上亦觀察到相似高表面雜質濃度，如圖3內所示。

對於特徵化下之特定樣本，表面Fe濃度 $>1 \times 10^{18}$ 原子/cc並且在進入CVD-SiC塗層之0.5微米深度內下降至 1×10^{15} 原子/cc之塊體值。為驗證如此沈積之塗層之表面上的高雜質濃度之普遍性，對在用於形成CVD膜之反應物氣體內具有較高雜質的CVD-SiC塗層進行第三測試。在具有較高雜質能階之塗層上亦觀察到雜質濃化，如圖4內所示。位於表面之Fe濃度 $>5 \times 10^{17}$ 原子/cc，並且下降0.6至0.7微米而至 4×10^{16} 原子/cc之塊體Fe濃度。

用於位於表面之雜質濃化之機制目前未清楚瞭解，但可能與在CVD-SiC沈積製程期間來自Si/SiC基板之表面的雜質遷移或在冷卻期間從膜內部至表面之Fe隔離有關。

以裝置A產生兩種不同類型之CVD-SiC塗層，選擇一標準塗層及一較低雜質塗層用於清洗製程。將試片裝載至CVD塗布懸臂槳內並且放置在配備有SiC加工處理管及清潔石英擋板之擴散爐內。

在具有高至10% HCl氣體之流動 O_2 內於950至1350°C下將

試片氧化達6至14小時。熱處理條件係選擇成透過相當於氧化物厚度之大約0.45至0.60(標稱為0.5)倍的CVD-SiC之目標部分的消耗以便能夠在CVD-SiC表面上生長厚層之氧化物。氧化製程有助於將過渡金屬雜質(例如Fe)聚集於CVD-SiC上的氧化物層內。雖然，HCl氣體有助於使生長氧化物之表面上的雜質揮發，但HCl處理不被認為可大幅移除截獲於生長氧化物層內之金屬。總體製程透過反應消耗CVD-SiC層之污染目標部分， $\text{SiC} + 3/2 \text{O}_2(\text{g}) = \text{SiO}_2 + \text{CO}(\text{g})$ ，以形成 SiO_2 。

為移除氧化物層內之塊體雜質，使用HF-HCl混合物(1:1酸混合物)在酸浴內剝離氧化物層。圖5內顯示位於表面之所得雜質濃度。

SIMS分析指示表面Fe濃度從初始CVD-SiC試片上之 $>5 \times 10^{17}$ 原子/cc減小至清潔試片上之 $<5 \times 10^{16}$ 原子/cc，其由於清潔獲得10倍改良。塊體雜質濃度保持恆定在 1×10^{15} 原子/cc。雖然清潔循環減小表面雜質濃度，但表面雜質濃度仍比塊體高50倍。因此，進行額外清潔循環以進一步減小位於表面之Fe濃度。由於偵測限制問題及分析中的雜訊，使用SIMS無法量化第2清潔循環之效應。因此，使用具有較高雜質之CVD-SiC樣本(圖4內顯示)重複清潔循環，以助於分辨表面與塊體雜質能階間的微小差異。

類似於標準CVD-SiC樣本，清潔較低純度CVD-SiC樣本。首先在具有高至10% HCl氣體之流動 O_2 內，於950至1350°C下將試片氧化達6至14小時，以生長其後藉由HF-

HCl溶液剝離之氧化物層。第二次重複清潔循環以移除更深入CVD-SiC表面之材料，並且藉此移除Fe濃化表面層。

圖6內顯示兩個清潔循環後之試片之SIMS分析。雙重清潔循環對完全移除污染表面層有效，並且表面雜質濃度類似於塊體雜質濃度。

另外，如圖7內所證明，本文所說明之技術可執行以將表面雜質能階減小至不大於塊體雜質能階，即大約等於或小於塊體雜質能階。例如，在如圖7內所示之初始兩個清潔循環後，進行額外2個清潔循環而無進一步純度改良。

範例2

加工大小為6 mm×18 mm×3 mm之Si:SiC試片以提供平滑表面，然後使用標準製程製備。在稀釋酸內以超聲波方式清洗該試片，用DI水沖洗，並且加以乾燥。將清潔試片裝載至CVD反應器內，並且將厚度在25至35微米間之CVD膜沈積於Si:SiC片之表面上。以厚度為20至35微米之CVD膜重新塗布CVD塗布樣本，以完全密封將試片固持在CVD反應器內之區域附近的任何薄塗層。針對清潔試驗製備具有20 ppb規則Fe濃度及500至900 ppb之高Fe濃度的CVD-SiC膜之試片。

將試片裝載至CVD塗布懸臂槳內並且放置在配備有SiC加工處理管及清潔石英擋板之擴散爐內。

首先在具有高至10% HCl氣體之流動O₂內於950至1350°C下將試片氧化達6至14小時，以生長其後藉由HF-HCl溶液剝離之氧化物層。將清潔循環重複六次以確保完全移除Fe

濃化表面層並且藉由SIMS分析確認Fe濃化層之移除，如圖8內所示。

將清潔試片裝載至CVD塗布懸臂槳內並且放置在配備有SiC加工處理管及清潔石英隔板之擴散爐內。

在具有高至10 vol% HCl的以5至10 SLPM流動之Ar內於1000°C至1300°C下將試片熱退火達6至14小時。裸露依賴於金屬雜質至表面之擴散，此處其後藉由與HCl發生反應以形成金屬鹵化物將其移除。處理條件係選擇成確保用於將過渡金屬及過渡金屬矽化物蒸發至氣體金屬鹵化物內而不分解CVD-SiC膜的充足氯大氣。此外，由於Fe之低擴散係數(10^{-14} cm²/s)，需要長退火時間以實現200至250 nm之最小裸露深度。小量空氣亦溢流至大氣內，以藉由在試片上形成氧化物層形式的薄鈍化層進一步限制CVD-SiC之HCl攻擊。雖然添加空氣對SiC穩定性有利，過度氣流可導致氧化物層過厚，從而抑制雜質擴散並且降低裸露有效性。因此，氧化物層厚度在CVD-SiC表面上係控制在500至1500 Å之間。

圖9內顯示在Ar及HCl氣體內之處理後清潔樣本之SIMS分析。Fe濃度減小~100X倍，自位於表面之 3×10^{14} 原子/cc至塊體內之 2.2×10^{16} 原子/cc。低Fe表面區域從表面延伸至高至215 nm之深度。低Fe表面稱為"裸露區"。

亦使用類似於針對低Fe純度樣本所說明之製程清潔規則Fe純度樣本。在HCl內之氧化的初始清潔步驟並跟隨HF酸清潔後樣本內之Fe濃度低於儀器之偵測限制。因此，位於

表面之裸露區無法藉由SIMS分析偵測。然而，規則Fe純度樣本可期望在Fe濃度低於塊體的表面具有類似"裸露區"。

範例3(比較範例)。

加工大小為6 mm×18 mm×3 mm之Si:SiC試片以提供平滑表面，然後使用標準製程製備。在稀釋酸內以超聲波方式清洗該試片，用DI水沖洗，並且加以乾燥。將清潔試片裝載至CVD反應器內，並且針對各塗布以厚度25至35微米之CVD膜進行雙重塗布。針對清潔試驗製備具有500至900 ppb的高Fe濃度之CVD-SiC膜的試片。

將試片裝載至CVD塗布懸臂槳內並且放置在配備有SiC加工處理管及清潔石英擋板之擴散爐內。

在具有高至10 vol% HCl的以5至10 SLPM流動之Ar內於1000℃至1300℃下將試片熱退火達6至14小時，並且在相同大氣之流動氣體內冷卻。小量空氣亦溢流至大氣內，以藉由在試片上形成氧化物層形式的薄鈍化層進一步限制CVD-SiC之HCl攻擊。

圖10內顯示在Ar及HCl氣體內之處理後清潔樣本之SIMS分析。接近表面Fe濃度從如此沈積之CVD內的 2×10^{18} 原子/cc減小至小於在Ar及HCl氣體內處理之樣本內的 1×10^{17} 原子/cc。此外，最大Fe濃度亦減小兩倍。因此，針對200 nm之深度形成薄裸露區，之後Fe濃度增加。Fe濃度最終降低至小於材料塊體內的 5×10^{16} 之塊體雜質能階。由於緩慢金屬擴散動力，CVD-SiC內之穿透深度係 <0.4 微米，並且Ar及HCl內之直接熱退火在清潔CVD-SiC膜之第一200 nm時有效。

因此，對於有效裸露處理，重要的係在裸露處理前移除Fe濃化雜質分佈。

亦使用類似於針對低Fe純度樣本所說明之製程清潔規則Fe純度樣本。在HCl內之氧化的初始清潔步驟並跟隨HF酸清潔後樣本內之Fe濃度低於儀器之偵測限制。因此，位於表面之裸露區無法藉由SIMS分析偵測。然而，規則Fe純度樣本可期望在Fe濃度低於塊體的表面具有類似"裸露區"。

根據前述內容應清楚，特定具體實施例依賴於併入目標部分之移除的製程流程，其具有減小外表面雜質能階之能力，且特定言之係將表層雜質能階減小至塊體之等級。其後裸露製程則對建立具有顯著減小雜質能階的元件之外表面的局部化範圍有效。前述裸露方法通常依賴於固相吸雜機制或氣相吸雜機制，其係建立雜質能階濃度梯度以將雜質驅動至元件表面有效之方法。

上述範例說明從元件之外表面延伸至200 nm之等級上之深度的裸露區。藉由延伸高溫退火停留週期，可完成進一步延伸之裸露，例如至300 nm、400 nm或500 nm之深度。例如，將退火延伸至24小時係期望實現延伸至250 nm或更大之裸露區。延伸裸露區亦可透過增加之退火溫度完成，例如高至1300°C，其應實現350 nm或更大之裸露深度。此外，延伸裸露區亦可透過增加之HCl氣流完成。在此類情形中，上述表層雜質能階延伸超過100 nm，並且可延伸至不小於200 nm，或者在其他具體實施例不小於300 nm及不小於400 nm。

應注意，先前已嘗試減小半導體級元件之雜質能階，例如 US 6,277,194 內所說明之製程。其中，將吸雜層沈積於可由碳化矽形成之元件上。然而，US '194 內所說明之製程對建立藉由本發明之具體實施例實現的裸露區域無甚效果。US '194 之一般化製程流程對於雜質能階之一般減小足矣，但無法實現依據本文之具體實施例的顯著及可量化裸露區域，其依據上述具體實施例顯著具有低於塊體雜質能階之 CVD-SiC 材料的雜質能階。同樣，清潔循環，甚至重複多次者，對形成裸露區域無甚效果，並且不能單獨實現根據上文各種具體實施例所說明的增強之雜質減小。

以上揭示之標的視為說明性而非限制性，並且隨附申請專利範圍旨在涵蓋屬於本發明之範疇內的所有此類修改、增強及其他具體實施例。因此，在法律所允許的最大範圍內，本發明之範疇將藉由以下申請專利範圍及其等效物之最廣義許可解釋來決定，而不受前述詳細說明之約束或限制。

【圖式簡單說明】

藉由參考隨附圖式可更好地理解本發明，且其眾多的特徵及優點對於熟悉此項技術者將顯而易見。

圖 1 解說本發明之一具體實施例，即一晶圓舟或載具。

圖 2 及 3 解說形成於兩個不同的商業可用沈積裝置內的 CVD-SiC 膜之雜質深度分佈。

圖 4 解說利用反應物氣體在較高污染物位準下形成之 CVD-SiC 之雜質深度分佈。

圖 5 解說在初始清潔步驟前及後的 CVD-SiC 層之雜質深度分佈。

圖 6 解說得自具有相對低純度 CVD-SiC 層之另一樣本的兩個清潔循環之深度分佈。

圖 7 解說比較具有相對低純度 CVD-SiC 層之樣本的兩個清潔及四個清潔循環後之表面 Fe 濃度的深度分佈。

圖 8 解說在 Fe 濃化表面層之完全移除後相對低純度 CVD-SiC 層之深度分佈。

圖 9 依據一具體實施例比較如此沈積、在經受六個清潔循環後以及在其後熱處理以形成裸露表層部分後的三個狀態下之 CVD-SiC 層之純度位準。

圖 10 依據一具體實施例比較如此沈積以及在其後熱處理以形成裸露表層部分後的兩個狀態下之 CVD-SiC 層之純度位準。

在不同圖式中使用的相同參考符號指示類似或相同的項目。

【主要元件符號說明】

- 1 晶圓舟
- 16 溝槽
- 18 溝槽片段
- 20 溝槽片段
- 22 溝槽片段

十、申請專利範圍：

1. 一種裸露一半導體製程元件之方法，其包含：

提供一半導體製程元件，其具有藉由SiC之化學汽相沈積而形成之一外表面部分；

移除該外表面部分之一目標部分，該外表面部分具有一表層雜質能階及一塊體雜質能階，其中該表層雜質能階係進入該外表面部分之深度從0 nm至100 nm的一平均雜質能階，該塊體雜質能階係在進入該外表面部分之中不小於3.0微米之一深度下測量；以及

熱處理該元件以使雜質從該外表面部分之一表面擴散，從而使該表層雜質能階不大於該塊體雜質能階之80%。

2. 如請求項1之方法，其進一步包含形成覆蓋該外表面部分之一吸雜層，以便在熱處理期間將雜質推入該吸雜層內。
3. 如請求項2之方法，其中該吸雜層具有比該外表面部分之一雜質擴散係數大至少 10^2 倍之一雜質擴散係數。
4. 如請求項2之方法，其中該吸雜層包含藉由該外表面部分之氧化而形成之氧化矽，或包含藉由沈積而形成之多晶矽。
5. 如請求項1之方法，其中在不小於1150°C之一溫度下執行熱處理達不小於5小時之一段時間。
6. 如請求項1之方法，其中在存在一鹵化物氣體之情況下執行熱處理。

7. 如請求項1之方法，其中該表層雜質能階不大於該塊體雜質能階之70%。
8. 如請求項1之方法，其中該表層雜質能階不大於100 ppb原子之Fe。

十一、圖式：

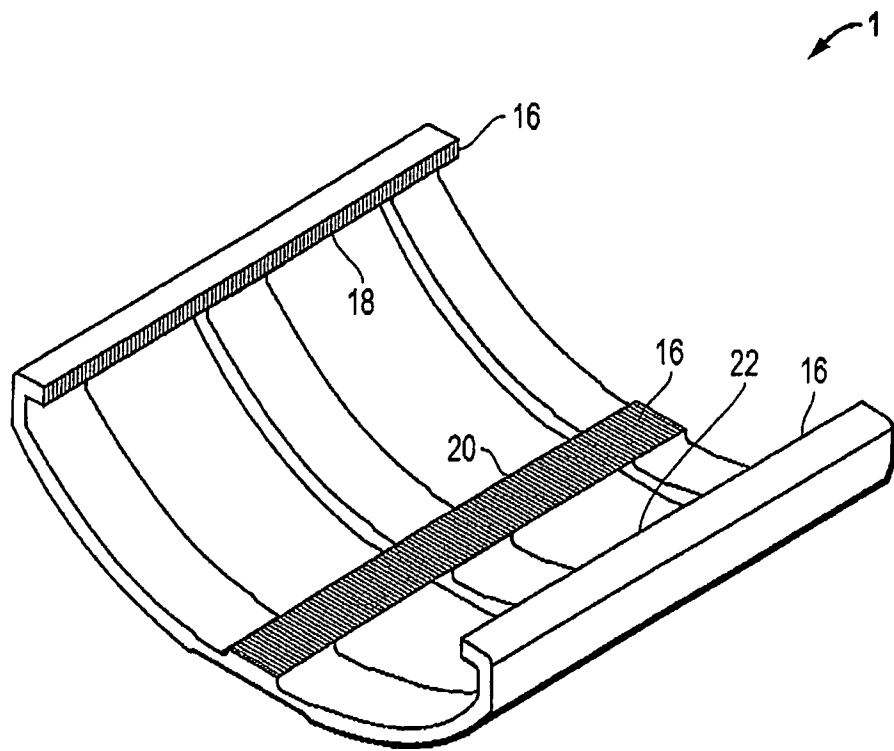


圖 1

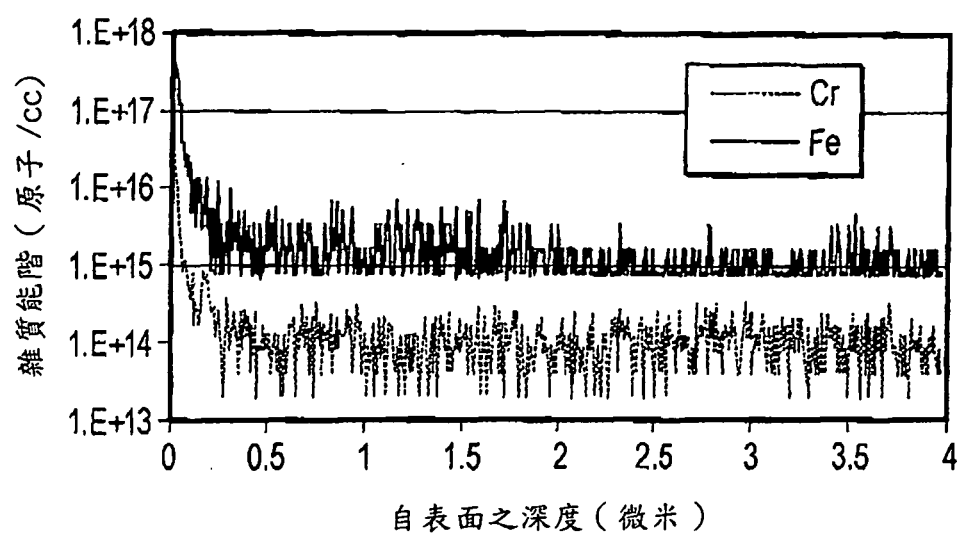


圖 2

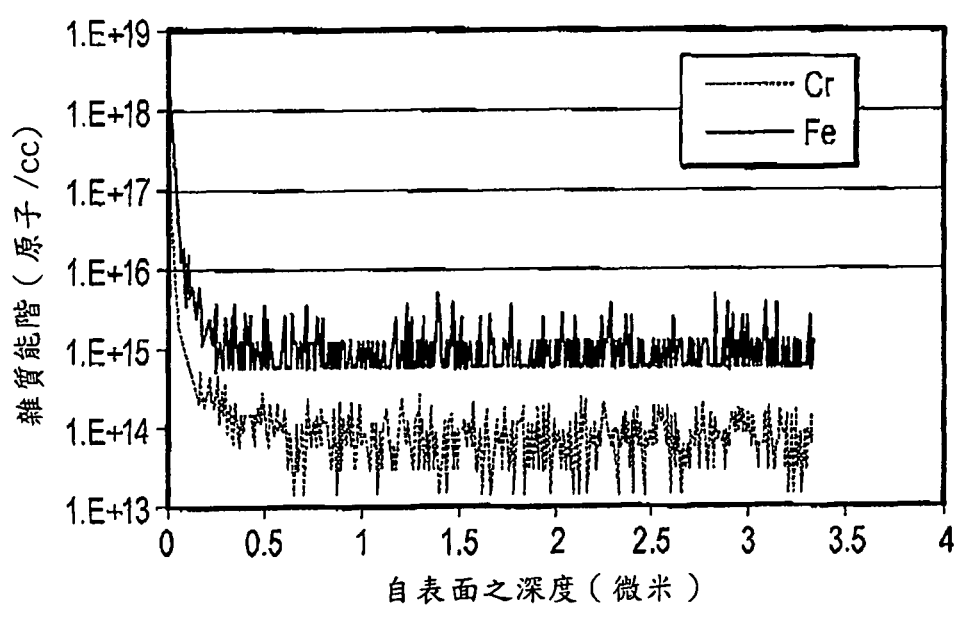


圖 3

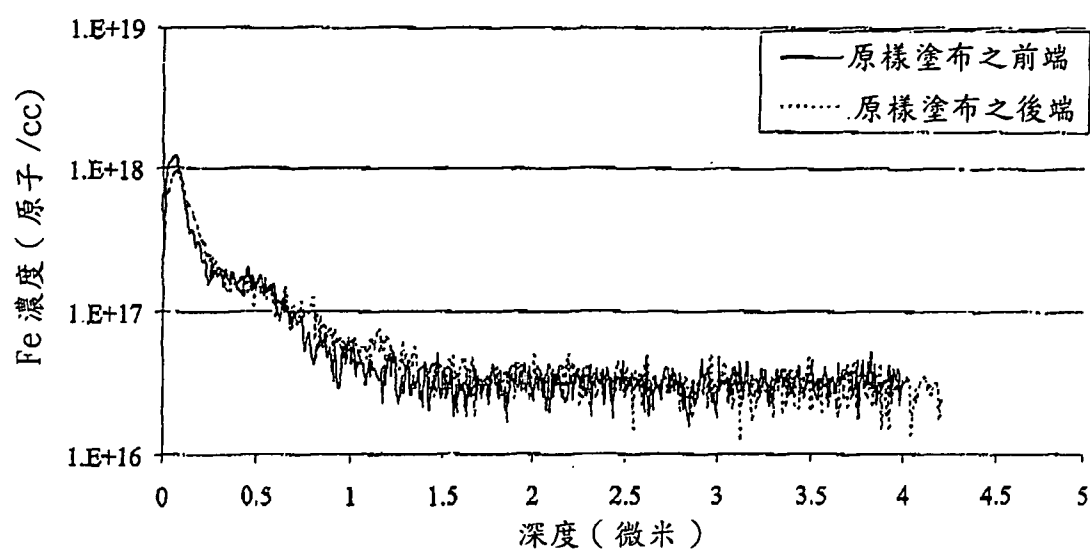


圖 4

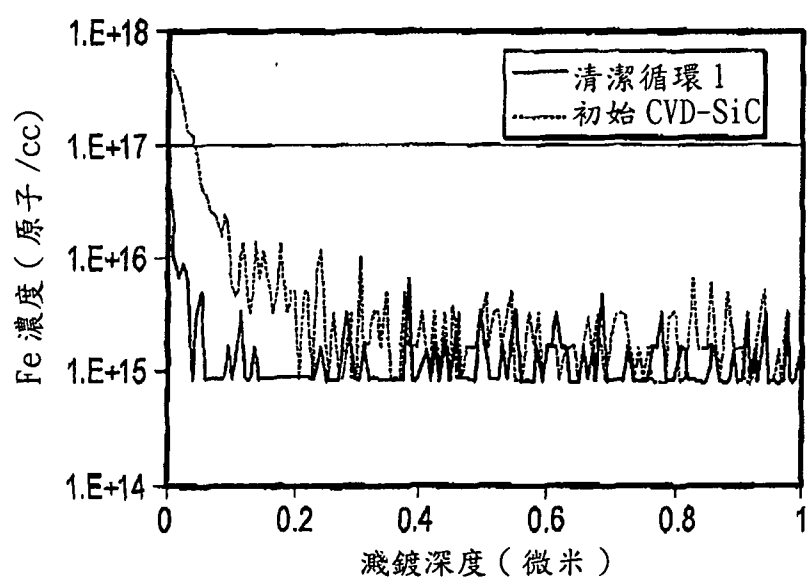


圖 5

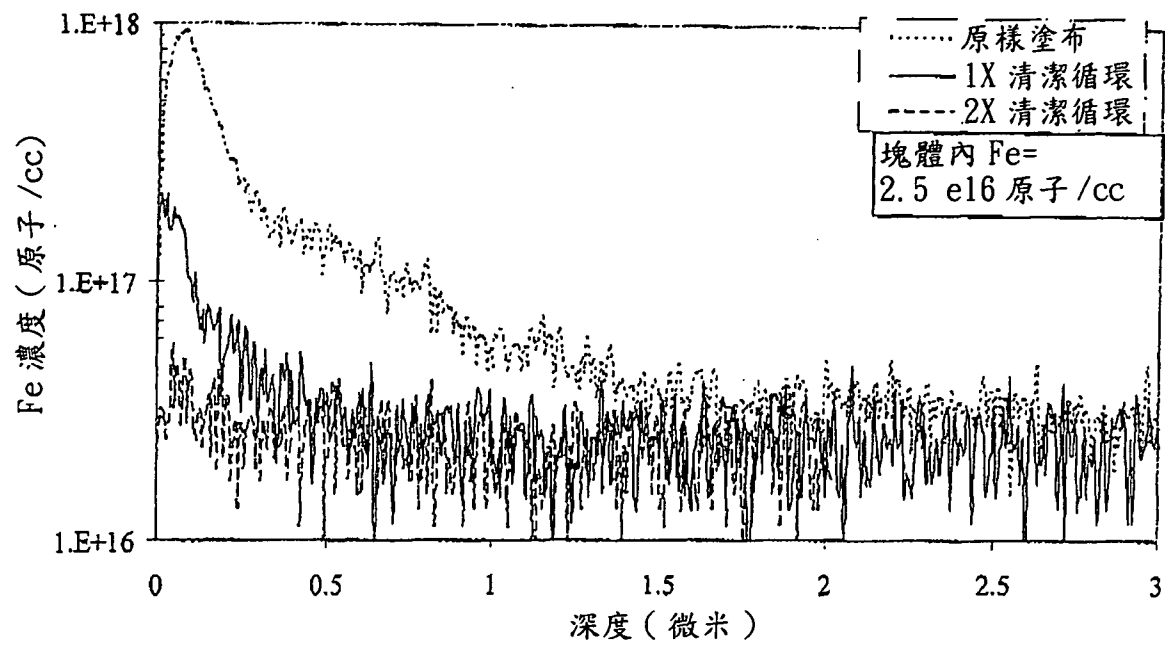


圖 6

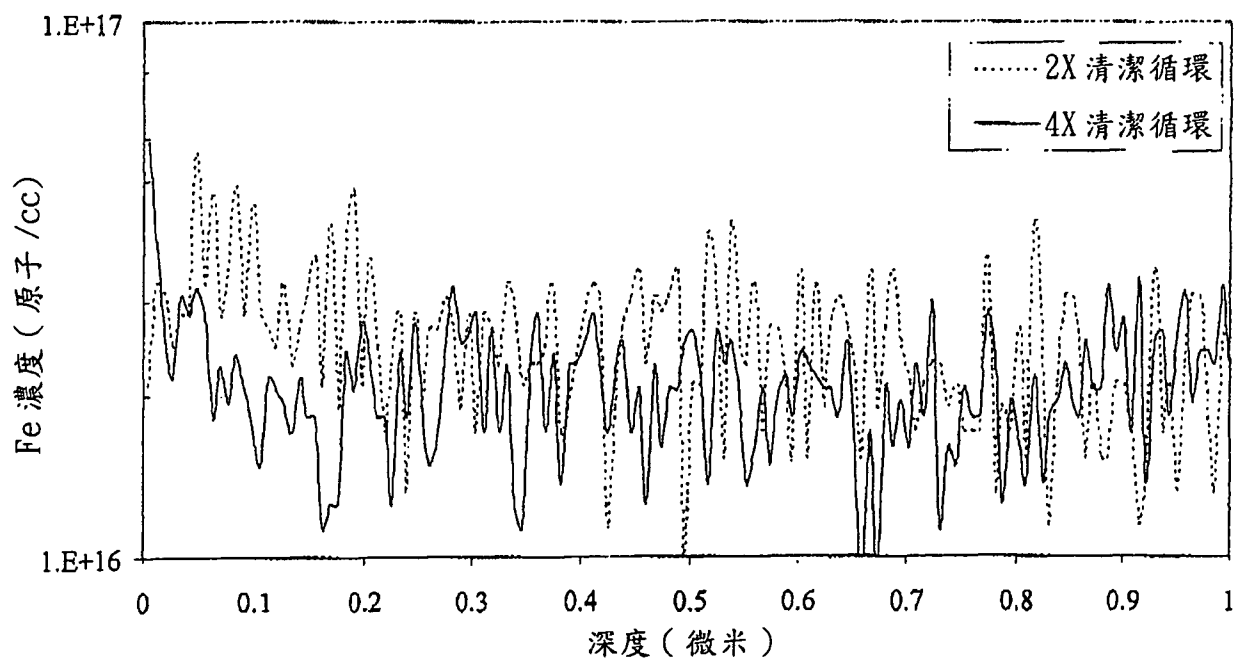


圖 7

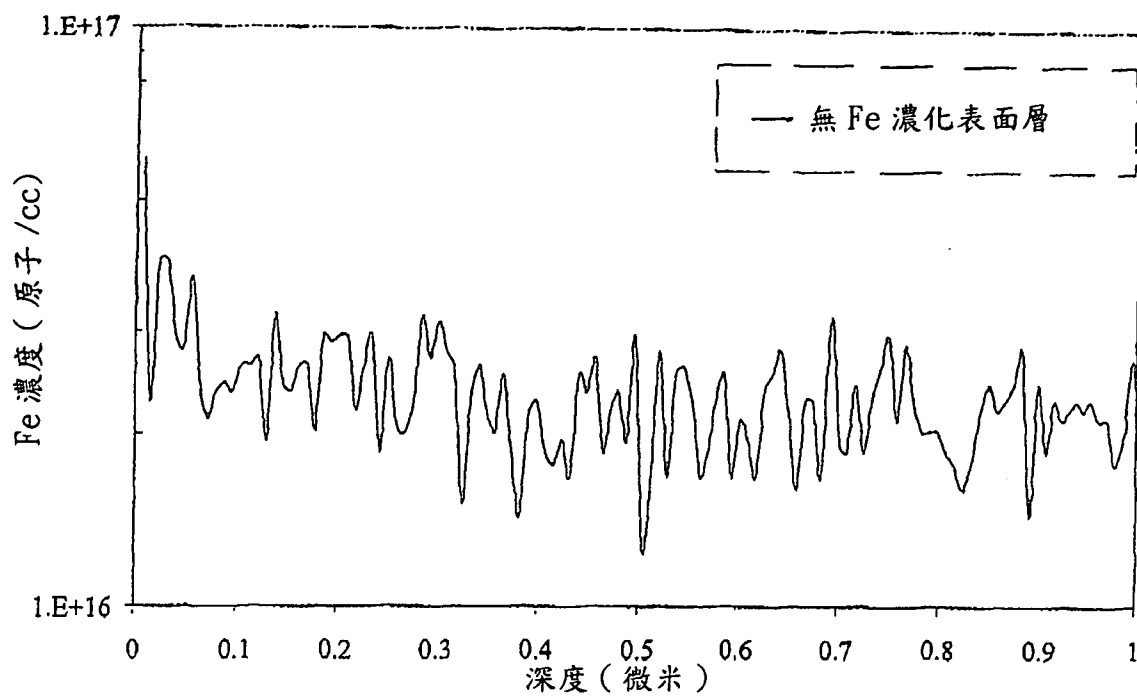


圖 8

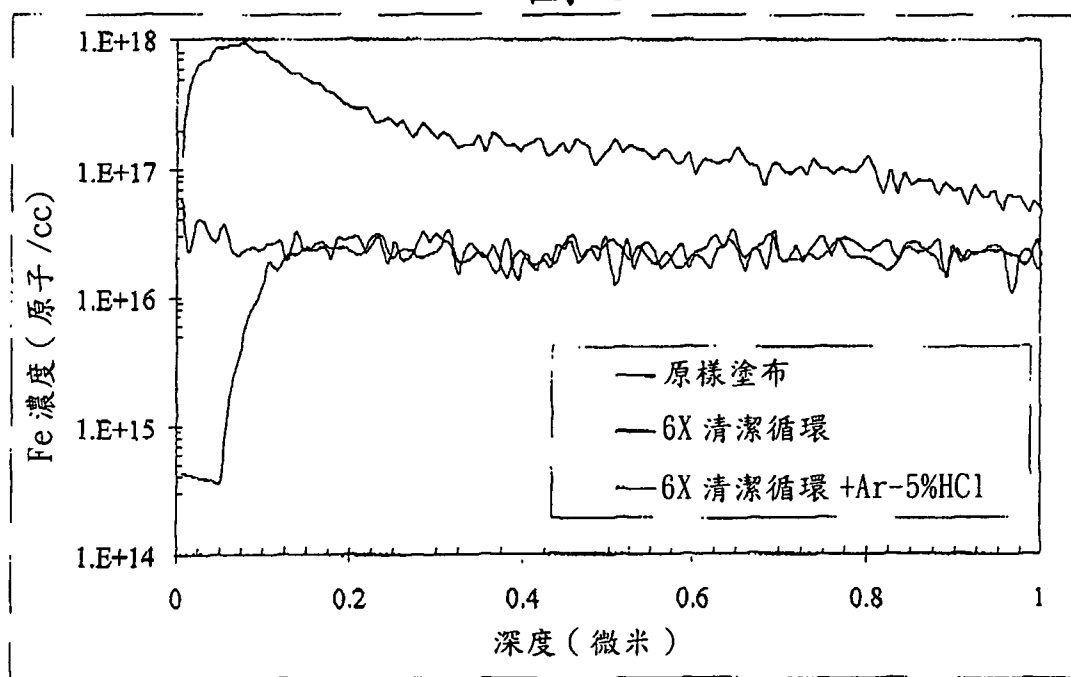


圖 9

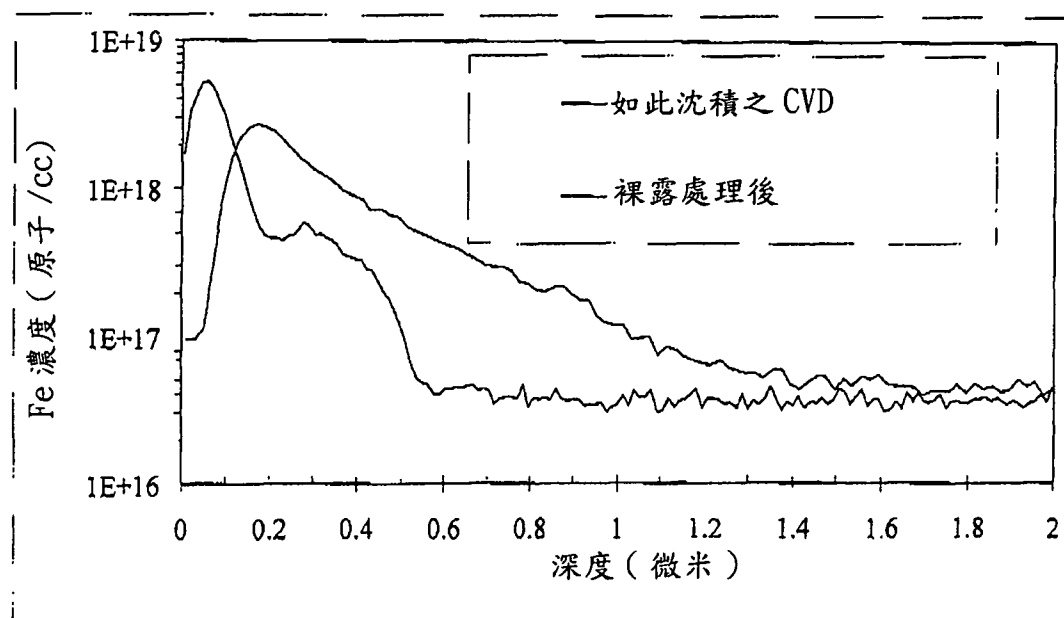


圖 10