



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 27/108 (2006.01)

(45) 공고일자 2007년07월10일

(11) 등록번호 10-0737200

(24) 등록일자 2007년07월03일

(21) 출원번호 10-2001-0003400
 (22) 출원일자 2001년01월20일
 심사청구일자 2005년12월06일

(65) 공개번호 10-2001-0076421
 (43) 공개일자 2001년08월11일

(30) 우선권주장 2000-013476 2000년01월21일 일본(JP)

(73) 특허권자 엘피다 메모리, 아이엔씨.
일본 도쿄 주오-쿠 야에수 2-초메 2-1

(72) 발명자 야마다 사또루
일본 도쿄도 지요다구 마루노우찌 1초메 5-1 신마루빌딩가부시키가이
샤 히타치세이사쿠쇼 지적소유권본부 내

오유 기요노리
일본 도쿄도 지요다구 마루노우찌 1초메 5-1 신마루빌딩가부시키가이
샤 히타치세이사쿠쇼 지적소유권본부 내

도꾸나가 다키후미
일본 도쿄도 지요다구 마루노우찌 1초메 5-1 신마루빌딩가부시키가이
샤 히타치세이사쿠쇼 지적소유권본부 내

에노모또 히로유키
일본 도쿄도 지요다구 마루노우찌 1초메 5-1 신마루빌딩가부시키가이
샤 히타치세이사쿠쇼 지적소유권본부 내

세끼구찌 도시히로
일본 도쿄도 지요다구 마루노우찌 1초메 5-1 신마루빌딩가부시키가이
샤 히타치세이사쿠쇼 지적소유권본부 내

(74) 대리인

구영창
장수길

(56) 선행기술조사문현

JP11354749 A
JP10032245 A
US200124870JP09219517 A
JP10027906 A

심사관 : 홍경희

전체 청구항 수 : 총 12 항

(54) 반도체 집적 회로 장치

(57) 요약

메모리 셀 사이즈가 미 세화된 DRAM의 비트선 용량을 저감시킨다.

게이트 전극(7; 워드선 WL)의 측벽 절연막을, 질화 실리콘으로 이루어지는 측벽 절연막(10)과 그것보다도 비유전률이 작은 산화 실리콘으로 이루어지는 측벽 절연막(11)으로 구성하여, 게이트 전극(7; 워드선 WL)의 상부에 형성되는 비트선의 쌍 워드선 용량을 저감시킨다. 또한, 산화 실리콘으로 이루어지는 측벽 절연막(11)의 상단부의 높이를 캡 절연막(9)의 상면의 높이보다도 낮게함으로써, 게이트 전극(7; 워드선 WL)의 스페이스(컨택트 홀(12, 13))에 매립되는 플리그(14)의 상부의 직경을 바닥부의 직경보다도 크게 하여, 컨택트 홀(13)과 그 상부에 형성되는 관통 홀과의 접촉 면적을 확보한다.

대표도

도 30

특허청구의 범위

청구항 1.

반도체 기판 상에 형성되고, 게이트, 소스 및 드레인 영역을 갖는 MISFET;

상기 소스 및 드레인 영역 상에 형성된 컨택트 홀;

상기 컨택트 홀의 내부에 형성되고 상기 소스 및 드레인 영역과 전기적으로 접속된 도전체;

상기 컨택트 홀의 내측면에 형성되고, 적어도 컨택트 홀 저부에서 상기 도전체의 주위를 둘러싸도록 형성된 제1 측벽 절연막; 및

상기 제1 측벽 절연막과 상기 게이트 사이에 형성된 제2 측벽 절연막

을 포함하고,

상기 제1 측벽 절연막은, 상기 제2 측벽 절연막에 접하는 부분에서 상기 제2 측벽 절연막의 높이보다 낮게 형성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 2.

제1항에 있어서,

상기 제1 측벽 절연막은 산화 실리콘을 주성분으로 하고, 상기 제2 측벽 절연막은, 질화 실리콘을 주성분으로 하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 3.

제1항에 있어서,

상기 제1 측벽 절연막 각각의 높이가 낮은 부분은 상기 도전체로 덮여 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 4.

제1항에 있어서,

상기 제1 측벽 절연막은 상기 제2 측벽 절연막보다도 두꺼운 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 5.

제4항에 있어서,

상기 제1 측벽 절연막의 비유전율(比誘電率)은 상기 제2 측벽 절연막의 비유전율보다도 작은 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 6.

반도체 기판 상에 형성된 제1 및 제2 워드선과,

상기 제1 및 제2 워드선 상에 각각 형성된 캡 절연막과,

상기 제1 및 제2 워드선 사이에 형성된 컨택트 홀과,

상기 컨택트 홀의 내부에 형성된 도전체와,

상기 도전체의 주위에 형성된 제1 절연막과,

상기 도전체와 상기 제1 및 제2 워드선 사이에 형성된 제2 절연막을 갖는 반도체 집적 회로 장치로서,

상기 제1 절연막은, 상기 컨택트 홀의 저부에서는, 상기 도전체의 주위를 둘러싸도록 형성되고, 상기 컨택트 홀의 상부에서는, 적어도 일부가 제거되어 상기 도전체의 높이보다 낮게 형성되어 있고, 상기 제2 절연막은, 상기 컨택트 홀의 저부에서는, 상기 제1 절연막과 상기 제1 및 제2 워드선 사이에 형성되고, 그 높이가 상기 도전체의 높이와 거의 동일하고, 그 막 두께가 상기 제1 절연막의 막 두께보다 얇게 형성되고, 상기 캡 절연막의 높이는, 상기 도전체의 높이와 거의 동일한 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 7.

제6항에 있어서,

상기 제1 절연막의 높이가 낮은 부분은 상기 도전체로 덮여 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 8.

제6항에 있어서,

상기 반도체 기판 상에는 상기 제1 워드선의 일부를 게이트 전극으로 하는 제1 MISFET 및 상기 제2 워드선의 일부를 게이트 전극으로 하는 제2 MISFET가 형성되어 있고, 상기 컨택트 홀의 내부에 형성된 상기 도전체는 상기 제1 및 제2 MISFET 각각의 소스, 드레인 영역 중 한쪽과 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 9.

제1항에 있어서,

상기 MISFET의 게이트 및 상기 제1 측벽 절연막 위에 형성된 층간 절연막을 더 포함하고,

인접하는 상기 제1 측벽 절연막 간의 상기 층간 절연막을 개재하여, 상기 MISFET의 소스 및 드레인 영역에 도달하는 컨택트 홀이 형성되고, 상기 컨택트 홀 안에 도전체가 형성되어 있고, 상기 제1 측벽 절연막 및 상기 층간 절연막은 산화 실리콘으로 이루어지는 반도체 집적 회로 장치.

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

제1항에 있어서,

캡 절연막이 상기 MISFET의 게이트 전극 각각의 위에 형성되어 있고,

상기 제1 측벽 절연막의 상단은 상기 캡 절연막의 상면보다도 낮은 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 13.

삭제

청구항 14.

제1항에 있어서,

상기 반도체 집적 회로 장치는 워드선, 비트선 및 용량을 갖는 DRAM 메모리 셀을 포함하고,

상기 워드선이 상기 MISFET의 게이트 전극이고,

상기 도전체는 상기 비트선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 15.

제12항에 있어서,

상기 게이트의 측면과 상기 캡 절연막의 측면이 동일 평면에 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

명세서

발명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 집적 회로 장치 및 그 제조 기술에 관한 것으로, 특히, DRAM (Dynamic Random Access Memory)를 갖는 반도체 집적 회로 장치의 제조에 적용하기에 유효한 기술에 관한 것이다.

최근의 DRAM은 메모리셀의 미세화에 따르는 정보 축적용 용량 소자의 축적 전하량의 감소를 보충하기 위해서, 정보 축적용 용량 소자를 메모리셀 선택용 MISFET의 상측에 배치하는, 소위 스택형 캐패시터 구조를 채용하고 있다. 이 스택형 캐패시터 구조를 채용하는 DRAM으로서는, 대별하여 비트선의 아래쪽에 정보 축적용 용량 소자를 배치하는 캐패시터·언더·비트 라인(Capacitor Under Bitline; CUB) 구조(예를 들면 특개평7-192723호 공보, 특개평8-204144호 공보등)과, 비트선의 상측에 정보 축적용 용량 소자를 배치하는 캐패시터·오버·비트 라인(Capacitor Over Bitline; COB) 구조(예를 들면 특개평7-122654호 공보, 미국특허공보 제5,976,929호, 특개평7-106437호 공보 등)가 있다.

상기한 2종의 스택형 캐패시터 구조 중, 비트선의 상측에 정보 축적용 용량 소자를 배치하는 COB 구조는 CUB 구조에 비해 메모리셀의 미세화에 적합하다. 이것은, 미세화된 정보 축적용 용량 소자의 축적 전하량을 늘리고자 하면, 그 구조를 입체화하여 표면적을 늘리는 필요가 있기 때문에, 정보 축적용 용량 소자의 상부에 비트선을 배치하는 CUB 구조에서는, 비트선과 메모리셀 선택용 MISFET을 접속하는 컨택트 홀의 어스펙트비가 극단적으로 커져 버려, 그 개공이 곤란하게 되기 때문이다.

또한, 64 megabit(Mbit) 혹은 256 megabit인 최근의 대용량 DRAM은, 미세화된 메모리셀 선택용 MISFET의 게이트 전극의 스페이스에 비트선이나 정보 축적용 용량 소자와 기판을 접속하기 위한 컨택트 홀을 형성할 때에, 게이트 전극의 상부와 측벽을 질화 실리콘막으로 덮어, 산화 실리콘막과 질화 실리콘막과의 에칭율차를 이용하여 컨택트 홀을 게이트 전극의 스페이스에 대하여 자기 정합적으로 개공하는 자기 정합·컨택트(Self Align Contact; SAC) 기술(예를 들면 특개평9-252098호 공보)를 채용하거나, 게이트 전극의 저저항화를 추진하기 위해서 게이트 전극을 W(텅스텐)등의 고용점 금속 재료를 주 성분으로서 구성하는 폴리 메탈 게이트 구조(특개평7-94716호 공보)를 채용하기도 하고 있다.

발명이 이루고자 하는 기술적 과제

본 발명자는, 256 megabit(Mbit) DRAM 및 1기가 비트(Gbit) DRAM의 개발을 진행시키는 중에, 리프레시 시간 간격을 길게 하기 위한 하나의 대책으로서, 비트선 용량의 저감을 도모하는 것을 검토하고 있다.

비트선 용량의 성분은, 대인접 비트선, 대기판, 대축적 전극, 대워드선 및 대플레이트 전극으로 나누어지지만, 비트선의 상측에 정보 축적용 용량 소자를 배치하는 COB 구조의 경우에는, 대워드선 용량 성분이 주 성분이 된다. 따라서, 비트선 용량을 저감하기 위해서는, 우선 대워드선 용량을 저감하는 것이 최우선 과제로 된다.

상술한 바와 같이, 자기 정합·컨택트(SAC) 기술을 채용하는 종래의 제조 프로세스에서는, 게이트 전극의 상부와 측벽을 산화 실리콘막에 대한 에칭 선택비가 큰 질화 실리콘막으로 덮고 있다. 그러나, 질화 실리콘막의 비유전률은 산화 실리콘막의 그것보다도 약 2배 정도 크기 때문에, 게이트 전극의 상부와 측벽을 질화 실리콘막으로 덮으면, 비트선의 대워드선 용량이 커져 버린다.

본 발명의 목적은, 메모리셀 사이즈가 미세화된 DRAM에서, 비트선 용량을 저감시킬 수 있는 기술을 제공하는 것에 있다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은, 본 명세서의 기술 및 첨부도면으로부터 명백해 질 것이다.

본원에 있어서 개시되는 대표적인 발명의 개요를 간단히 설명하면, 다음과 같다.

(1) 본 발명의 반도체 집적 회로 장치는, 반도체 기판 상에 형성된 MISFET와, 상기 MISFET의 소스, 드레인 영역 상에 형성된 컨택트 홀과, 상기 컨택트 홀의 내부에 형성되어, 상기 소스, 드레인 영역과 전기적으로 접속된 도전체와, 상기 도전체의 주위에 형성된 제1의 절연막을 지니고, 상기 제1의 절연막은, 상기 컨택트 홀의 바닥부에서는, 상기 도전체의 주위를 둘러싸도록 형성되어 있고, 상기 컨택트 홀의 상부에서는, 적어도 일부가 제거되어 있어 상기 도전체의 주위를 둘러싸도록 형성되어 있지 않다.

(2) 본 발명의 반도체 집적 회로 장치는, 반도체 기판 상에 형성된 MISFET와, 상기 MISFET의 소스, 드레인 영역 상에 형성된 컨택트 홀과, 상기 컨택트 홀의 내부에 형성되어, 상기 소스, 드레인 영역과 전기적으로 접속된 도전체와, 상기 도전체의 주위를 둘러싸도록 형성된 제1의 측벽 절연막과, 상기 제1의 측벽 절연막의 주위를 둘러싸도록 형성된 제2의 측벽 절연막을 지니고, 상기 제1의 측벽 절연막은 상기 제2의 측벽 절연막에 비해 부분적으로 또는 전체의 높이가 낮게 되어 있다.

(3) 본 발명의 반도체 집적 회로 장치는, 반도체 기판 상에 형성된 제1 및 제2의 워드선과, 상기 제1 및 제2의 워드선 상에 각각 형성된 제1 및 제2의 절연막과, 상기 제1 및 제2의 워드선의 사이에 형성된 컨택트 홀과, 상기 컨택트 홀의 내부에 형성된 도전체를 지니고, 상기 제1 및 제2의 워드선의 사이에는 상기 컨택트 홀의 측벽을 구성하는 제3 및 제4의 절연막이 형성되어 있고, 상기 도전체의 주위에는 제5의 절연막이 형성되어 있고, 상기 제5의 절연막의 높이는 부분적으로 또는 전체가 상기 제3 및 제4의 절연막의 상단부보다도 낮다.

(4) 본 발명의 반도체 집적 회로 장치의 제조 방법은, 이하의 공정을 갖고 있다.

(a) 반도체 기판 상에 제1의 도전체막을 형성한 후, 상기 제1의 도전체막의 상부에 제1의 절연막을 형성하는 공정,

(b) 상기 제1의 도전체막 및 제1의 절연막을 에칭함으로써, 제1 및 제2의 워드선과, 상기 제1 및 제2의 워드선의 상부를 덮는 제1 및 제2의 캡 절연막을 형성하는 공정,

(c) 상기 제1의 워드선의 일부를 게이트 전극으로 하는 제1의 MISFET 및 상기 제2의 워드선의 일부를 게이트 전극으로 하는 제2의 MISFET를 형성하는 공정,

(d) 상기 제1 및 제2의 워드선의 사이를 포함하는 상기 반도체 기판 상에 제2의 절연막을 형성한 후, 상기 제2의 절연막 상에 슬릿형의 개공부를 갖는 마스크 패턴을 형성하는 공정,

(e) 상기 슬릿형의 개공부를 갖는 마스크 패턴과, 상기 제1 및 제2의 캡 절연막을 마스크로서 이용하여 상기 제2의 절연막을 에칭함으로써, 상기 제1 및 제2의 MISFET의 소스, 드레인 영역의 한쪽의 상부에 제1의 개공부를 형성하고, 상기 소스, 드레인 영역의 다른쪽의 상부에 제2의 개공부를 형성하는 공정,

(f) 상기 제1 및 제2의 개공의 내부에 제2 도체막을 형성하는 공정,

(g) 상기 제1의 개공을 통해서 상기 소스, 드레인 영역의 한쪽과 전기적으로 접속되는 비트선을 형성하여, 상기 제2의 개공을 통해서 상기 소스, 드레인 영역의 다른쪽과 전기적으로 접속되는 용량 소자를 형성하는 공정,

(5) 본 발명의 반도체 집적 회로 장치의 제조 방법은, 이하의 공정을 갖고 있다.

(a) 반도체 기판 상에 제1의 도전체막을 형성한 후, 상기 제1의 도전체막의 상부에 제1의 절연막을 형성하는 공정,

(b) 상기 제1의 도전체막 및 제1의 절연막을 에칭함으로써, 제1 및 제2의 배선과, 상기 제1 및 제2의 배선의 상부를 덮는 제1 및 제2의 캡 절연막을 형성하는 공정,

- (c) 상기 제1 및 제2의 배선의 사이를 포함하는 상기 반도체 기판 상에 제2의 절연막을 형성한 후, 상기 제2의 절연막 상에 개공부를 갖는 제1의 막을 형성하는 공정,
- (d) 상기 제1의 막을 마스크로 하여, 상기 제1 및 제2의 캡 절연막을 에칭 스토퍼로서 상기 제2의 절연막을 에칭함으로써, 상기 제2의 절연막에 개공부를 형성하는 공정,
- (e) 상기 개공부의 내부에 측벽 절연막을 형성하는 공정,
- (f) 상기 측벽 절연막의 일부를 제거하는 공정,
- (g) 상기 측벽 절연막이 형성된 상기 개공부의 내부에 플러그를 형성하는 공정,
- (6) 본 발명의 반도체 집적 회로 장치의 제조 방법은, 이하의 공정을 갖고 있다.
- (a) 반도체 기판 상에 제1의 도전체막을 형성한 후, 상기 제1의 도전체막의 상부에 제1의 절연막을 형성하는 공정,
- (b) 상기 제1의 절연막 상에 제2의 절연막을 형성한 후, 상기 제2의 절연막 상에 포토레지스트막을 형성하는 공정,
- (c) 상기 포토레지스트막을 마스크로 하여, 상기 제1 및 제2의 절연막을 에칭하는 공정,
- (d) 상기 제1 절연막을 마스크로 하여 상기 제1 도전체막을 에칭함으로써, 제1 및 제2 배선을 형성하는 공정,
- (e) 상기 제1 및 제2 배선의 사이를 포함하는 상기 반도체 기판의 주면 상에 제3의 절연막을 형성한 후, 상기 제3 절연막 상에 제1의 막을 형성하는 공정,
- (f) 상기 제1 막 및 상기 제1 절연막에 대한 에칭 속도가 상기 제2 절연막에 대한 에칭 속도보다도 느린 방법으로, 상기 제2 절연막을 에칭함으로써, 상기 제1 및 제2 배선의 사이에 개공부를 형성하는 공정.

발명의 구성

이하, 본 발명의 실시의 형태를 도면에 기초하여 상세히 설명하기로 한다. 또, 실시의 형태를 설명하기 위한 전 도면에서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙여, 그 반복의 설명은 생략하기로 한다.

(실시 형태 1)

도 1은 본 실시 형태의 DRAM (Dynamic Random Access Memory)을 형성한 반도체 칩(1A)의 전체 평면도이다.

장방형의 반도체 칩(1A)의 주면에는, 예를 들면 256 Mbit(megabit)의 기억 용량을 갖는 DRAM이 형성되어 있다. 이 DRAM은 복수의 메모리 어레이(MARY)로 이루어지는 기억부와 이들의 주위에 배치된 주변 회로부 PC를 갖고 있다. 또한, 반도체 칩(1A)의 중앙부에는, 와이어나 범프 전극등이 접속되는 복수의 본딩 패드 BP가 일렬로 배치되어 있다.

도 2는 상기 기억부의 일단부를 도시하는 반도체 기판(이하, 기판이라 함)의 단면도이다.

예를 들면, p형의 단결정 실리콘으로 이루어지는 기판(1)의 주면에는 p형 웨(2)이 형성되어 있고, p형 웨(2)에는 소자 분리홈(4)이 형성되어 있다. 이 소자 분리홈(4)에 의해 주위를 규정된 p형 웨(2)의 액티브 영역에는 복수의 메모리셀이 형성되어 있다. 메모리셀의 각각은 n 채널형 MISFET(Metal Insulator Semiconductor Field Effect Transistor)로 구성된 한 개의 메모리셀 선택용 MISFET(Qt)와 그 상부에 형성된 한 개의 정보 축적용 용량 소자 C로 구성되어 있다. 메모리셀 선택용 MISFET(Qt)는 주로 게이트 절연막(6), 액티브 영역 이외의 영역에서 워드선 WL을 구성하는 게이트 전극(7) 및 한 쌍의 n형 반도체 영역(소스, 드레인 영역)(8)으로 구성되어 있다. 게이트 전극(7)(워드선 WL)은, 예를 들면 P(인)이 도핑된 n형 다결정 실리콘막, WN(질화 텅스텐)막 및 W(텅스텐)막을 적층한 3층의 도전체막으로 구성되어 있다.

도면에는 도시하지 않는 주변 회로부 PC의 기판(1)에는 p형 웨 및 n형 웨이 형성되어 있다. p형 웨의 액티브 영역에는 n 채널형 MISFET이 형성되고, n형 웨의 액티브 영역에는 p 채널형 MISFET이 형성되어 있다. n 채널형 MISFET은 주로 게

이트 절연막, 게이트 전극 및 한 쌍의 n형 반도체 영역(소스, 드레인 영역)으로 구성되고, p 채널형 MISFET은 주로 게이트 절연막, 게이트 전극 및 한 쌍의 p형 반도체 영역(소스, 드레인 영역)으로 구성되어 있다. 즉, 주변 회로부 PC는 n 채널형 MISFET과 p 채널형 MISFET을 조합한 상보형 MISFET로 구성되어 있다.

도 2에 도시한 바와 같이, 메모리셀 선택용 MISFET(Qt)의 게이트 전극(7)(워드선 WL)의 측벽에는, 2층의 측벽 절연막(10, 11)이 형성되어 있다. 이것들의 측벽 절연막(10, 11) 중, 외측의 제1의 측벽 절연막(11)은, 예를 들면 30 nm 정도의 막 두께를 갖는 산화 실리콘막으로 구성되고, 내측의 제2 측벽 절연막(10)은 제1 측벽 절연막(11) 보다도 얇은 막 두께(예를 들면 10 nm~15 nm 정도)의 질화 실리콘막으로 구성되어 있다. 산화 실리콘막으로 구성된 측벽 절연막(11)의 높이는 게이트 전극(7)(워드선 WL)의 상면보다도 높고, 또한 게이트 전극(7)(워드선 WL)의 상부를 덮고 있는 캡 절연막(9)의 상단부보다도 낮게 되어 있다.

게이트 전극(7)의 스페이스에는, 상기 2층의 측벽 절연막(10, 11)에 의해 주위를 둘러싸인 컨택트 홀(개공부)(12, 13)이 형성되어 있고, 컨택트 홀(12, 13)의 내부에는, 예를 들면 P(인)이 도핑된 n형 다결정 실리콘막으로 구성되는 플러그(14)가 매립되고 있다.

메모리셀 선택용 MISFET(Qt)의 상부에는 산화 실리콘막(31)이 형성되어 있고, 산화 실리콘막(31)의 상부에는 메모리셀의 데이터를 판독하는 비트선 BL이 형성되어 있다. 비트선 BL은, 예를 들면 TiN(질화 티탄)막의 상부에 W(텅스텐)막을 적층한 도전체막으로 구성되어 있다. 비트선 BL은 산화 실리콘막(31)에 형성된 관통 홀(32) 및 그 하부의 상기 컨택트 홀(12)을 통해 메모리셀 선택용 MISFET(Qt)의 n형 반도체 영역(소스, 드레인)(8)의 한쪽과 전기적으로 접속되어 있다. 관통 홀(32)의 내부에는, 예를 들면 TiN 막의 상부에 W 막을 적층한 도전체막으로 구성되는 플러그(33)가 매립되고 있다.

비트선 BL의 상부에는 산화 실리콘막(34) 및 질화 실리콘막(35)이 형성되어 있고, 질화 실리콘막(35)의 상부에는 정보 축적용 용량 소자 C가 형성되어 있다. 정보 축적용 용량 소자 C는 질화 실리콘막(35)의 상부가 두꺼운 막 두께의 산화 실리콘막(39)을 에칭하여 형성한 깊은 홈(40)의 내부에 형성되어, 하부 전극(41), 용량 절연막(42) 및 상부 전극(43)으로 구성되어 있다.

정보 축적용 용량 소자 C의 하부 전극(41)은, 예를 들면 Ru(루테늄)막으로 구성되고, 관통 홀(36) 및 그 하부의 컨택트 홀(13)을 통해 메모리셀 선택용 MISFET(Qt)의 n형 반도체 영역(소스, 드레인)(8)의 다른쪽과 전기적으로 접속되어 있다. 용량 절연막(42)은, 예를 들면 BST(BaxSr_{1-x}TiO₃:Barium Strontium Titanate)막으로 구성되고, 상부 전극(43)은 예를 들면 Ru 막으로 구성되어 있다.

다음에, 상기한 바와 같이 구성된 본 실시 형태의 DRAM의 제조 방법을 도 3~도 41을 이용하여 공정순으로 설명한다.

우선, 도 3(기억부의 일단부를 도시하는 평면도), 도 4(도 3의 A-A 선을 따라 절취한 단면도) 및 도 5(도 3의 B-B 선을 따라 절취한 단면도)에 도시한 바와 같이, 기판(1)의 주면의 소자 분리 영역에 소자 분리홈(4)을 형성한다. 소자 분리홈(4)은 기판(1)의 주면을 에칭하여 깊이 300~400 nm 정도의 홈을 형성하고, 계속해서 이 홈의 내부를 포함하는 기판(1) 상에 CVD법으로 막 두께 600 nm 정도 산화 실리콘막(5)을 피착한 후, 홈의 외부의 산화 실리콘막(5)을 화학 기계 연마(Chemical Mechanical Polishing; CMP)법으로 연마, 제거함으로써 형성한다. 도 3에 도시한 바와 같이, 이 소자 분리홈(4)을 형성함으로써, 주위가 소자 분리홈(4)으로 둘러싸인 가늘고 긴 섬 형상의 패턴을 갖는 다수의 액티브 영역 L이 동시에 형성된다.

다음에, 도 6 및 도 7에 도시한 바와 같이, 기판(1)에 P(인)을 이온 주입한 후, 기판(1)을 열 처리하여 이 불순물을 기판(1) 내에 확산시키는 것에 의해, p형 웨(2)를 형성한다.

다음에, 도 8에 도시한 바와 같이, 기판(1)을 열 산화하여 p형 웨(2)의 표면에 막 두께 6 nm~7 nm 정도의 산화 실리콘으로 이루어지는 게이트 절연막(6)을 형성하고, 계속해서 게이트 절연막(6)의 상부에 게이트 전극 재료인 제1 도전체막(7A)를 형성한 후, 도전체막(7A)의 상부에 캡 절연막 재료인 제1 절연막(9A)를 형성한다.

상기 도전체막(7A)을 형성하기 위해서는, 예를 들면 P(인)을 도핑한 막 두께 70 nm 정도의 n형 다결정 실리콘막을 게이트 절연막(6) 상에 CVD법으로 피착하고, 계속해서 그 상부에 막 두께 5 nm 정도의 WN(질화 텅스텐)막 및 막 두께 60 nm 정도의 W(텅스텐)막을 스퍼터링법으로 피착한다. 또한, 절연막(9A)을 형성하기 위해서는, 종래의 자기 정합·컨택트(SAC) 기술로 행해지도록, 도전체막(9A) 상에 CVD법으로 질화 실리콘막을 피착하더라도 좋지만, 본 실시 형태에서는, 예를 들

면 막 두께 50 nm 정도의 산화 실리콘막, 막 두께 70 nm 정도의 질화 실리콘막 및 막 두께 80 nm 정도의 산화 실리콘막을 CVD법으로 피착한다. 즉, 절연막(9A)은 2층의 산화 실리콘막의 사이에 질화 실리콘막을 설치한 3층의 절연막으로 구성된다.

다음에, 도 9에 도시한 바와 같이, 포토레지스트막(20)을 마스크로 하여 절연막(9A)을 드라이 에칭함으로써, 게이트 전극을 형성하는 영역의 도전체막(7A) 상에 전술한 3층의 절연막(절연막 9A)으로 구성되는 캡 절연막(9)을 형성한다.

통상, 산화 실리콘은 포토레지스트에 대한 에칭 선택비(대 레지스트 선택비)가 질화 실리콘보다도 크다(질화 실리콘이 약 1.3인 반면, 산화 실리콘은 약 1.6). 그 때문에, 캡 절연막 재료(절연막 9A)를 2층의 산화 실리콘막과 1층의 질화 실리콘막으로 구성한 경우에는, 캡 절연막 재료를 1층의 질화 실리콘막만으로 구성한 경우에 비교하여 쌍 레지스트 선택비가 커져, 그 만큼 포토레지스트막(20)의 막감소가 적어지기 때문에, 캡 절연막(9)의 가공 치수 정밀도가 향상된다.

다음에, 포토레지스트막(20)을 제거한 후, 도 10에 도시한 바와 같이, 캡 절연막(9)을 마스크로 하여 도전체막(7A)를 드라이 에칭함으로써, 다결정 실리콘막, WN 막 및 W 막으로 구성되는 게이트 전극(7)(워드선 WL)을 형성한다. W막과 다결정 실리콘막을 주 성분으로 하여 구성되는, 소위 폴리메탈 구조의 게이트 전극(7)(워드선 WL)은 다결정 실리콘막이나 폴리사이드막(고용접 금속 실리사이드막과 다결정 실리콘막의 적층막)으로 구성된 게이트 전극에 비해 전기 저항이 낮기 때문에, 워드선의 신호 지연을 저감할 수가 있다. 또, W막과 다결정 실리콘막과의 사이에 설치된 WN막은 고온 열 처리시에 W막과 다결정 실리콘막이 반응하여 양자의 계면에 고저항의 실리사이드층이 형성되는 것을 방지하는 배리어층으로서 기능한다. 배리어층에는 WN막과 다른, 예를 들면 TiN(질화 티탄)막 등을 사용할 수 있다.

도 11에 도시한 바와 같이, 게이트 전극(7)(워드선 WL)은 액티브 영역 L의 긴 변과 교차하는 방향으로 연장하고, 그 게이트 길이는, 예를 들면 $0.13\mu m \sim 1.4 \mu m$ 정도, 인접하는 게이트 전극(7)(워드선 WL)과의 스페이스는, 예를 들면 $0.12\mu m$ 정도이다.

통상, 게이트 전극 재료(도전체막 7A)의 일부를 구성하는 W막은 산화 실리콘에 대한 에칭 선택비(대 산화 실리콘 선택비)가 질화 실리콘막에 대한 선택비(대 질화 실리콘 선택비)보다도 크다(대 질화 실리콘 선택비가 약 1.0인데 반하여, 대 산화 실리콘 선택비는 약 1.2이다). 그 때문에, 캡 절연막(9)의 최상부를 산화 실리콘막으로 구성한 경우에는, 최상부를 질화 실리콘막으로 구성한 경우에 비해 W막의 선택비를 크게 취할 수 있다. 이에 따라, 캡 절연막(9)의 막감소가 적은 상태에서 게이트 전극(7)을 가공할 수가 있어, 그 만큼 캡 절연막(9)의 가공 치수 정밀도 및 게이트 전극(7)의 가공 치수 정밀도를 향상시킬 수 있으므로, 캡 절연막(9)을 1층의 질화 실리콘막만으로 구성한 경우에 비해, 미세한 게이트 길이를 갖는 게이트 전극(7)을 높은 치수 정밀도로 형성할 수가 있다. 또, 질화 실리콘막을 끼우는 2층의 산화 실리콘막 중 어느 한쪽을 생략할 수 있다.

다음에, 도 12에 도시한 바와 같이, p형 웨(2)에 As(비소)를 이온 주입하여 게이트 전극(7)의 양측의 p형 웨(2)에 n형 반도체 영역(소스, 드레인 영역)(8)을 형성한다. 지금까지의 공정에 의해, 메모리셀 선택용 MISFET(Qt)이 거의 완성된다. 계속해서, 기판(1) 상에 CVD법으로 막 두께 10 nm~15nm 정도 얇은 질화 실리콘막(10A)을 피착한다. 질화 실리콘막(10A)은 후속 공정에서 게이트 전극(7)의 스페이스에 컨택트 홀(개공부)을 형성하기 위한 드라이 에칭을 행할 때, 소자 분리홈(4)의 내부의 산화 실리콘막(5)이 깨이는 것을 막는 에칭 스토퍼로서 사용된다. 따라서, 산화 실리콘막(5)의 삭감량이 문제로 되지 않도록 한 경우에는, 질화 실리콘막(10A)을 형성하지 않더라도 좋다.

다음에, 도 13에 도시한 바와 같이, 기판(1) 상에 CVD법으로 막 두께 70 nm 정도의 산화 실리콘막(21)을 피착함으로써, 게이트 전극(7)(워드선 WL)의 스페이스에 산화 실리콘막(21)을 매립한다. 산화 실리콘막(21)은 주변 회로부의 MISFET(n 채널형 MISFET 및 p 채널형 MISFET)를 LDD(lightly Doped Drain) 구조로 하기위해서 사용된다. 즉, 도시는 생략하지만, 상기 산화 실리콘막(21)을 피착한 후, 기억부의 기판(1) 상을 포토레지스트막으로 덮어, 주변 회로부의 산화 실리콘막(21)을 이방적으로 에칭함으로써, 주변 회로부의 게이트 전극의 측벽에 측벽 절연막을 형성한다. 그 후, 주변 회로부의 p형 웨에 As 또는 P을 이온 주입하여 고불순물 농도의 n^+ 형 반도체 영역(소스, 드레인)을 형성하고, n형 웨에 B를 이온 주입하여 고불순물 농도의 p^+ 형 반도체 영역(소스, 드레인)을 형성한다. 지금까지의 공정에 의해, 주변 회로부의 n 채널형 MISFET 및 p 채널형 MISFET이 거의 완성된다.

다음에, 도 14에 도시한 바와 같이, 기판(1) 상에 CVD법으로 막 두께 600 nm 정도가 두꺼운 산화 실리콘막(22)을 피착한 후, 이 산화 실리콘막(22)을 화학 기계 연마법으로 연마, 평탄화함으로써, 산화 실리콘막(22)의 표면의 높이를 기억부와 도시하지 않은 주변 회로부와 균일하게 한다. 이 때, 캡 절연막(9)의 일부를 구성하는 질화 실리콘막을 연마 스토퍼로서 이용하여, 산화 실리콘막(22)의 표면의 높이를 캡 절연막(9)의 상면까지 후퇴시키더라도 좋다.

다음에, 도 15 및 도 16에 도시한 바와 같이, 산화 실리콘막(22)의 상부에 CVD법으로 막 두께 10 nm 정도가 얇은 산화 실리콘막(23)을 피착하고, 계속해서 산화 실리콘막(23)의 상부에 CVD법으로 막 두께 70 nm 정도의 다결정 실리콘막(24A)을 피착한 후, 다결정 실리콘막(24A)의 상부에 막 두께 60 nm 정도의 반사 방지막(25) 및 막 두께 400 nm 정도의 포토레지스트막(26)을 스판도포한다. 산화 실리콘막(23)은 화학 기계 연마법으로 연마되었을 때에 생긴 하층의 산화 실리콘막(22)의 표면의 미세한 흠을 보수하기 위해서 피착된다.

다음에, 도 17 및 도 18에 도시한 바와 같이, 포토레지스트막(26)을 마스크로 하여 반사 방지막(25) 및 다결정 실리콘막(24A)의 각각의 일부를 드라이 에칭함으로써, 내 에칭 마스크(24)를 형성한다. 도 19는 다결정 실리콘막(24A)으로 구성된 상기 내 에칭 마스크(24)의 패턴(그레이의 착색을 실시한 부분)을 도시하는 평면도이다. 도시와 같이, 내 에칭 마스크(24)는, 기억부를 가로 질러 액티브 영역 L의 긴 변 방향으로 연장하는 가늘고 긴 슬릿형 또는 홈형의 개공부(27)을 갖고 있다. 게이트 전극(7)의 스페이스에 컨택트 홀(개공부)(12, 13)을 형성하기 위한 내 에칭 마스크(24)에 이러한 슬릿형(홈형)의 개공부(27)를 설치한 이유에 대해서는 후술하기로 한다.

다음에, 포토레지스트막(26) 및 반사 방지막(25)을 제거한 후, 도 20 및 도 21에 도시한 바와 같이, 내 에칭 마스크(24)를 마스크로 하여 개공부(27)내의 산화 실리콘막(21, 22, 23)을 드라이 에칭함으로써, n형 반도체 영역(소스, 드레인 영역)(8)의 상부, 즉 게이트 전극(7)의 스페이스에 컨택트 홀(개공부)(12, 13)을 형성한다. 컨택트 홀(12, 13)의 한쪽(컨택트 홀(12))은 n형 반도체 영역(소스, 드레인 영역)(8)의 한쪽과 비트선 BL을 접속하기 위해 사용되고, 다른쪽(컨택트 홀(13))은 n형 반도체 영역(소스, 드레인 영역)(8)의 다른쪽과 정보 측적용 용량 소자 C의 하부 전극(41)을 접속하기 위해 사용된다.

상기 산화 실리콘막(21, 22, 23)의 드라이 에칭은 질화 실리콘막(10A) 및 캡 절연막(9)의 일부를 구성하는 질화 실리콘막을 에칭 스토퍼로 하여 행한다. 이에 따라, 산화 실리콘막(21, 22, 23)을 드라이 에칭할 때에 소자 분리홈(4)의 내부의 산화 실리콘막(5)이 깎이는 문제점을 방지할 수 있음과 함께, 캡 절연막(9)이 깎이고 게이트 전극(7)(워드선 WL)의 상면이 노출되는 문제점을 방지할 수가 있다. 또한, 여기까지의 공정에 의해, 게이트 전극(7)(워드선 WL)의 측벽에 질화 실리콘막(10A)으로 구성되는 측벽 절연막(10)이 형성된다.

다음에, 도 22 및 도 23에 도시한 바와 같이, 기판(1) 상에 CVD법으로 막 두께 30 nm 정도의 산화 실리콘막(11A)을 피착한 후, 도 24에 도시한 바와 같이, 산화 실리콘막(11A)을 이방적으로 에칭함으로써, 게이트 전극(7)(워드선 WL)의 측벽에 막 두께 30 nm 정도의 산화 실리콘막(11A)으로 구성되는 측벽 절연막(11)을 형성한다. 이 때, 도 25에 도시한 바와 같이, 슬릿형(홈형)의 개공부(27)의 연장 방향에 따른 산화 실리콘막(22, 21)의 측벽에도, 산화 실리콘막(11A)로 구성되는 측벽 절연막(11)이 형성된다.

상기 산화 실리콘막(11A)의 이방성 에칭은 전술한 산화 실리콘막(21, 22, 23)의 드라이 에칭과 동일하게, 질화 실리콘막(10A) 및 캡 절연막(9)의 일부인 질화 실리콘막을 에칭 스토퍼로 하여 행한다. 이에 따라, 게이트 전극(7)의 측벽에 형성되는 측벽 절연막(11)의 높이가 캡 절연막(9)의 상면보다도 낮게 된다(도 24). 이 때 측벽 절연막(11)에 대하여 실시되는 이방성 에칭의 에칭량은 나중에 캡 절연막(9)의 질화 실리콘막을 스토퍼로 하여 행해지는 화학 기계 연마에 의한 캡 절연막(9)의 막 감소를 고려하더라도, 측벽 절연막(11)의 상단이 캡 절연막(9)의 상면보다도 확실하게 낮게 되도록, 측벽 절연막(11)의 상단과 캡 절연막(9)의 상면과의 높이의 차를 확보하여 놓는 것이 바람직하다. 한편, 산화 실리콘막(22, 21)의 측벽에 형성되는 측벽 절연막(11)은 게이트 전극(7)의 측벽에 형성되는 측벽 절연막(11)보다도 상단부의 위치가 높게 된다(도 25).

여기까지의 공정에 의해, 게이트 전극(7)의 측벽에는, 얇은 막 두께의 질화 실리콘막(10A)과 그것보다도 두꺼운 막 두께의 산화 실리콘막(11A)으로 구성되는 2층의 측벽 절연막(10, 11)이 형성된다. 또한, 산화 실리콘막(11A)으로 구성되는 측벽 절연막(11)은, 게이트 전극(7)의 측벽에서의 높이가 캡 절연막(9)의 상면보다도 낮기 때문에, 게이트 전극(7)의 스페이스에 형성된 컨택트 홀(12, 13)의 게이트 길이 방향을 따르는 단면은 도 24에 도시한 바와 같이, 상부의 직경(a)가 바닥부의 직경(b)보다도 크다($a > b$).

다음에, 도 26 및 도 27에 도시한 바와 같이, 컨택트 홀(12, 13)의 바닥부에 남은 얇은 막 두께의 질화 실리콘막(10A)를 드라이 에칭으로 제거하여 n형 반도체 영역(소스, 드레인 영역)(8)의 표면을 노출시킨 후, 이 드라이 에칭으로 손상을 받은 n형 반도체 영역(소스, 드레인 영역)(8)의 표면을 얇게 드라이 에칭한다.

다음에, 도 28 및 도 29에 도시한 바와 같이, 예를 들면 P을 도핑한 막 두께 100nm 정도의 n형 다결정 실리콘막(14A)을 CVD법으로 피착함으로써, 컨택트 홀(12, 13)의 내부에 n형 다결정 실리콘막(14A)을 매립한다. 또, 도시하지 않은 주변 회로 영역에 컨택트 홀(12, 13)보다도 직경이 큰 컨택트 홀이 있는 경우에는, 컨택트 홀 내부의 n형 다결정 실리콘막(14A)의

막 두께가 부족하여, 다음의 공정에서 n형 다결정 실리콘막(14A)을 연마했을 때에 주변 회로 영역의 컨택트 홀의 바닥부의 기판(1)이 깎일 수 있는 우려가 있기 때문에, n형 다결정 실리콘막(14A)의 상부에 예를 들면 CVD법으로 막 두께 200nm 정도의 산화 실리콘막을 더 펴착하여 두더라도 좋다.

다음에, 도 30 및 도 31에 도시한 바와 같이, n형 다결정 실리콘막(14A), 다결정 실리콘으로 이루어지는 내 에칭 마스크(24) 및 그 하층의 산화 실리콘막(21, 22, 23)을 화학 기계 연마법으로 연마함으로써, 컨택트 홀(12, 13)의 외부의 n형 다결정 실리콘막(14A)을 제거하고, 컨택트 홀(12, 13)의 내부에 n형 다결정 실리콘막(14A)으로 구성되는 플러그(14)를 형성한다. 이 화학 기계 연마는, 캡 절연막(9)의 일부를 인질화 실리콘막을 스토퍼로 하여 행한다.

이와 같이, 본 실시 형태에서는, 우선 액티브 영역 L의 긴 변 방향으로 연장하는 슬릿형(홈형)의 개공부(27)를 갖는 내 에칭 마스크(24)를 사용하여 산화 실리콘막(21, 22, 23)을 드라이 에칭 함으로써, 게이트 전극(7)의 스페이스에 컨택트 홀(개공부)(12, 13)을 형성한다. 다음에, 컨택트 홀(12, 13)의 벽면을 구성하는 게이트 전극(7)의 측벽 및 산화 실리콘막(22, 21)의 측벽에 산화 실리콘막(11A)에 의해서 구성되는 측벽 절연막(11)을 형성한 후, 컨택트 홀(12, 13)의 내부에 플러그(14)를 형성한다.

또한, 본 실시 형태에서는, 캡 절연막(9)의 일부를 질화 실리콘막으로 구성하는 적층 구조로 함으로써, 상기 n형 다결정 실리콘막(14A)에 대해 화학 기계 연마를 실시할 때에 상기 질화 실리콘막을 스토퍼로서 사용할 수가 있어, 캡 절연막(9)의 막 두께의 제어가 용이하게 된다.

또한, 본 실시 형태의 캡 절연막(9)은 상기 화학 기계 연마의 때에 스토퍼로서 사용되는 질화 실리콘막의 하층에 산화 실리콘막을 설치한 적층 구조로 되어 있기 때문에, 상기 게이트 전극(7)의 가공의 때에 대 레지스트 선택비나 대 텅스텐 선택비의 관점에서는 바람직하지 못한 질화 실리콘막의 막 두께를 억제하면서, 화학 기계 연마 종료 시점에서의 캡 절연막(9)의 막 두께를 확보할 수가 있다.

도 32의 (a)는 상기한 슬릿형(홈형)의 개공부(27)를 갖는 내 에칭 마스크(24)를 사용하여 형성한 컨택트 홀(12)의 개략 평면도이다. 이 컨택트 홀(12)의 측벽에는 산화 실리콘막으로 구성되는 측벽 절연막(11)이 형성되기 때문에, 이 측벽 절연막(11)의 내측의 영역(그레이의 착색을 실시한 영역)이 컨택트 홀(12)의 바닥부에 노출한 n형 반도체 영역(8)과 플러그(14)가 접촉하는 영역이 된다. 그런데, 이러한 홀형의 개공부(30)를 갖는 내 에칭 마스크를 사용하여 형성한 컨택트 홀(12)은 포토마스크의 오정렬에 의해서 개공부(30)의 위치가 액티브 영역 L의 긴 변 방향으로 어긋난 경우, 도 32의 (c)에 도시한 바와 같이, n형 반도체 영역(8)과 플러그(14)가 접촉하는 영역이 작아진다. 이에 대하여, 액티브 영역 L의 긴 변 방향으로 연장하는 슬릿형(홈형)의 개공부(27)를 갖는 내 에칭 마스크를 사용하여 형성한 컨택트 홀(12)의 경우에는, 포토마스크의 오정렬에 의해서 개공부(27)의 위치가 액티브 영역 L의 긴 변 방향으로 어긋난 경우라도, n형 반도체 영역(8)과 플러그(14)가 접촉하는 영역이 작아지는 일은 없다. 즉, 슬릿형(홈형)의 개공부(27)를 갖는 내 에칭 마스크 사용하여 컨택트 홀(12)을 형성하는 본 실시 형태에 따르면, 컨택트 홀(12)에 매립한 플러그(14)와 n형 반도체 영역(8)과의 접촉 면적을 최대한으로 확보할 수가 있기 때문에, 플러그(14)와 n형 반도체 영역(8) 사이의 접촉 저항의 증대를 억제할 수가 있다.

내 에칭 마스크에 형성된 개공부의 형상에 의한 플러그(14)와 n형 반도체 영역(8)과의 컨택트 면적의 차는, 종래의 자기 정합·컨택트 (SAC) 기술로 행해지고 있는 바와 같이, 게이트 전극의 측벽에 측벽 절연막을 형성한 후, 게이트 전극의 스페이스에 컨택트 홀을 형성하는 경우와, 본 실시 형태와 같이, 게이트 전극의 스페이스에 컨택트 홀을 형성한 후, 게이트 전극의 측벽에 측벽 절연막을 형성하는 경우에 달라진다.

도 33의 (a)는 게이트 전극의 측벽에 측벽 절연막을 형성한 후, 게이트 전극의 스페이스에 컨택트 홀을 형성한 경우에 있어서의, 슬릿형(홈형)의 개공부(27)의 폭 및 홀형의 개공부(30)의 직경과 상기 컨택트 면적과의 관계를 나타내는 그래프이다. 도시와 같이, 이 경우에는, 개공부의 형상에 의한 접촉 면적의 차는 작다. 한편, 도 33의 (b)는 게이트 전극의 스페이스에 컨택트 홀을 형성한 후, 게이트 전극의 측벽에 측벽 절연막을 형성한 경우에 있어서의, 슬릿형(홈형)의 개공부(27)의 폭 및 홀형의 개공부(30)의 직경과 상기 접촉 면적과의 관계를 나타내는 그래프이다. 도시와 같이, 이 경우에는, 개공부의 형상에 의한 접촉 면적의 차가 현저해지고, 더구나 가공 치수의 미세화가 진행할수록 접촉 면적의 차가 커진다.

다음에, 도 34~도 36에 도시한 바와 같이, 기판(1) 상에 CVD법으로 막 두께 300 nm 정도의 산화 실리콘막(31)을 피착한 후, 포토레지스트막(도시하지 않음)을 마스크로 하여 컨택트 홀(12)의 상부의 산화 실리콘막(31)을 드라이 에칭함으로써, 나중에 형성되는 비트선 BL과 컨택트 홀(12)을 접속하기 위한 관통 홀(32)을 형성한다. 이 때, 도시하지 않은 주변 회로 영역에도, 제1층째의 배선과 소자를 접속하기 위한 컨택트 홀을 형성한다. 또, 컨택트 홀(12)의 상부의 산화 실리콘막(31)을 드라이 에칭할 때에 컨택트 홀(12)에 매립한 플러그(14)가 깎이는 것을 막는 대책으로서, 산화 실리콘막(31)의 하층에 막 두께 10 nm 정도의 질화 실리콘막(도시하지 않음)을 피착하고, 이 질화 실리콘막을 에칭 스토퍼로 하여 산화 실리콘막(31)을 드라이 에칭한 후, 질화 실리콘막을 에칭하더라도 좋다.

다음에, 관통 홀(32)의 내부에 플러그(33)를 형성한다. 플러그(33)를 형성하기 위해서는, 예를 들면 CVD법으로 산화 실리콘막(31)의 상부에 TiN 등으로 이루어지는 배리어 메탈막을 피착하고, 계속해서 배리어 메탈막의 상부에 CVD법으로 W 막을 피착함으로써 관통 홀(32)의 내부에 이것들의 막을 매립한 후, 관통 홀(32)의 외부의 이들 막을 화학 기계 연마법으로 제거한다. 이 때, 도시하지 않은 주변 회로 영역의 컨택트 홀의 내부에도 플러그(33)를 형성한다.

다음에, 도 37~도 39에 도시한 바와 같이, 산화 실리콘막(31)의 상부에 비트선 BL을 형성한다. 비트선 BL을 형성하기 위해서는, 예를 들면 산화 실리콘막(31)의 상부에 스퍼터링법으로 막 두께 10 nm 정도의 TiN 막(또는 WN 막) 및 막 두께 50 nm 정도의 W막을 피착한 후, 포토레지스트막을 마스크로 하여 이들 막을 드라이 에칭한다. 비트선 BL은 관통 홀(32)의 내부에 매립된 플러그(33) 및 컨택트 홀(12)의 내부에 매립된 플러그(14)를 통해 메모리셀 선택용 MISFET(Qt)의 n형 반도체 영역(소스, 드레인 영역)(8)의 한쪽과 전기적으로 접속된다. 또, 비트선 BL은, 예를 들면 특원평 11-115871호에 기재되어 있는 것 같은 상감(Damascene)법에 의해서 형성할 수 있다.

이와 같이, 본 실시 형태의 DRAM은 메모리셀 선택용 MISFET(Qt)의 게이트 전극(7)의 측벽에 질화 실리콘막으로 구성되는 측벽 절연막(10)과 산화 실리콘막으로 구성되는 측벽 절연막(11)을 형성하고, 이들 측벽 절연막(10, 11)으로 주위가 둘러싸인 게이트 전극(7)의 스페이스(컨택트 홀(12, 13))에 플러그(14)를 매립한다. 이에 따라, 산화 실리콘막보다도 비유전률이 큰 질화 실리콘막만으로 측벽 절연막을 구성하는 종래의 자기 정합·컨택트(SAC) 기술에 비해 측벽 절연막의 실효적인 비유전률을 작게 할 수가 있기 때문에, 비트선 용량의 주 성분인 대 워드선 용량 성분을 작게 할 수가 있다.

또한, 본 실시 형태의 DRAM은 게이트 전극(7)의 상부의 캡 절연막(9)을 산화 실리콘막과 질화 실리콘막과의 적층막으로 구성한다. 이에 따라, 산화 실리콘막보다도 비유전률이 큰 질화 실리콘막만으로 캡 절연막을 구성하는 종래의 자기 정합·컨택트(SAC) 기술에 비해 캡 절연막의 실효적인 비유전률을 작게 할 수가 있기 때문에, 대 워드선 용량 성분을 더욱 작게 할 수가 있다.

다음에, 도 40에 도시한 바와 같이, 비트선 BL의 상부에 CVD법으로 막 두께 300 nm 정도의 산화 실리콘막(34)을 피착한 후, 그 표면을 화학 기계 연마법으로 평탄화한다. 다음에, 산화 실리콘막(34)의 상부에 CVD법으로 막 두께 50 nm 정도의 질화 실리콘막(35)을 피착한 후, 질화 실리콘막(35) 및 산화 실리콘막(35, 31)을 드라이 에칭함으로써, 상기 플러그(14)가 매립된 컨택트 홀(13)의 상부에 관통 홀(36)을 형성한다.

다음에, 관통 홀(36)의 내부에 플러그(37)를 형성하고, 또한 플러그(37)의 표면에 배리어 메탈막(38)을 형성한다. 플러그(37) 및 배리어 메탈막(38)을 형성하기 위해서는, 예를 들면 질화 실리콘막(35)의 상부에 P를 도핑한 n형 다결정 실리콘막을 CVD법으로 피착함으로써 관통 홀(36)의 내부에 n형 다결정 실리콘막을 매립한 후, 관통 홀(36)의 외부의 n형 다결정 실리콘막을 드라이 에칭으로 제거한다. 이 때, 관통 홀(36)의 내부의 n형 다결정 실리콘막을 오버에칭하여, 플러그(37)의 표면을 질화 실리콘막(35)의 표면보다도 아래쪽으로 후퇴시킴으로써, 플러그(37)의 상부에 배리어 메탈막(38)을 매립하기 위한 스페이스를 확보한다. 다음에, 질화 실리콘막(35)의 상부에 스퍼터링법으로 TiN막을 피착함으로써, 관통 홀(36) 내의 플러그(37)의 상부에 TaN(질화 탄탈)막을 매립한 후, 관통 홀(36)의 외부의 TaN막을 화학 기계 연마법으로 제거한다.

후속 공정에서 관통 홀(36)의 상부에 형성하는 정보 축적용 용량 소자 C의 하부 전극과 플러그(37)의 사이에 개재하는 상기 배리어 메탈막(38)은 정보 축적 용량 소자 C의 용량 절연막 형성 공정에서 행해지는 고온 열 처리의 때, 하부 전극을 구성하는 Ru 막과 플러그(37)를 구성하는 다결정 실리콘막과의 계면에서 원하지 않는 반응이 생기는 것을 억제하기 위해서 형성한다.

상술한 바와 같이, 게이트 전극(7)의 측벽에 형성된 2층의 측벽 절연막(10, 11)중, 외측의 측벽 절연막(11)은 게이트 전극(7)의 측벽에서의 높이가 캡 절연막(9)의 상면보다도 낮기 때문에, 게이트 길이 방향을 따르는 컨택트 홀(12, 13)의 단면은 상부의 직경이 바닥부의 직경보다도 크다(도 24 참조). 즉, 컨택트 홀(12, 13)의 내부에 매립된 플러그(14)의 직경은 컨택트 홀(12, 13)의 바닥부보다도 상부쪽이 크다.

이에 따라, 컨택트 홀(13)의 상부에 관통 홀(36)을 형성했을 때, 포토마스크의 오정렬등에 의해서 관통 홀(36)의 중심이 컨택트 홀(13)의 중심에서 어긋났다고 해도, 컨택트 홀(13)의 표면적이 크기 때문에, 양자의 접촉 면적을 충분히 확보할 수가 있다.

그 후, 관통 홀(36)의 상부에 하부 전극(41), 용량 절연막(42) 및 상부 전극(43)으로 구성되는 정보 축적용 용량 소자 C를 형성하여, 관통 홀(36)의 내부에 매립된 플러그(37) 및 컨택트 홀(13)의 내부에 매립된 플러그(14)를 통해 정보 축적용 용량 소자 C의 하부 전극(41)과 메모리셀 선택용 MISFET(Qt)의 n형 반도체 영역(소스, 드레인 영역)(8)의 다른쪽을 전기적으로 접속함으로써, 상기 도 2에 도시하는 DRAM의 메모리셀이 완성된다.

정보 축적용 용량 소자 C를 형성하기 위해서는, 예를 들면 도 41에 도시한 바와 같이, 질화 실리콘막(35)의 상부에 CVD법으로 막 두께 $1\mu\text{m}$ 정도가 두꺼운 산화 실리콘막(39)을 피착하고, 계속해서 포토레지스트막을 마스크로 하여 산화 실리콘막(39) 드라이 에칭함으로써, 관통 홀(36)의 상부에 홈(40)을 형성한다. 산화 실리콘막(39)의 에칭은 질화 실리콘막(35)을 에칭 스토퍼로 하여 행하여 하층의 산화 실리콘막(34)이 깎지 않도록 한다.

다음에, 포토레지스트막을 제거한 후, 홈(40)의 내부를 포함하는 산화 실리콘막(39)의 상부에 CVD법으로 막 두께 $70\text{nm} \sim 80\text{nm}$ 정도의 Ru 막을 피착한다. 다음에, 홈(40)의 내부의 Ru 막이 제거되는 것을 막기 위해서 홈(40)의 내부에 포토레지스트막을 매립한 후, 이 포토레지스트막으로 덮여 있지 않은 홈(40)의 외부의 Ru 막을 드라이 에칭에 의해서 제거하고, 홈(40)의 내부에 매립한 포토레지스트막을 애칭으로 제거함으로써, 홈(40)의 측벽 및 저면에 Ru 막으로 구성되는 하부 전극(41)을 형성한다.

다음에, 하부 전극(41)이 형성된 홈(40)의 내부를 포함하는 산화 실리콘막(39) 상에 용량 절연막(42)을 형성한다. 용량 절연막(42)은, 예를 들면 CVD법으로 피착한 막 두께는 20 nm 정도의 BST 막에 의해서 구성한다. 용량 절연막(42)은 BST 막의 다른, 예를 들면 BaTiO_3 (티탄산바륨), PbTiO_3 (티탄산 납), PZT, PLT, PLZT 등의 페로브스카이트형 금속 산화물로 이루어지는 강유전체막으로 구성할 수 있다. 다음에, 용량 절연막(42)의 상부에 상부 전극(43)을 형성한다. 상부 전극(43)은, 예를 들면 CVD법 또는 스피터링법으로 피착한 막 두께 200 nm 정도의 Ru 막으로 구성한다. 여기까지의 공정에 의해, Ru 막으로 구성되는 하부 전극(41), BST 막으로 구성되는 용량 절연막(42) 및 Ru 막으로 구성되는 상부 전극(43)으로 이루어지는 정보 축적용 용량 소자 C가 완성된다. 그 후, 정보 축적용 용량 소자 C의 상부에 중간 절연막을 끼워 2층 정도의 Al 배선을 형성하고, 최상층의 Al 배선의 상부에 패시베이션막을 형성하지만 이들의 도시는 생략한다.

(실시의 형태 2)

본 실시 형태의 DRAM의 제조 방법을 도 42~도 45를 이용하여 공정순으로 설명하기로 한다. 우선, 도 42에 도시한 바와 같이, 상기 실시의 형태 1과 동일한 방법으로 메모리셀 선택용 MISFET(Qt)을 형성하고, 계속해서 그 상부에 산화 실리콘막(21~23)을 형성한 후, 산화 실리콘막(23)의 상부에 내 에칭 마스크(24)를 형성한다. 여기까지의 공정은, 상기 실시의 형태1의 도 3~도 18에 도시한 공정과 동일하다.

다음에, 도 43에 도시한 바와 같이, 내 에칭 마스크(24)를 마스크로 하여 산화 실리콘막(21, 22, 23)을 드라이 에칭함으로써, 게이트 전극(7)의 스페이스에 컨택트 홀(개공부)(12, 13)을 형성한다. 이 때, 본 실시 형태에서는, n형 반도체 영역(소스, 드레인 영역)(8)의 상부를 덮고 있는 질화 실리콘막(10A)도 에칭하여, 컨택트 홀(개공부)(12, 13)의 바닥부에 n형 반도체 영역(소스, 드레인 영역)(8)의 표면을 노출시킨다. 상기 실시의 형태 1과 동일하게, 여기까지의 공정에 의해, 게이트 전극(7)(워드선 WL)의 측벽에 질화 실리콘막(10A)으로 구성되는 측벽 절연막(10)이 형성된다.

다음에, 상기 드라이 에칭으로 손상을 받은 n형 반도체 영역(소스, 드레인 영역)(8)의 표면을 얇게 드라이 에칭한 후, 도 44에 도시한 바와 같이, 기판(1) 상에 CVD법으로 막 두께 30 nm 정도의 산화 실리콘막(11A)을 피착하여, 계속해서 도 45에 도시한 바와 같이, 산화 실리콘막(11A)을 이방적으로 에칭함으로써, 게이트 전극(7)(워드선 WL)의 측벽에 막 두께 30 nm 정도의 산화 실리콘막(11A)으로 구성되는 측벽 절연막(11)을 형성한다. 그 후의 공정은, 상기 실시의 형태 1와 동일하다.

이와 같이, 본 실시 형태의 제조 방법은, 컨택트 홀(12, 13)의 바닥부의 질화 실리콘막(10A)를 제거한 후, 게이트 전극(7)(워드선 WL)의 측벽에 측벽 절연막(11)을 형성하기 때문에, 측벽 절연막(11)의 바닥부에는 질화 실리콘막(10A)이 남지 않는다(도 45).

한편, 게이트 전극(7)(워드선 WL)의 측벽에 측벽 절연막(11)을 형성한 후에 컨택트 홀(12, 13)의 바닥부의 질화 실리콘막(10A)을 제거하는 상기 실시의 형태 1의 제조 방법에서는, 측벽 절연막(11)의 바닥부에 질화 실리콘막(10A)가 남는다(도 26). 이와 같이, 게이트 전극(7)(워드선 WL)의 측벽 단부에 질화 실리콘막(10A)이 남으면, 이 질화 실리콘막(10A)과 그 하층의 게이트 절연막(6)과의 계면이 대전하여, 메모리셀의 누설 전류를 변동시키는 요인이 된다.

따라서, 게이트 전극(7)(워드선 WL)의 측벽 단부에 질화 실리콘막(10A)을 남기지 않는 본 실시 형태의 제조 방법에 따르면, 상기한 문제점을 방지하여 메모리셀의 특성 변동을 억제할 수가 있다.

이상, 본 발명자에 의해서 이루어진 발명을 발명의 실시의 형태에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시의 형태에 한정되는 것이 아니라, 그 요지를 일탈하지 않은 범위에서 여러가지 변경 가능한 것은 물론이다.

발명의 효과

본원에 있어서 개시되는 발명중, 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 이하와 같다.

본 발명에 따르면, 비트선의 용량을 저감시킬 수 있다. 이에 따라, 정보 축적용 용량 소자에 축적된 전하(정보)를 판독할 때의 신호 전압을 크게 할 수가 있기 때문에, 신호의 노이즈 마진이 커져, 리프레시 사이클을 연장시켜, 소비 전력을 저감할 수가 있다.

또한, 한 개의 비트선에 접속하는 메모리셀의 수를 늘릴 수 있기 때문에, 감지 증폭기의 수를 줄이는 수 있어, 그 만큼 칩 면적을 축소시킬 수 있으므로 웨이퍼 당 칩 취득수를 늘려 제조 수율을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시의 형태인 DRAM을 형성한 반도체 칩의 전체 평면도이다.

도 2는 본 발명의 일 실시의 형태인 DRAM의 구성을 나타내는 반도체 기판의 주요부 단면도이다.

도 3은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 평면도이다.

도 4는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 5는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 6은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 7은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 8은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 9는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 10은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 11은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 평면도이다.

도 12는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 13은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 14는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 15는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 16은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 17은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 18은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 19는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 평면도이다.

도 20은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 21은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 22는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 23은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 24는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 25는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 26은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 27은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 28은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 29는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 30은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 31은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 32의 (a)는 슬릿형(홈형)의 개공부를 갖는 내에칭 마스크 사용하여 형성한 컨택트 홀의 개략 평면도, (b) 및 (c)는 홀형의 개공부를 갖는 내에칭 마스크를 사용하여 형성한 컨택트 홀의 개략 평면도이다.

도 33의 (a)는 게이트 전극의 측벽에 측벽 절연막을 형성한 후, 게이트 전극의 스페이스에 컨택트 홀을 형성한 경우에 있어서의, 슬릿형(홈형)의 개공부의 폭 및 홀형의 개공부의 직경과 컨택트 면적과의 관계를 나타내는 그래프이고, (b)는 게이트 전극의 스페이스에 컨택트 홀을 형성한 후, 게이트 전극의 측벽에 측벽 절연막을 형성한 경우에 있어서의, 슬릿형(홈형)의 개공부의 폭 및 홀형의 개공부의 직경과 컨택트 면적과의 관계를 나타내는 그래프.

도 34는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 평면도이다.

도 35는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 36은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 37은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 평면도이다.

도 38은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 39는 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 40은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 41은 본 발명의 일 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 42는 본 발명의 다른 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 43은 본 발명의 다른 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 44는 본 발명의 다른 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 45는 본 발명의 다른 실시의 형태인 DRAM의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

1 : 반도체 기판

1A : 반도체 칩

2 : p형 웨

4 : 소자 분리홈

5 : 산화 실리콘막

6 : 게이트 절연막

7 : 게이트 전극

7A : 도전체막

8 : n형 반도체 영역(소스, 드레인)

9 : 캡 절연막

9A : 절연막

10 : 측벽 절연막

10A : 질화 실리콘막

11 : 측벽 절연막

11A : 질화 실리콘막

12, 13 : 컨택트 홀(개공부)

14 : 플러그

14A : n형 다결정 실리콘막

20 : 포토레지스트막

21, 22, 23 : 산화 실리콘막

24A : 다결정 실리콘막

24 : 내 에칭 마스크

25 : 반사 방지막

26 : 포토레지스트막

27 : 개공부

30 : 개공부

31 : 산화 실리콘막

32 : 관통 홀

33 : 플러그

34 : 산화 실리콘막

35 : 질화 실리콘막

36 : 관통 홀

37 : 플러그

38 : 배리어 메탈막

39 : 산화 실리콘막

40 : 홈

41 : 하부 전극

42 : 용량 절연막

43 : 상부 전극

BL : 비트선

BP : 본딩 패드

C : 정보 축적용 용량 소자

L : 액티브 영역

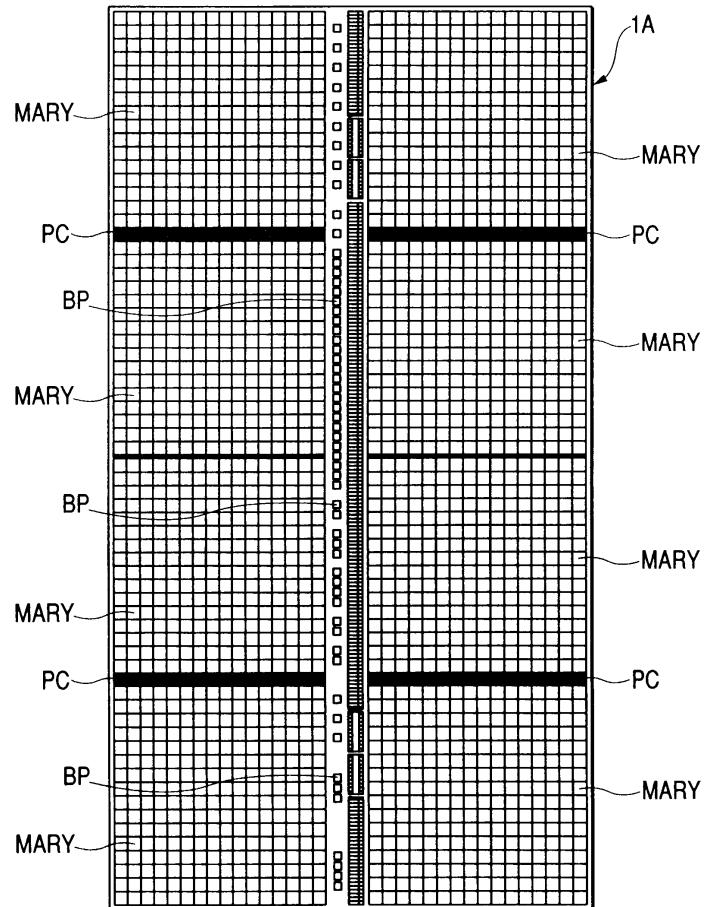
MARY : 메모리 어레이

PC : 주변 회로부

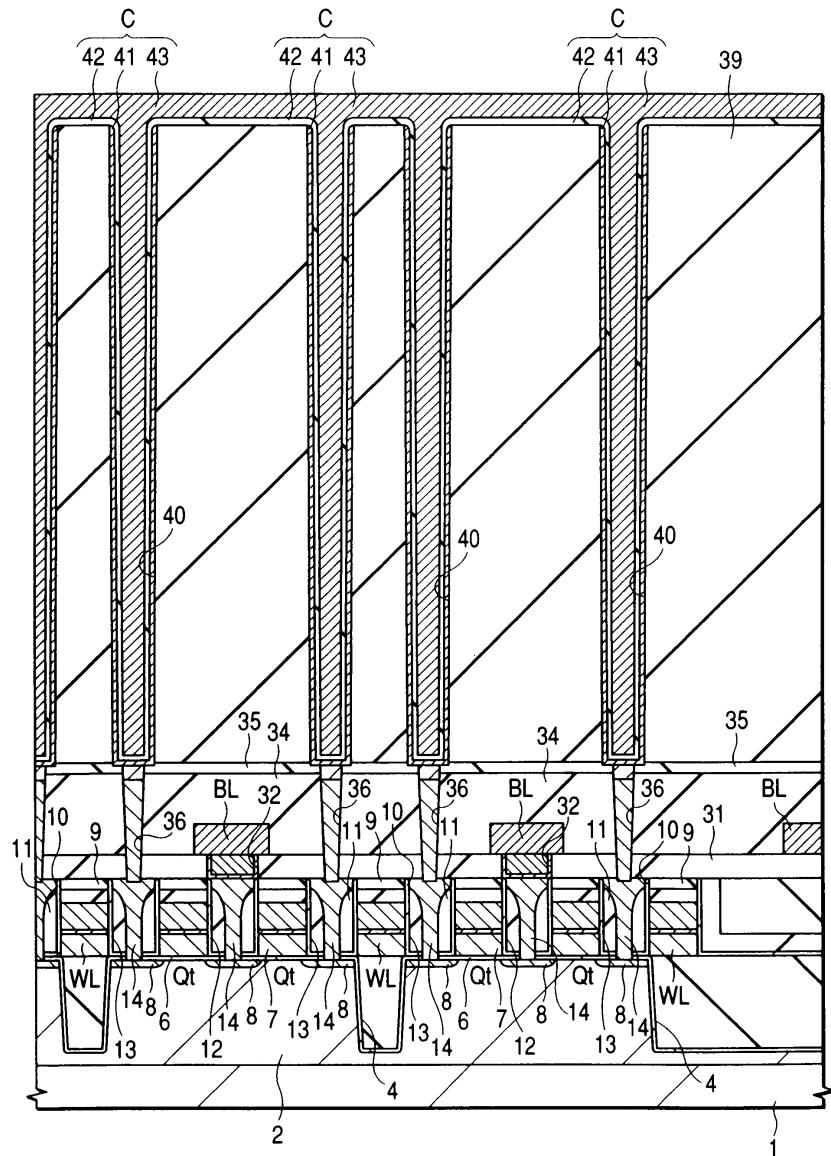
WL : 워드선

도면

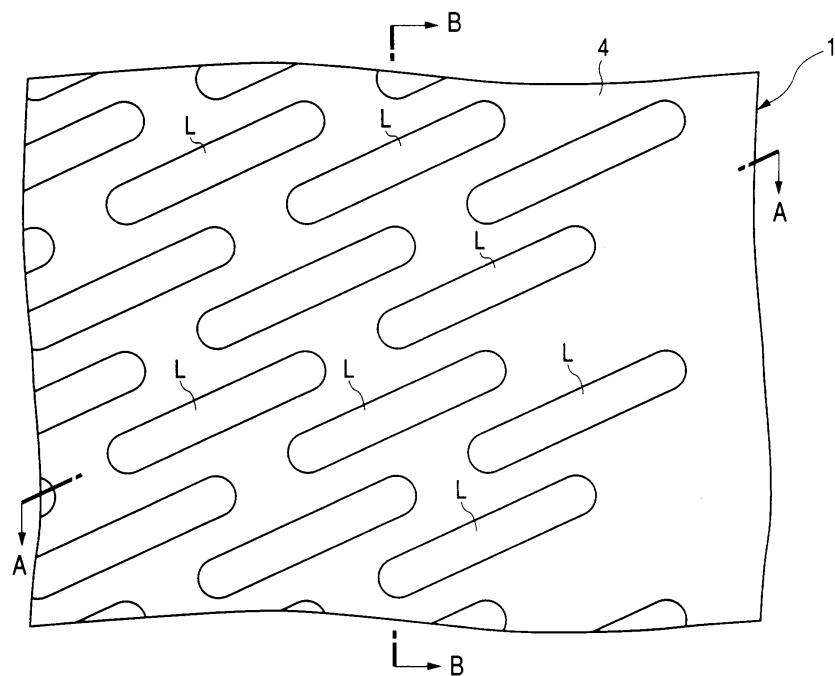
도면1



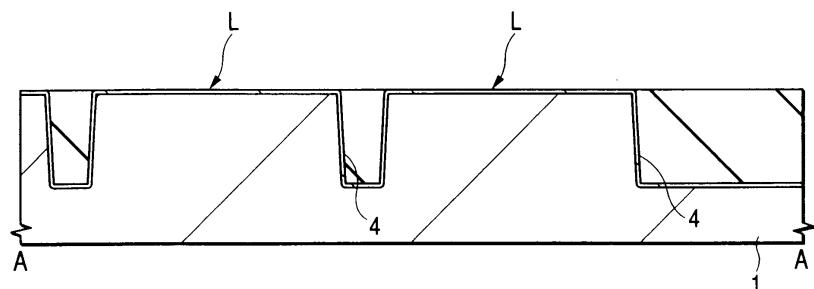
도면2



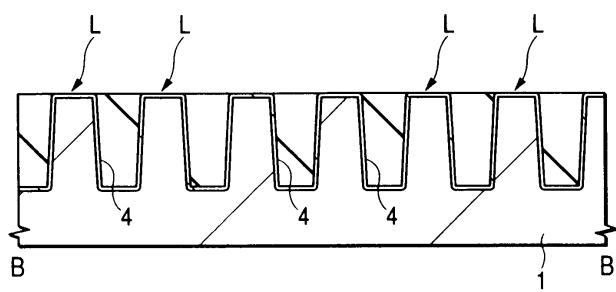
도면3



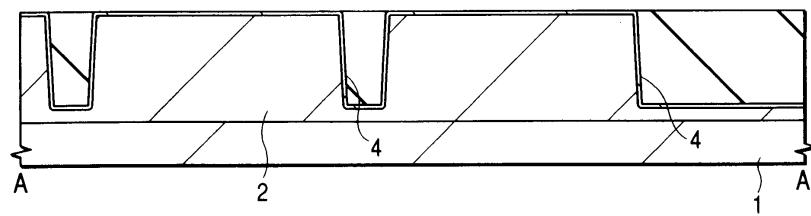
도면4



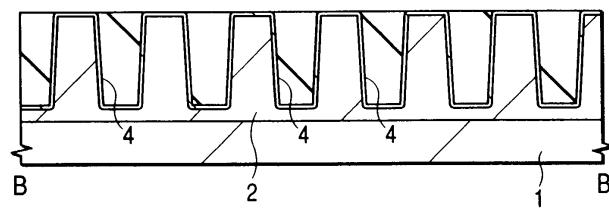
도면5



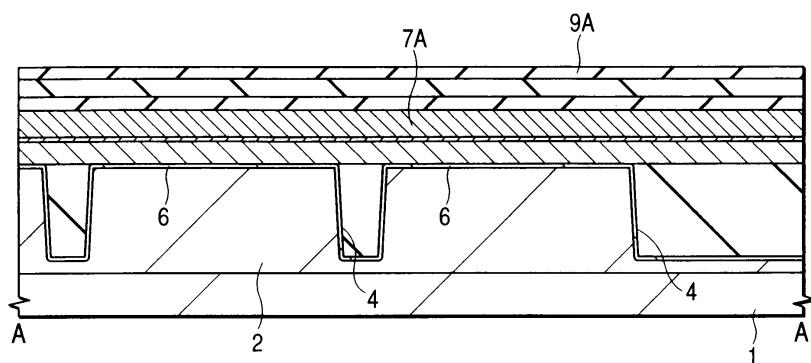
도면6



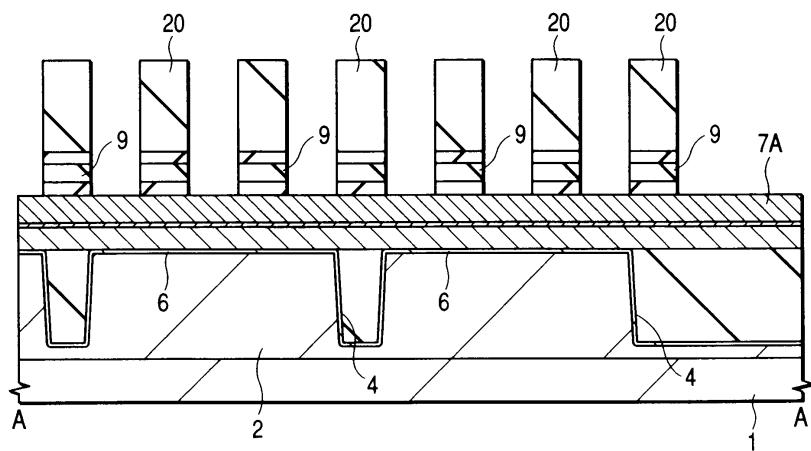
도면7



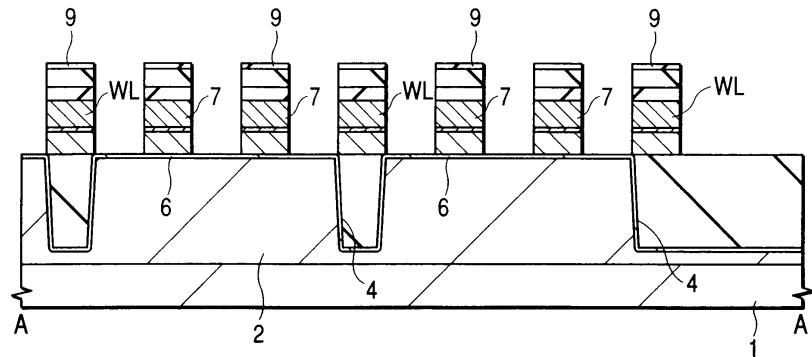
도면8



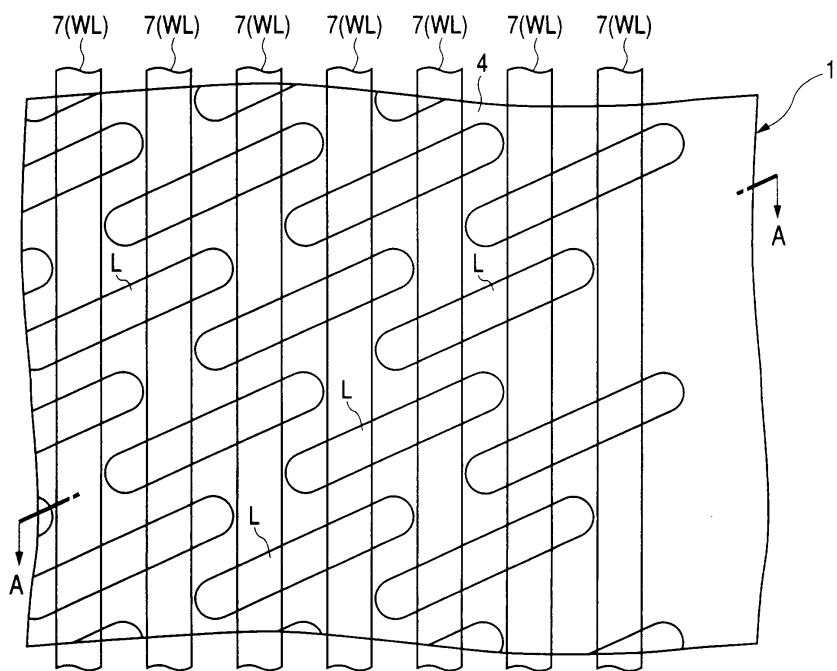
도면9



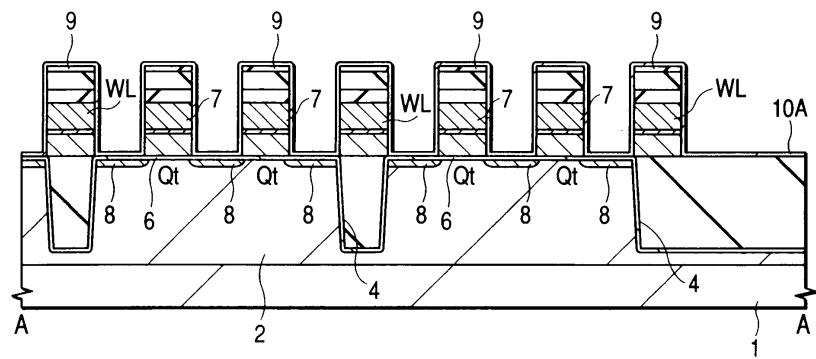
도면10



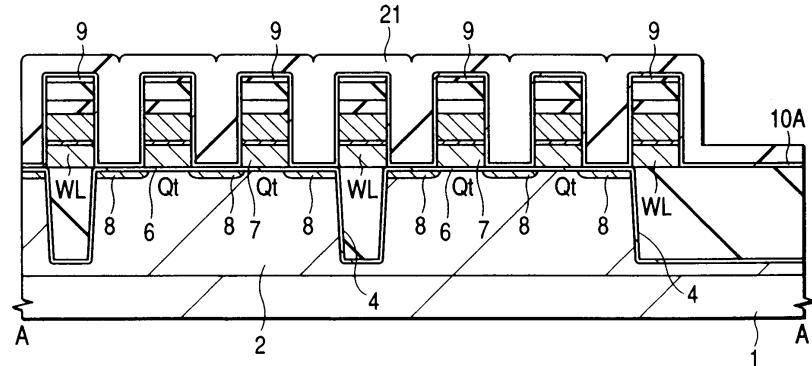
도면11



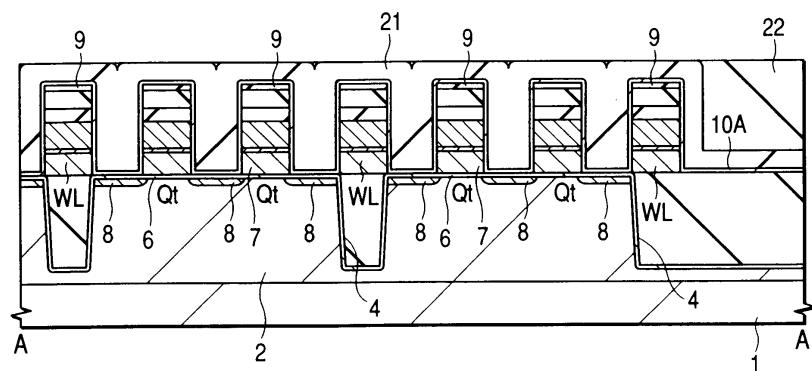
도면12



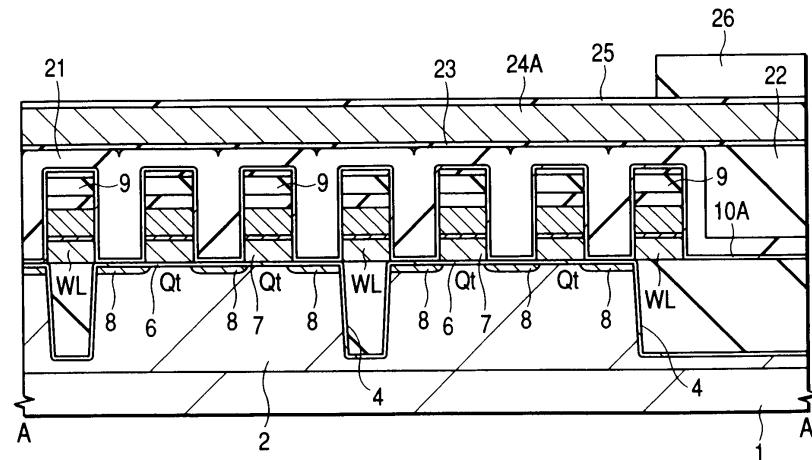
도면13



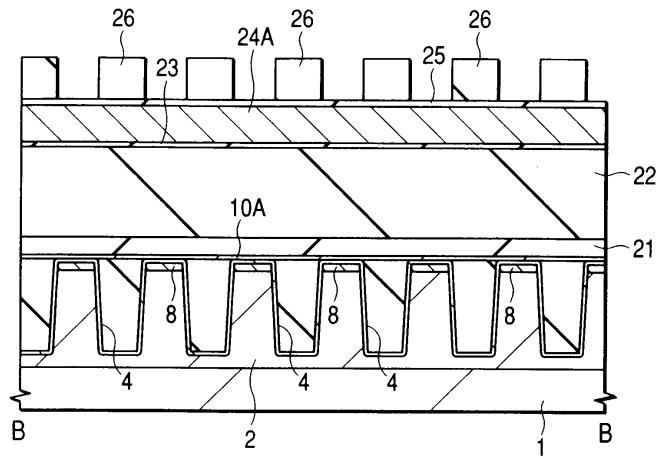
도면14



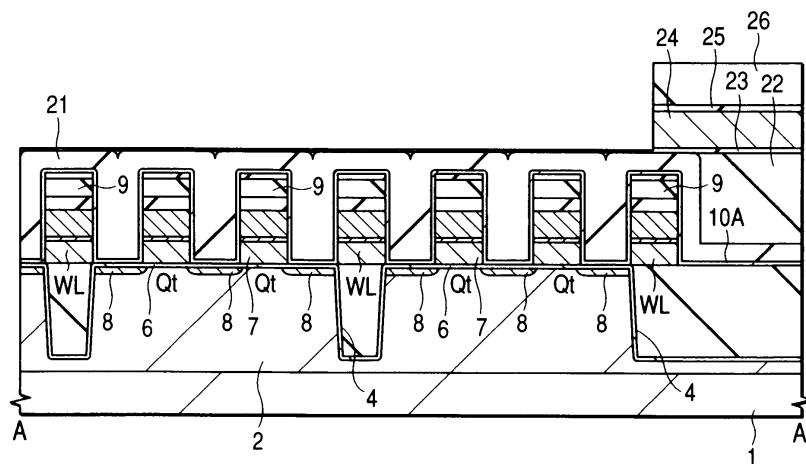
도면15



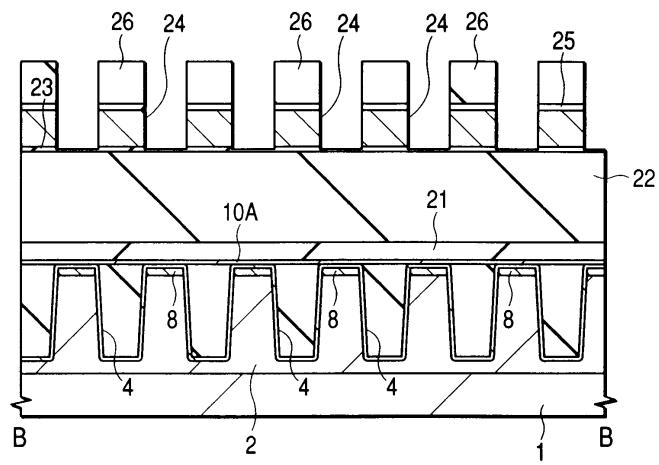
도면16



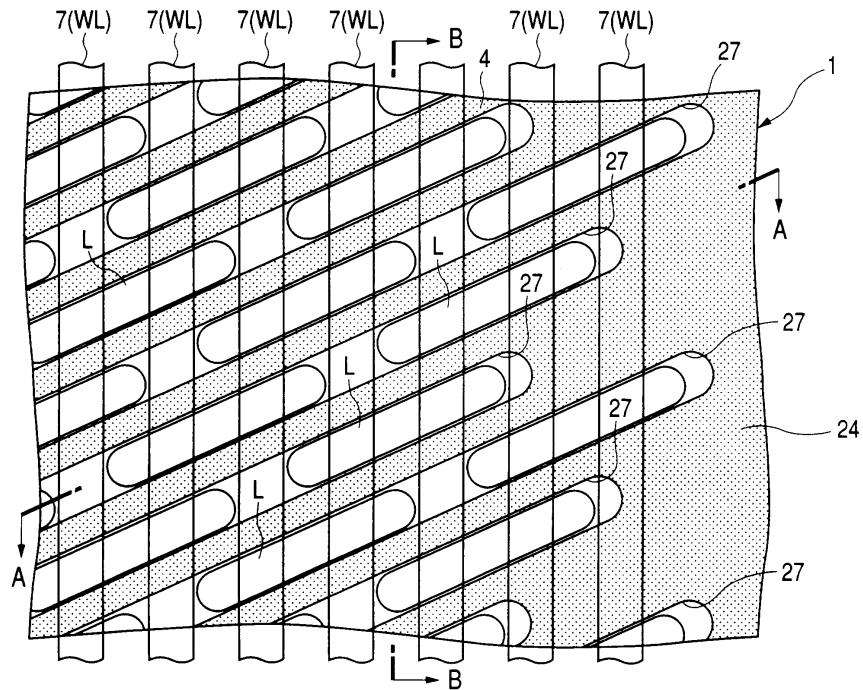
도면17



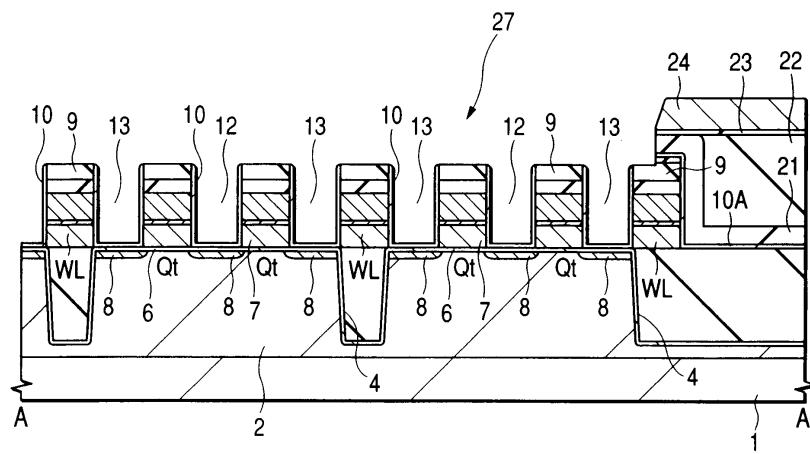
도면18



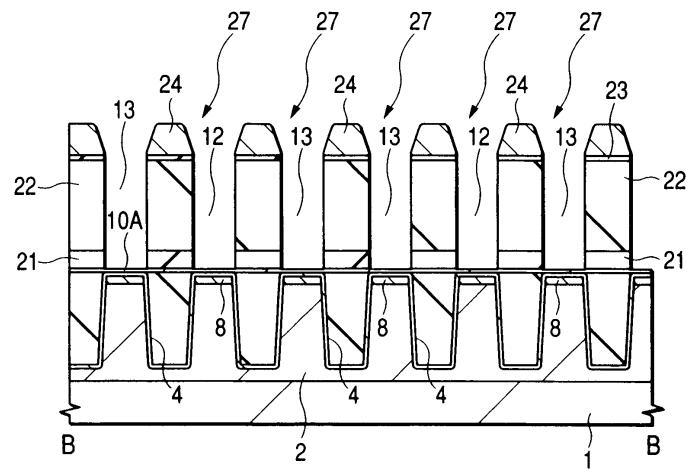
도면19



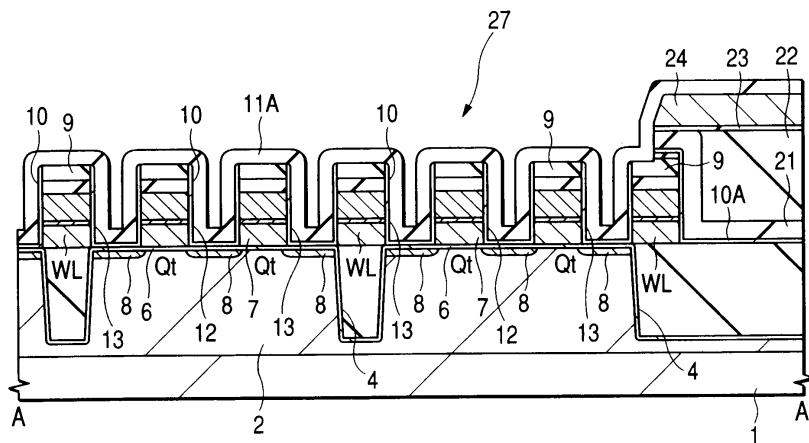
도면20



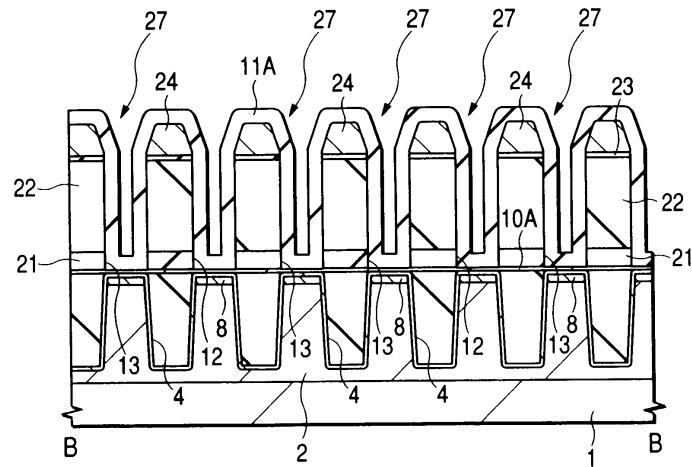
도면21



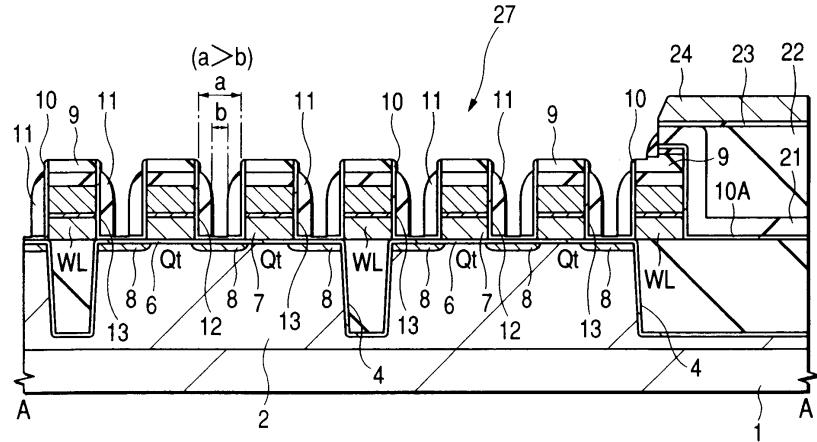
도면22



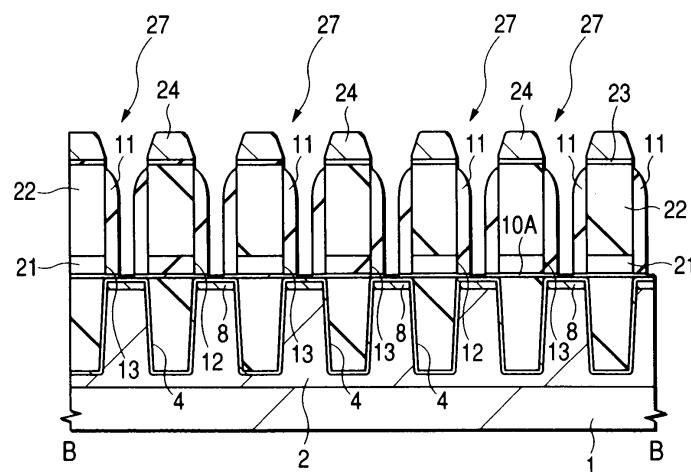
도면23



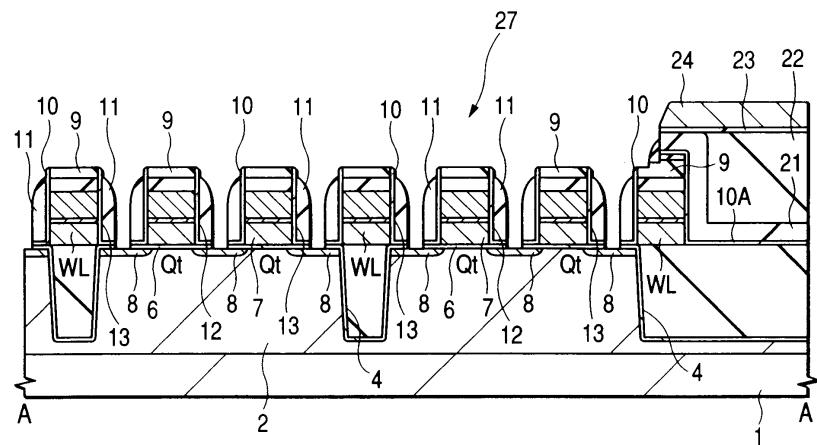
도면24



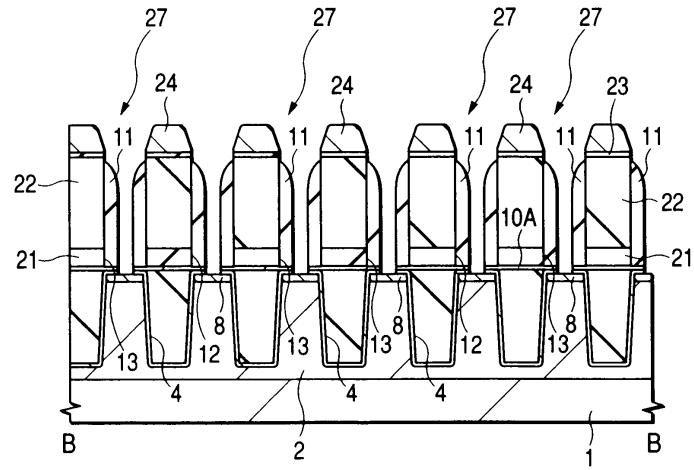
도면25



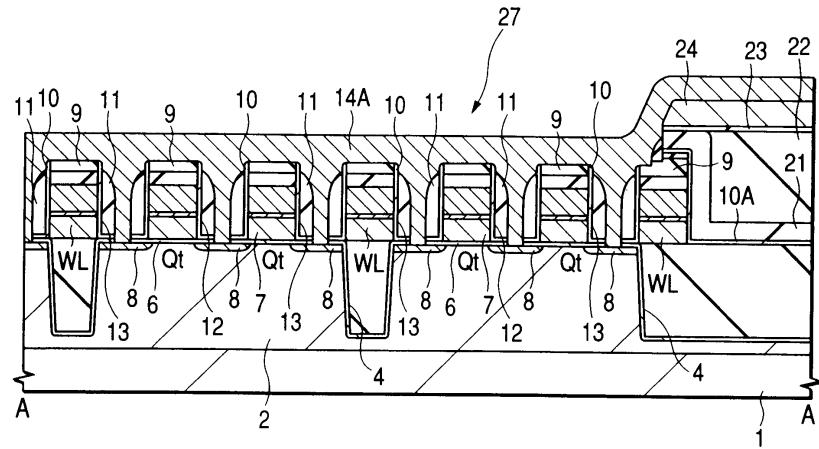
도면26



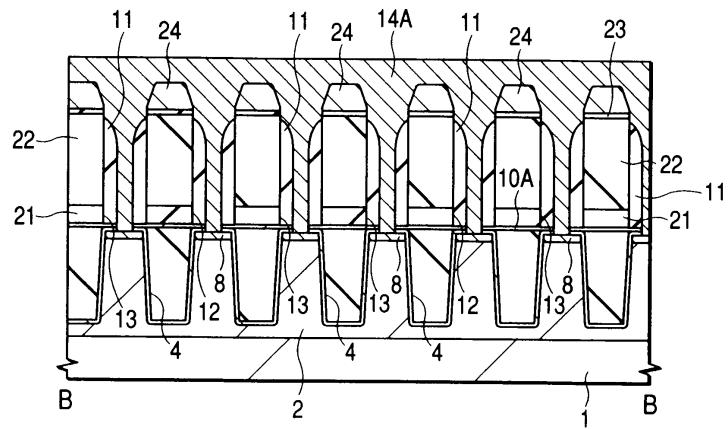
도면27



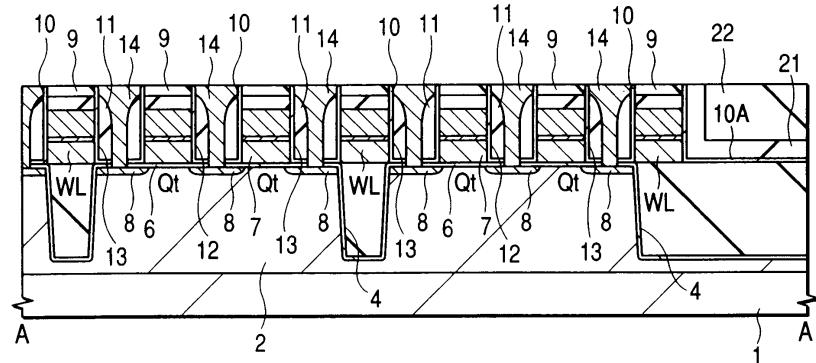
도면28



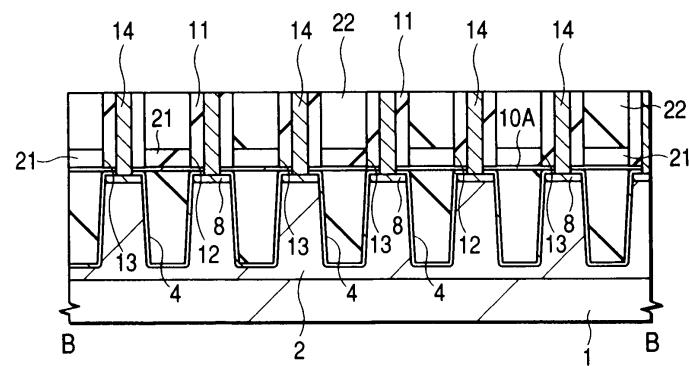
도면29



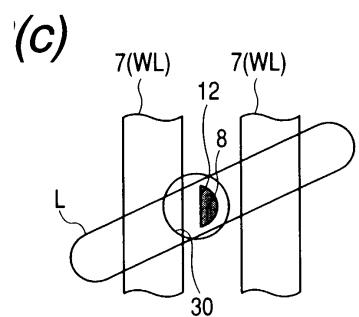
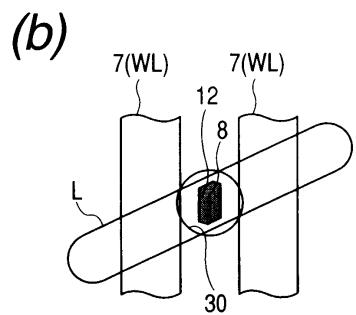
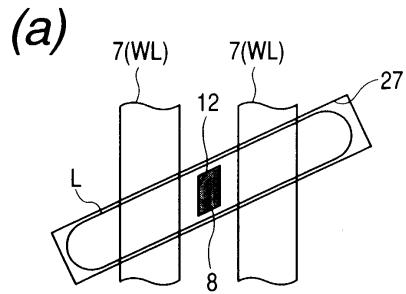
도면30



도면31

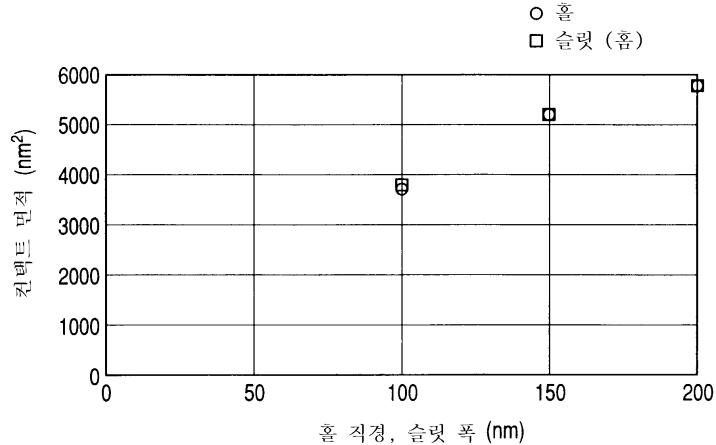


도면32

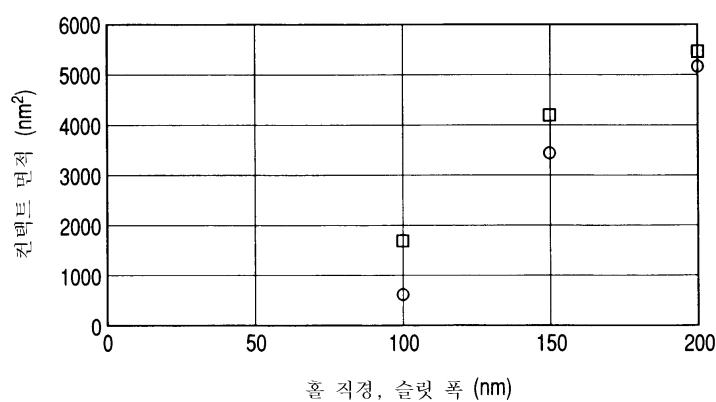


도면33

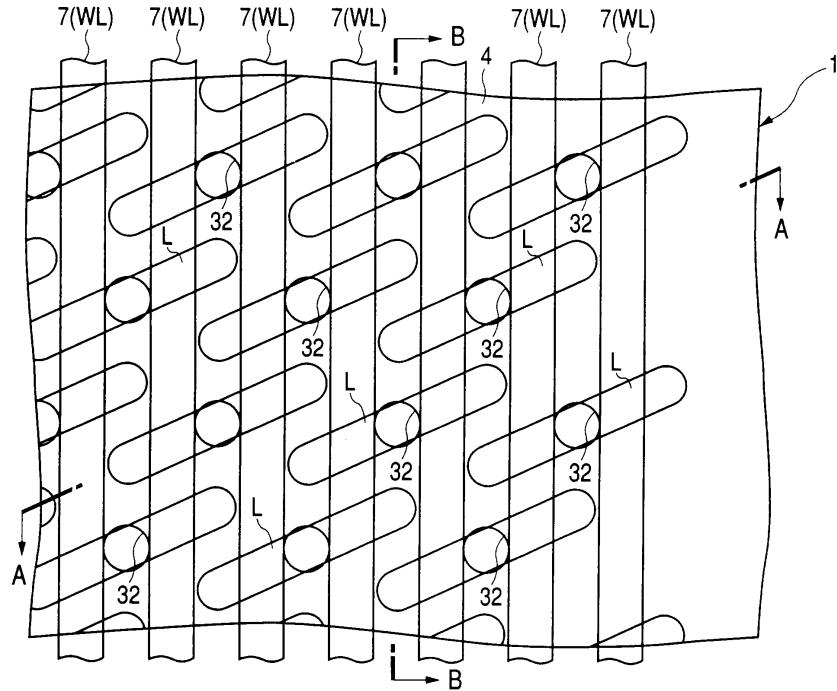
(a)



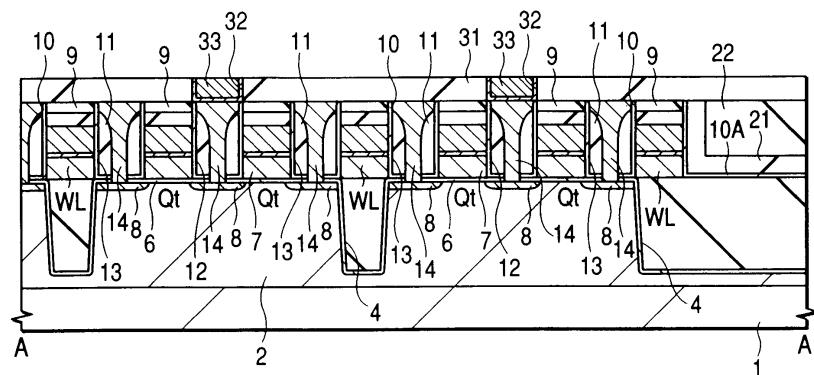
(b)



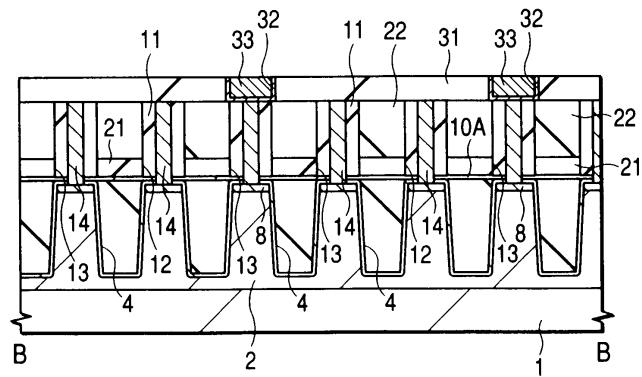
도면34



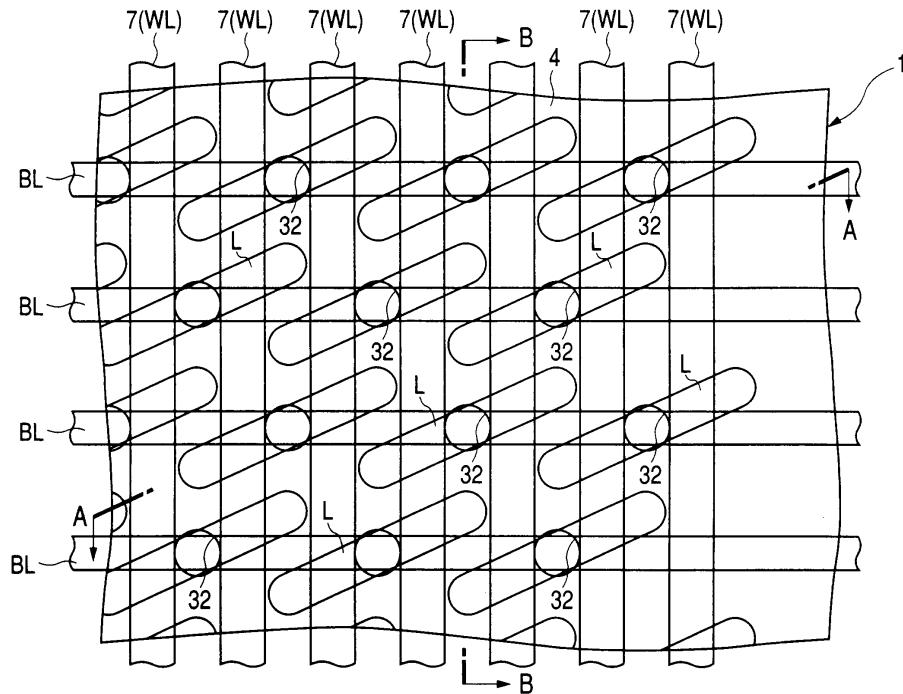
도면35



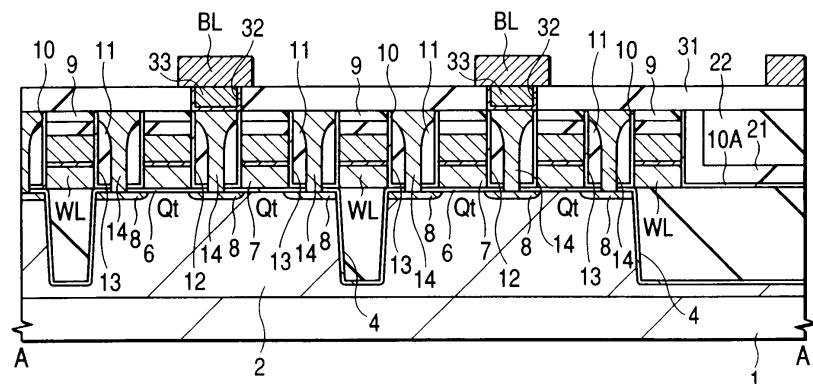
도면36



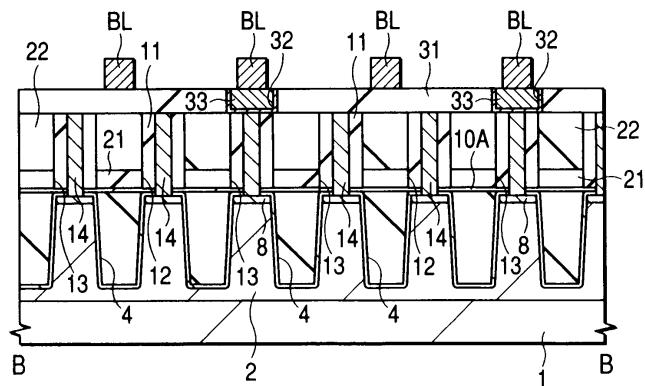
도면37



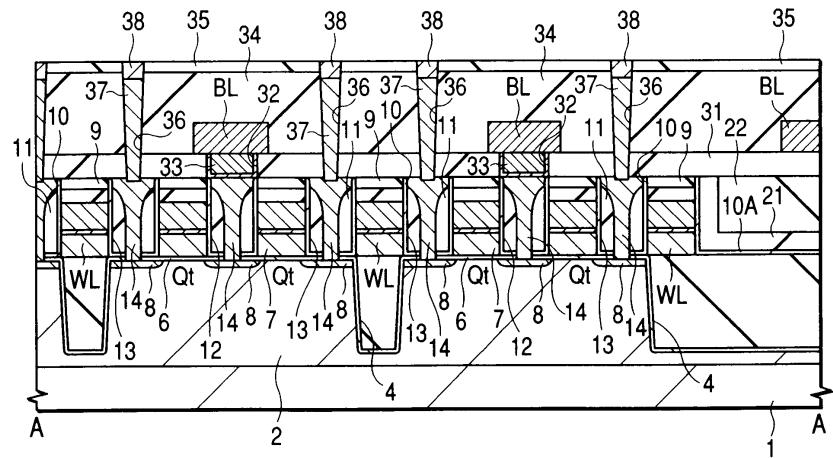
도면38



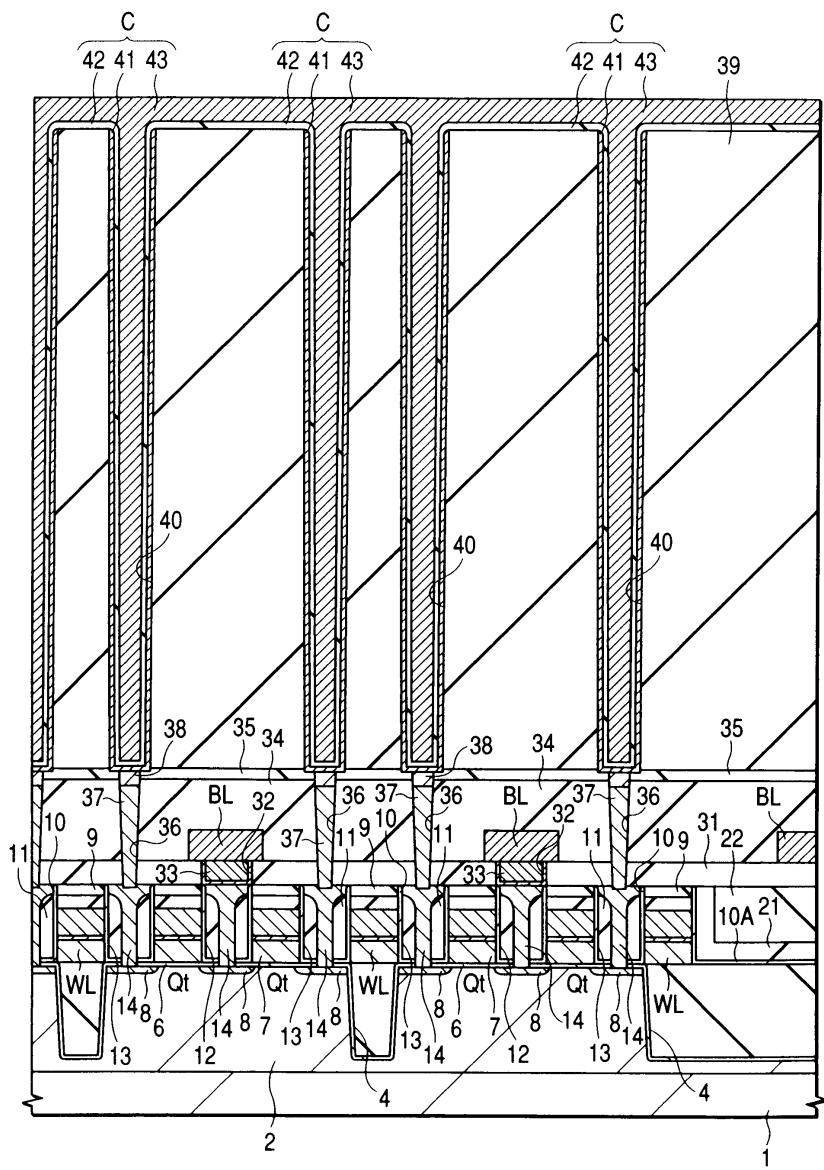
도면39



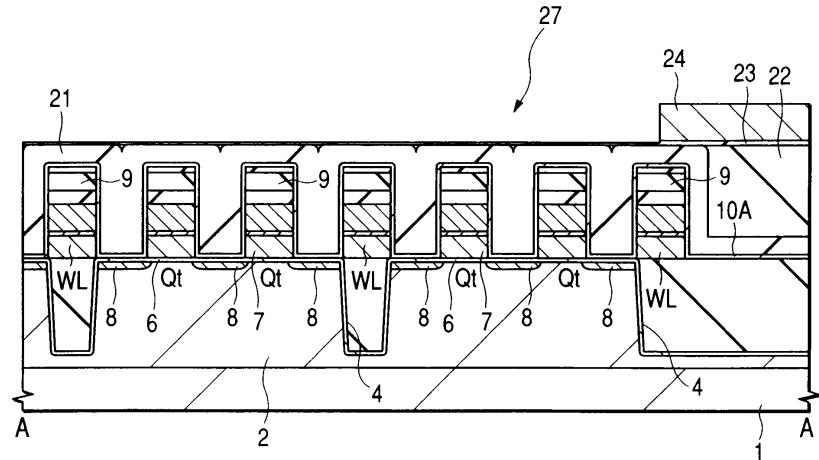
도면40



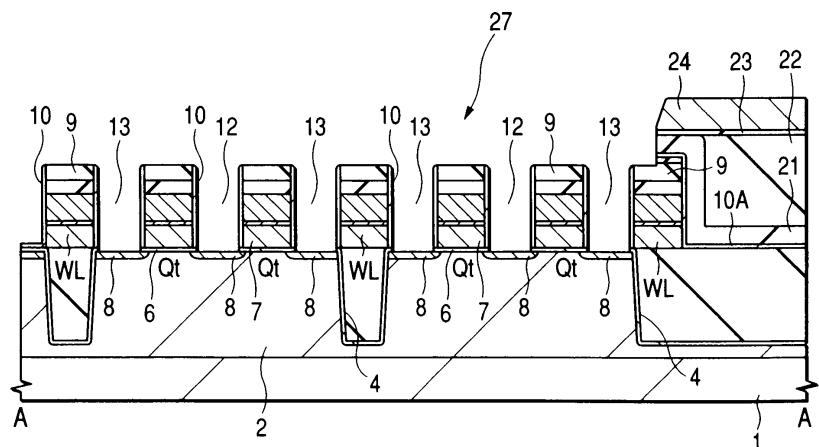
도면41



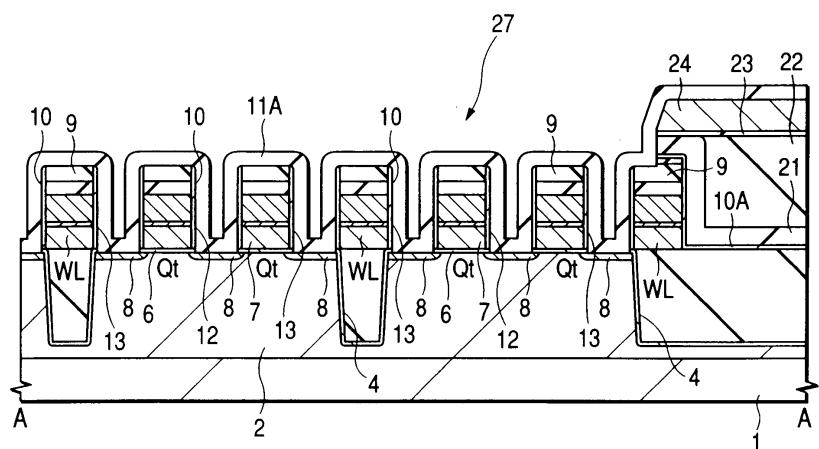
도면42



도면43



도면44



도면45

