



(12) 发明专利

(10) 授权公告号 CN 101479842 B

(45) 授权公告日 2014. 09. 03

(21) 申请号 200780024239. 0

(51) Int. Cl.

(22) 申请日 2007. 04. 05

H01L 21/768 (2006. 01)

(30) 优先权数据

(56) 对比文件

102006030267. 2 2006. 06. 30 DE
11/671, 688 2007. 02. 06 US

CN 1698181 A, 2005. 11. 16, 说明书第 11 页到 14 页, 说明书附图 1a-1e.

(85) PCT国际申请进入国家阶段日
2008. 12. 26

US 5173442 A, 1992. 12. 22,
US 2004224261 A1, 2004. 11. 11,

(86) PCT国际申请的申请数据

审查员 杨万里

PCT/US2007/008371 2007. 04. 05

(87) PCT国际申请的公布数据

W02008/005087 EN 2008. 01. 10

(73) 专利权人 先进微装置公司

地址 美国加利福尼亚州

(72) 发明人 R·塞德尔 C·彼得斯

F·福斯特尔

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟

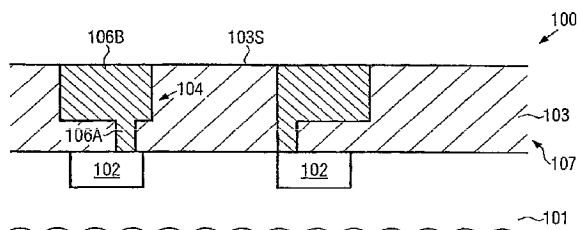
权利要求书1页 说明书15页 附图11页

(54) 发明名称

具有增加的有关对准和特征成形的弹性的纳米压印技术

(57) 摘要

藉由根据可共同地在可被模制的材料 (103) 上形成通孔开孔 (viaopening) 及沟槽压印技术 (150) 而形成金属化结构, 可因省略了传统工艺技术中需要至少一另外的对准工艺, 而使工艺复杂性获得显著的降低。此外, 亦可藉由提供被适当设计的压印模具而增加压印微影术的弹性及效率, 以便提供展现增加的填充能力的通孔开孔及沟槽, 也因而改善了最后得到的金属化结构有关可靠性及对电迁移的抗性等之效能。



1. 一种用于界定微结构特征的方法,包括下列步骤:

将通孔开孔与沟槽共同地压印到在衬底之上形成的可被模制的材料层中,该通孔开孔与该沟槽对应于微结构装置的特征,其中,压印该通孔开孔与该沟槽包括下列步骤:使用代表负形的压印模具,该负形包括与该负形的底部不垂直的侧壁部分,且该不垂直的侧壁部分界定具有该通孔开孔及该沟槽的各别上方部分之较大的宽度或直径的锥形;

根据该通孔开孔与该沟槽,通过以导电材料填满该通孔开孔与该沟槽而形成通孔及导线;

移除该可被模制的材料层以露出该通孔及该导线的表面部分;以及

在该露出的表面部分上形成导电阻挡层以包封该通孔及该导线。

2. 如权利要求 1 所述的方法,其中,压印该通孔开孔与该沟槽,用于形成该微结构装置的金属化层的含金属区。

3. 如权利要求 1 所述的方法,其中,该特征代表半导体装置的隔离沟槽与栅电极中的一者。

4. 如权利要求 1 所述的方法,其中,该特征代表半导体装置金属化层的通孔开孔及沟槽中的至少一者。

具有增加的有关对准和特征成形的弹性的纳米压印技术

技术领域

[0001] 本发明之揭示系有关微结构制造之领域,且尤系有关一种根据纳米压印技术(nano imprint technique)而界定微结构特征之方法。

背景技术

[0002] 诸如集成电路等的微结构之制造需要在诸如硅衬底等适当的衬底的材料层中形成具有精确控制尺寸之微小区域。藉由图案化材料层,例如藉由执行微影及蚀刻工艺,而产生这些具有精确控制尺寸之微小区域。为达到此一目的,在传统的半导体技术中,系在所考虑的材料层之上形成掩膜层(mask layer),以便先在该掩膜层中界定这些微小区域。一般而言,掩膜层可包含以诸如光微影工艺的微影工艺图案化之光阻层,或利用该光阻层形成该掩膜层。在一般的微影工艺期间,可以旋转涂布法将光阻涂布在晶圆表面上,然后以紫外线辐射将光阻选择性地曝光。在将光阻显影之后,将根据光阻的类型是正光阻或负光阻而去除曝光部分或未曝光部分,以便在该光阻层中形成所需的图案。因为复杂的集成电路中之图案的尺寸不断地减小,所以用来产生装置特征的图案之设备必须满足与所涉及的工艺的分辨率及叠对准确度(overlay accuracy)有关之严格要求。在这一点上,分辨率被视为在预定的制造变化之条件下用来规定印制最小尺寸的影像的一致性能力之衡量值。微影工艺代表了改善分辨率的一重要因素,其中系经由光学成像系统将光掩膜或光罩(reticle)中所含的图案以光学方式转移到衬底。因此,投入了相当多的努力,以便不断地改善微影系统的诸如数值孔径(numerical aperture)、聚焦深度(depth offocus)、以及所使用光源的波长的光学特性。

[0003] 在产生极小的特征尺寸(feature size)时,微影成像的品质是极端重要的。然而,至少同样重要的是可在衬底表面上将影像定位之准确度。藉由相继地图案化材料层而制造诸如集成电路的许多类型的微结构,其中,各后续的材料层上的特征具有界限清楚的相互空间关系。必须将后续材料层中形成的每一图案在指定的重合公差之内对准先前图案化的材料层中形成之对应的图案。系诸如因光阻厚度、烘烤温度、曝光及显影的参数之不一致,而产生衬底上的光阻影像之变化,因而造成了这些重合公差。此外,蚀刻工艺的不一致也可能导致被蚀刻的特征之变化。此外,以光微影法将影像转移到衬底上时,存在了使现有材料层的图案影像与先前形成的材料层之被蚀刻的图案重叠之不确定性。诸如一组掩膜内之瑕疵、不同曝光时间的温度差异、以及对准工具的有限重合能力等的数种因素影响到成像系统完美地使两层重叠之能力。因此,决定最后可得到的最小特征尺寸之首要准则是用来产生个别衬底层中的特征的分辨率、以及尤其是在微影工艺中由上述因素造成的总叠对误差(overlay error)。

[0004] 微结构的持续微缩需要对光微影系统的曝光波长、光束光学、以及对准装置等的参数有对应的调整,以便提供所需的分辨率,然而,此种对应的调整对工具制造商的研发工作造成了沉重的负担,而微结构制造商则要面对愈来愈多的工具投资以及可观的拥有成本。因此,已提供了用来界定各别材料层中之微结构特征且同时避免或减少与传统光微影

技术相关联的某些问题之新技术。一种有前途的方法是纳米压印技术,这是一种将模具(mold)或压模(die)中界定的图案以机械方式转移到适当的掩膜层中之方法,然后可用该掩膜层来图案化所考虑的材料层。例如,在需要具有较小的特征尺寸、低寄生电容值、及对电迁移(electromigration)有高抗性的金属化结构的复杂半导体装置的金属化层之制造期间,通常使用所谓的嵌入(inlaid)或镶嵌(damascene)技术。在用于形成提供集成电路的复杂电路布局的布线层(wiring layer)之此种技术中,图案化适当的介电材料以便容纳沟槽及通孔,且接着以如铜、铜合金、银、或任何其它适当金属的高导电材料填满该等沟槽及通孔。因此,该通孔例如金属线在不同堆栈金属化层的金属区域间提供电性连接,故其必须在着重的金属区间有精确的定位,其中至少在下方金属化层的金属线及通孔之横向尺寸大致等于最小关键尺寸(critical dimension),也因而需要非常精密的微影技术。此外,可能也必须针对光学图案化技术而彻底控制较高装置层中之表面构形,因而可能因使用了低k(low-k)介电材料,进而需要非常精密的平坦化技术,其中这些低k介电材料的机械稳定性可能比诸如二氧化硅及氮化硅等的“传统的”介电材料来的低。因此,藉由避免光学图案化方法,可根据纳米压印技术而形成各别的沟槽或通孔,当要形成金属线的沟槽时,具有包含各别金属线及用来形成沟槽的空间之离隙(relief)之对应的压模接触光阻材料或任何其它掩膜材料。在次一工艺步骤中,可将掩膜层用来将该掩膜层中之图案转移到诸如金属化层的介电材料的材料层中。

[0005] 虽然可藉由使用纳米压印技术而避免与光微影法相关联的许多问题,但是必须将压印工艺界定的沟槽精确地对准先前形成的通孔,因而也对压印工艺技术加上了非常严格的限制。在其它的情形中,当在层间介电材料中直接形成开孔时,纳米压印技术在该等开孔的成形上的弹性则会降低,此后,可能无法以传统光微影技术中被用来作为一种有效率的控制机制之方式再调整曝光及(或)蚀刻参数,以便得到诸如锥体一般的成形。

[0006] 本发明之揭示系有关可解决或至少减轻前文所述问题的全部或部分之各种方法。

发明内容

[0007] 下文中提出了本发明的简化概要,以提供对本发明的某些方面的基本了解。此概要并不是本发明的彻底的概述。其目的并不是识别本发明的关键性或重要的元件,也不是描述本发明的范围。其唯一目的只是以简化的形式提供某些观念,作为将于后文中讨论的更详细的说明之前言。

[0008] 一般而言,本发明所揭示的主题系有关一种形成诸如半导体装置的特征之技术,使用了采用机械相互作用以便在指定的材料层内形成或提供诸如导线及通孔等的各别特征之技术。为达到此目的,在某些方面提供了增进程度的弹性,其方式为大幅减少用来形成诸如半导体装置的金属化层所需的工艺步骤,其中,可在共同的压印工艺中界定通孔开孔及沟槽。在其它方面,可根据被对应设计的模具或压模,有效地调整沟槽及通孔等的侧壁组构,以便得到非垂直的侧壁部分,这是因为此种方式对诸如金属化层中的特征的沟槽及开孔等的多个特定装置特征可能是有利的。因此,当考虑到复杂的半导体装置之金属化结构时,可藉由降低压印技术的工艺复杂性且(或)提供各别特征成形的增进弹性,而可在降低的工艺复杂性下增进各别微结构装置的整体效能,这是因为可诸如减少关键性的对准作业,且(或)可诸如藉由得到较佳的填充性能而增进某些电路特征的工艺效能。

[0009] 根据本发明所揭示之一例示实施例,一种方法包含下列步骤:将通孔开孔及沟槽共同地压印到在衬底之上形成的可被模制的材料层中,其中,该通孔开孔及该沟槽对应于微结构装置的金属化结构的特征。此外,该方法包含下列步骤:根据该通孔开孔及该沟槽而形成通孔及导线。

[0010] 根据本发明所揭示之另一例示实施例,一种方法包含下列步骤:将开孔压印到在衬底之上形成的可被模制的材料层中,其中,该开孔对应于微结构装置的特征,且具有在与该开孔的底部不垂直方位上的侧壁部分。此外,该方法包含下列步骤:根据该开孔而形成该特征,其中,该特征具有与该特征的底部不垂直的侧壁部分。

[0011] 根据本发明所揭示之又一例示实施例,一种方法包含下列步骤:形成半导体装置之金属化层;以及将该金属化层以机械方式转移到形成有多个电路元件于其上之衬底。

附图说明

[0012] 若参照前文中之说明并配合各附图,将可了解本发明之揭示,在该等附图中,类似的元件符号识别类似的元件,且其中:

[0013] 图 1a 至图 1e 是根据本发明揭示的例示实施例而在共同压印工艺中形成通孔/线金属化结构期间的微结构之剖面示意图,该共同压印工艺系用来在层间介电材料中直接形成各别的开孔;

[0014] 图 2a 至图 2d 是根据其它例示实施例而在基于共同压印工艺以及后续蚀刻工艺以制造通孔/线金属化结构期间的微结构装置之剖面示意图;

[0015] 图 3a 至图 3e 是根据进一步的例示实施例而在用来基于共同压印工艺以及后续的移除介电材料以形成通孔/线结构的各制造阶段期间之剖面示意图;

[0016] 图 4a 至图 4c 是根据其它例示实施例而形成压印模具或压模(亦即,通孔/线结构的负形)之流程示意图;

[0017] 图 5 是根据本发明所揭示的其它例示实施例而将一或多个金属化结构以机械方式转移到包含多个电路元件之衬底的示意图;

[0018] 图 6a 至图 6c 是根据本发明所揭示的例示实施例的具有半导体装置的金属化特征的各别负形的不垂直的侧壁组构的多个压印模具或压模之剖面示意图;

[0019] 图 7a 至图 7b 是根据其它例示实施例而在基于锥形压印压模或模具以形成隔离沟槽期间的半导体装置之剖面示意图;以及

[0020] 图 8a 至图 8d 是根据本发明所揭示的其它例示实施例而在形成具有以压印技术得到的修改后的侧壁组构的诸如栅电极的导线的各制造阶段期间的半导体装置之剖面示意图。

[0021] 虽然本发明所揭示之主题易于作出各种修改及替代形式,但是该等图式中系以举例方式示出本发明的一些特定实施例,且已在本说明书中说明了这些特定实施例。然而,我们应当了解,本说明书对这些特定实施例的说明之用意并非将本发明限制在所揭示之特定形式,相反地,本发明将涵盖最后的申请专利范围所界定的本发明的精神及范围内之所有修改、等效物、及替代。

具体实施方式

[0022] 下文中将说明本发明的各实施例。为了顾及说明的清晰,在本说明书中将不说明一实际实施例的所有特征。当然,我们当了解,在任何此种实际实施例的开发过程中,必须作出许多与实施例相关的决定,以便达到开发者的特定目标,这些特定的目标包括诸如符合与系统相关的及与商业相关的限制条件,而该等限制将随着各实施例而有所不同。此外,我们当了解,虽然此种开发的工作可能是复杂且耗时的,但是此种开发工作仍然是对此项技术具有一般知识者在参阅本发明的揭示之后所从事的日常工作。

[0023] 现在将参照各附图而说明本发明之主题。只为了解说之用,而在该等图式中以示意图之方式示出各种结构、系统、及装置,免得以熟习此项技术者所习知的细节模糊了本发明的揭示。然而,该等附图被加入,以便描述并解说本发明的揭示之各例子。应将本说明书所用的字及词汇了解及诠释为具有与熟习相关技术者对这些字及词汇所了解的一致之意义。不会因持续地在本说明书中使用一术语或词汇,即意味着该术语或词汇有特殊的定义(亦即与熟习此项技术者所了解的一般及惯常的意义不同之定义)。如果想要使一术语或词汇有一特殊的意义(亦即与熟习此项技术者所了解的意义不同之意义),则会在本说明书中直接且明确地提供该术语或词汇的特殊定义之下定义之方式明确地述及该特殊的定义。

[0024] 一般而言,本发明所揭示的主题系有关一种用来形成诸如半导体装置等的微结构的特征之技术,其中系至少以压印技术取代某些光微影步骤,而在该压印技术中,系以可被模制的材料(moldable material)与对应的压印模具或纳米压模或冲压器(stamp)间之直接机械接触形成特征、或形成特征之至少一掩膜层,其中在某些方面,可在共同的压印工艺中形成两种不同类型的特征,以便减少所需对准工艺的数目,且亦减少诸如沉积步骤及平坦化步骤等的个别工艺步骤的数目。在另一方面,可适当地设计各别的压印模具,而完成各别特征的成形,以便增进各别特征的效能,且(或)增进各别图案化工艺之效能。例如,在某些实施例中,可根据对应设计的压印压模或模具而形成锥形通孔或沟槽,以便有效地增进对应的沉积工艺之填充性能,而可靠地填入诸如金属或金属合金等的导电材料。因此,可提高整体工艺效率。且因而可降低制造成本,这是因为在许多制造阶段中,可避免成本高昂且复杂的光微影步骤,或者可将各别的光微影工艺用来形成适当的压印模具,因而显著“倍增”了各别光微影工艺的效率,这是因为单一的光微影工艺可形成对应的压印模具或压模,且又可将该压印模具或压模用来处理多个衬底。

[0025] 图 1a 以示意图标出微结构装置(100),该微结构装置(100)在某些实施例中可代表半导体装置,该半导体装置可容纳金属化结构,用以在电性连接该半导体装置中形成的诸如晶体管、电容器、及电阻器等的各别电路元件。在其它的例子中,微结构装置(100)可代表在其中形成有光电元件及(或)机械元件等的元件之装置。微结构装置(100)可包含衬底(101),该衬底(101)可代表诸如基于硅的半导体衬底的任何适当之衬底,而当考虑到在各别的绝缘层上形成适当的半导体层之绝缘层上覆硅(Silicon On Insulator;简称 SOI)架构时,该基于硅的半导体衬底可包含埋入绝缘层(图中未示出)。在其它的例子中,微结构装置(100)可代表在其上形成有适当的材料层之任何适当的载体材料,而该材料层可容许制造各别的组成部分,且该等各别组成部分中之至少某些组成部分可能需要对应的金属化结构,以使提供该等各别电路元件间之电性互连。又在另外其它的例子中,衬底(101)可代表任何适当的载体材料,且在该载体材料之上形成了金属化结构,而可于后续

的阶段中将该金属化结构转移到各别的半导体装置,且将于下文中更详细地说明其中之情形。在某些实施例中,可在衬底(101)中形成包括各别接触区(102)的多个特征,且可以高导电的半导体区及金属区等的形式提供该等接触区(102)。此外,可在衬底(101)之上形成可被模制的材料层(103),其中在图1a所示之实施例中,层(103)可代表用来在其中形成金属化结构的特征之适当的介电材料。

[0026] 例如,在某些例示实施例中,可由具有3.0或更低的相对介电常数的介电质构成该可被模制的材料层(103),其中通常将此种介电质称为低k介电质,甚至称为极低k介电质。我们当了解,在本说明书的前后文中,术语“可被模制的(moldable)”意指可容许与压印模具或压模(亦即,将在材料层(103)中形成的开孔之负形(negative form))间之机械接触以便使该可被模制的材料变形且随后可移除该各别压印压模之材料特性,其中在该压印模具被移除之后,该可被模制的材料层(103)可在后来大体上保持该变形后的形状。例如,可使用种类很多的热塑材料,且可在加热之后使该热塑材料进入低黏度状态,以便可在该低黏度状态下完成材料(103)的各别变形,其中在使该热塑材料冷却之后,纵然移除该变形压印压模,也可保持各别的变形后之形状。在其它例子中,可提供低黏度状态之诸如聚合物材料及光阻材料等的各别材料,且可在使该等各别材料与各别的压印模具接触之后,根据诸如紫外线辐射或热处理等的方式使该等各别材料硬化,以便保持变形后的形状。

[0027] 在图1a所示之实施例中,示出在与各别压印模具或压模(150)接触之前的微结构装置(100),该微结构装置(100)可包含由诸如硅、二氧化硅、金属、金属合金、及某些塑料材料等的任何适当材料制成之衬底(151)。此外,压印模具(150)可包含将在材料层(103)中形成的各别复杂开孔之多个负形(152)。在所示实施例中,负形(152)可包含通孔部分(152A)及沟槽部分(152B),而该等部分可对应于将要在介电层(103)中形成的金属化结构之各别通孔及金属线。例如,在诸如装置(100)的复杂之微结构装置中,视所考虑的金属化结构层以及装置(100)的任何电路元件之最小关键尺寸而定,可能必须形成宽度为约为100纳米(nm)至数微米(μm)的各别金属线与其它导线。

[0028] 如前文所述,通常根据需要其中包括极复杂的对准实体之极复杂的微影工具的光微影及对应之蚀刻工艺,而形成金属化结构的各别特征。在形成通孔及与被连接到该通孔的金属线之各别的制造序列期间,不论所考虑的工艺策略为何,都必须使沟槽及通孔相互对准,因而最后可能造成各别设计规则必须考虑到的各别对准误差。藉由使用其中包括对应的通孔开孔的各别负形(152A)以及代表各别沟槽的负形(152B),而使该等通孔及金属线在高精确度下自动相互对准,因而减少了工艺的复杂性,增加了装置的性能,且能够减少为了考虑到通孔开孔与沟槽间之某些程度的未对准而通常必须提供的工艺裕度(processmargin)。

[0029] 用来形成微结构装置(100)的典型流程包含下文所述之工艺。依据已为大家接受的技术(该等技术可包含将于下文中说明的光微影工艺或其它压印工艺、离子植入工艺、蚀刻技术、及平坦化工艺等的技术)而形成了或可提供的诸如导电区(102)或任何其它电路元件等的任何微结构特征之后,可根据任何适当的沉积技术而形成可被模制的材料层(103)。例如,当层(103)是诸如特定聚合物材料或可被模制的光阻材料等的可硬化的材料时,可在低黏度状态以旋转涂布技术下施加该层(103),并可将该层(103)保持在低黏度状态。在其它实施例中,当使用热塑材料时,可以任何适当的沉积技术形成该层(103),并可诸

如将该层 (103) 加热而适当地处理该层 (103), 以便将该层 (103) 转变至高度的可变形状态。然后, 将压印模具 (150) 定位, 并诸如使用各别的机械对准标记 (图中未示出) 或光学对准标记等的标记, 且以已为大家接受的对准工具将该压印模具 (150) 对准微结构 (100)。在将压印模具 (150) 及微结构 (100) 适当地相互定位之后, 以箭头 (153) 所示之方向使压印模具 (150) 及 (或) 微结构装置 (100) 有相对的移动, 同时其横向位置大致维持不变。

[0030] 图 1b 以示意图标出与压印模具 (150) 接触的微结构装置 (100), 其中各别的负形 (152) 已使可被模制的材料层 (103) 变形, 以便在该层 (103) 中界定通孔开孔及沟槽。然后, 可诸如降低该层 (103) 的温度, 并以诸如 UV (紫外线) 辐射等的适当处理, 得使该层 (103) 硬化, 以便使该层 (103) 的材料变成实质上不可变形的状态, 亦即, 在使该材料层 (103) 在移除压印模具 (150) 之后大体上能以所期望的高精确度保持其形状之状态。

[0031] 图 1c 以示意图标出以当如箭头 (154) 所示方向来移除压印模具 (150) 时之微结构装置 (100), 其中移除压印模具 (150) 时将因材料 (103) 的实质上不可变形之状态而留下各别的被压印之结构 (104), 该被压印之结构 (104) 包含在尺寸及形状上分别实质上对应于压印模具 (150) 的各别负形 (152A)、(152B) 的通孔开孔 (104A) 及沟槽 (104B)。我们当了解, 压印模具 (150) 可在该层 (103) 的材料处于实质上不可变形的状态时, 对该材料具有低黏着性, 且可使用纳米压印工艺的已为大家接受之技术, 并根据各别的表面处理或材料成分而实现该低黏着性。此外, 在将通孔开孔 (104A) 及沟槽 (104B) 共同地压印到该层 (103) 期间, 该层 (103) 中之材料的高度可能因各别负形 (152) 的额外体积而改变, 其中可能根据各别负形 (152) 在衬底 (101) 上之图案密度, 而局部地改变该高度的各别增加。例如由于负形 (152B) 的图案组构, 而无法提供衬底 (101) 上的该层 (103) 的各别部分间之流体流动, 因而实质上抑制了材料 (103) 在压印模具 (150) 的最后定位阶段中之流体流动时, 模具 (150) 可具有各别的流体信道 (图中未示出), 而该等流体信道可提供不同的装置部分间之有效率的流体流动, 或者可移除该层 (103) 的过量之材料。因此, 在自处于其实质上不可变形的状态的该层 (103) 去除压印模具 (150) 之后, 可得到实质上平坦的表面组构, 其中视该层 (103) 的过量材料是否在该层 (103) 的材料转变为不可变形的状态之前被移除而定, 该层 (103) 之厚度可能与原先沉积的该层 (103) 之厚度不同。此外, 各别的材料残余物 (104C) 可能因与微结构 (100) 及 (或) 压印模具 (150) 的表面构形而仍然存在有轻度不均匀于各别通孔开孔 (104A) 的底部, 因而造成与诸如导电区 (102) 等的下方结构间之不完美的机械接触。

[0032] 图 1d 以示意图表示进一步的先进制造阶段中之微结构装置 (100), 其中装置 (100) 被施加用来移除材料残余物 (104C) 的蚀刻环境 (105)。在该蚀刻工艺 (105) 期间, 可使用已为大家接受的配方, 以便有效率地移除残余物 (104C), 其中在某些实施例中, 可提供与导电区 (102) 的材料有关的工艺 (105) 的蚀刻化学气体之某一程度的选择性。在此种方式下, 可控制蚀刻工艺 (105) 的工艺时间, 以便可靠地移除整个衬底 (101) 上的残余物 (104C), 且实质上不会对下方区域 (102) 造成过度的损坏。此外, 由于蚀刻工艺 (105) 也许会移除通孔开孔 (104A) 之外的该层 (103) 之材料, 然而, 其中沟槽 (104B) 的各别深度可因沟槽 (104B) 内与该层 (103) 的水平表面部分 (103S) 之材料同时移除而保持实质上相同, 但是该层 (103) 之总厚度将根据工艺 (105) 期间的过蚀刻程度而可能减少。然后, 可以诸如金属或金属合金等的导电材料填充各别的结构 (104), 而准备微结构装置 (100), 以便提

供各别的通孔及金属线,而形成微结构(100)的各别金属化结构。

[0033] 图 1e 以示意图表示进一步的先进制造阶段中之微结构装置(100),其中系在先前形成的开孔(104A)内提供各别通孔(106A),以便连接到下方导电区(102)。此外,在先前被界定的沟槽(104B)内形成导线(106B)。因此,代表任何适当介电材料的材料层(103)可结合导线(106B)及通孔(106A),而界定各别的金属化层(107),其中该等各别的导线(106B)提供了层内电连接,而该等通孔(106A)则提供了与可代表接触栓塞(plug)、电路元件的接触区、以及下方金属化层的金属区等的导电区(102)间之电性接触。我们当了解,视所考虑的微结构(100)之技术节点而定,横向尺寸(亦即,图 1e 中的通孔(106A)及导线(106B)的水平延伸)在极先进的半导体装置中可能是 100 纳米或甚至更小许多,其中该等各别的尺寸可取决于装置层以及微结构装置(100)运作期间发生的各别电流密度。此外,我们当了解,各别通孔(106A)及(或)导线(106B)的特定形状可根据设计要求而改变。例如,可在相同的装置层内改变各别导线(106B)的宽度及(或)深度,因而提供了各别金属化结构有关沉积技术之操作与工艺条件等高度的弹性。相同的原则适用于通孔(106A)。此外,可根据任何适当的导电材料而形成通孔(106A)及导线(106B),其中在复杂的应用中,可使用诸如铜、铜合金、银、及银合金等的高导电金属,以便提供高性能的金属化结构。视将要被填入各别通孔开孔(104A)及沟槽(104B)的导电材料之特性而定,该导电材料亦可包含导电阻挡材料(conductive barrier material),以便实质上阻止金属扩散进入周围的该层(103)的介电材料,且因而阻止金属最后扩散进入敏感的装置区,且亦在实质上抑制介电材料或其内含的诸如氧及氟等的活性成分与诸如铜及铜合金等的各别导电金属间之不希望的相互作用。

[0034] 可根据下文所述之工艺而形成图 1e 所示之微结构(100)。在蚀刻工艺(105)(图 1d)之后,在某些实施例中,可根据诸如溅镀沉积、化学气相沉积(Chemical Vapor Deposition;简称 CVD)、无电镀覆(electroless plating)、以及原子层沉积(Atomic Layer Deposition;简称 ALD)等任何适当的沉积技术而沉积各别的导电阻挡材料(图中未示出)。例如,可以溅镀沉积技术沉积诸如钽、氮化钽、钛、氮化钛、钨、及氮化钨等的适当之材料,其中执行蚀刻工艺(105)或额外的蚀刻步骤之方式可因先前的溅射蚀刻步骤确保下方导电区(102)的可靠之露出。然后,可诸如以溅镀沉积及无电沉积等的沉积技术沉积诸如铜等的适当之晶种材料(seed material),然后沉积如铜、铜合金、银、及银合金等的块状金属(bulk metal)。然后,可根据可包括电化学蚀刻及化学机械研磨(Chemical Mechanical Polishing;简称 CMP)等任何适当的技术而移除诸如阻挡材料、晶种材料、及实际块状金属等的任何过量之材料。在某些实施例中,于过量的材料之各别移除期间。执行 CMP 工艺,因而使微结构装置(100)的表面构形平坦化,此种方式亦可移除在共同压印工艺期间形成通孔开孔(104A)及沟槽(104B)(图 1c)时可能产生的高度上不需要之差异。

[0035] 因此,可易于在具有降低的工艺复杂度之高效果的工艺序列中形成其中包括可具有任何适当尺寸及形状的通孔(106A)及导线(106B)之金属化层(107),这是因为无须根据每一组成部分的个别对准之共同微影工艺即可形成通孔(106A)及导线(106B)。此外,可根据装置要求而设计通孔(106A)及导线(106B)(特别是在中间的部分)的特定尺寸及形状,而不会如同许多传统图案化机制的情形被光微影及蚀刻技术所限制。例如,如将于下文中更详细地说明的,可易于根据工艺及装置要求而调整通孔(106A)的及(或)导线(106B)

的侧壁,而实质上不会受限于诸如微影及蚀刻工艺等的工艺技术中之特定工艺参数。此外,在图 1a 至图 1e 所示之实施例中,可在金属化层 (107) 的介电材料 (亦即,在可被模制的材料层 (103)) 中直接形成通孔 (106A) 及导线 (106B),因而也降低了工艺复杂度。

[0036] 请参阅图 2a 至图 2d,现在将更详细地说明本发明所揭示的主题之进一步的实施例,其中得到了与金属化层的介电材料有关之高程度的弹性,因而可有效地使用不可被模制的材料,且仍然可以共同压印技术形成通孔及沟槽。

[0037] 图 2a 以示意图标出包含衬底 (201) 之微结构装置 (200),其中可在该衬底 (201) 中形成导电区 (202),由将在衬底 (201) 之上形成的一或多个金属化层将提供至该等导电区 (202) 之电性连接。关于组成部分 (201) 及 (202),可适用前文中参照微结构装置 (100) 所述之相同准则。此外,在该制造阶段中,可在衬底 (201) 之上提供介电层 (207),其中可根据介电层 (207) 的材料作为金属化层的层间介电材料之特性,而选择该层 (207) 之材料。例如,在复杂的应用中,介电层 (207) 可包含低 k 介电材料。此外,可在介电层 (207) 之上形成掩膜层 (203),上述之掩膜层 (203) 可由模制的材料所构成,该可被模制的材料即是一种在机械上被压印模具 (250) 接触时可具有高度可变形状态之材料,且可使该可被模制的材料进入高不可变形的状态,以便维持与压印模具 (250) 接触所造成的各别变形程度。例如,掩膜层 (203) 可包含抗模制材料及热塑材料等的材料。压印模具或压模 (250) 可包含各别的衬底 (251),该衬底 (251) 上形成有其中包括各别通孔开孔的负形 (252A) 以及对应于沟槽的对应的负形 (252B) 之各别的负形 (252)。关于压印模具 (250),可适用前文中参照模具 (150) 所述之相同准则。

[0038] 在图 2a 所示之制造期间,同样亦以与前文中参照装置 (100) 及模具 (150) 所述之方式,使压印模具 (250) 对准微结构装置 (200),然后以箭头 (253) 所示之方向,使模具 (250) 接触掩膜层 (203),其中掩膜层 (203) 系处于低黏度状态或高度可变形的状态。

[0039] 图 2b 以示意图标出压印模具 (250) 与掩膜层 (203) 接触时的情形,其中执行热处理及 (或)UV 辐射等的各别处理,以便使掩膜层 (203) 的材料进入高度不可变形的状态。

[0040] 图 2c 以示意图标出以箭头 (254) 所示的方向,将压印模具 (250) 之移除,因而由于掩膜层 (203) 的实质上不可变形之状态而形成各别的通孔开孔 (204A) 及沟槽 (204B)。关于压印模具 (250) 在表面黏着性等因素上之特性,可适用前文中参照压印模具 (150) 所述之相同准则。因此,在移除了压印模具 (250) 之后,然后可将产生图案的掩膜层 (203) 用来作为后续的非等向性蚀刻工艺 (anisotropic etch process) 之影像或掩膜,以便将通孔开孔 (204A) 及沟槽 (204B) 转移到下方的介电层 (207)。

[0041] 图 2d 以示意图标出在非等向性蚀刻工艺 (205) 期间之微结构装置 (200),其中可使用对掩膜层 (203) 的材料及该层 (207) 的下方介电材料有类似的蚀刻率之蚀刻化学剂。因此,可建立高非等向性蚀刻的作用,这是因为不需要该层 (203) 与 (207) 的材料间之显著蚀刻选择性。因此,在蚀刻工艺 (205) 期间,连同介电层 (207) 的露出部分之材料而移除愈来愈多的掩膜层 (203) 之材料。在此种方式下,掩膜层 (203) 的通孔开孔 (204A) 及沟槽 (204B) 愈来愈被“推”入介电层 (207) (原文说明书为 206),以便最后得到介电层 (207) 中之各别通孔开孔 (207A) 及沟槽 (207B),其中因工艺 (205) 的高非等向性作用,而可实现高度的蚀刻精确度。因此,在蚀刻工艺 (205) 的最后阶段中,掩膜层 (203) 的残余物 (现标示为 203R) 可覆盖介电层 (207),而蚀刻工艺 (205) 可继续进行,以便可靠地露出通孔开孔

(207A) 的底部之各别导电区 (202), 其中残余物 (203R) 可被蚀刻工艺 (205) 所消耗掉。在某些例示实施例中, 在蚀刻工艺 (205) 的最后阶段, 可保留残余物 (203R), 然后可执行额外的蚀刻工艺, 例如, 在残余物 (203R) 的材料与介电层 (207) 之间有较高的选择性的干式化学工艺, 或湿式化学工艺, 以便移除残余物 (203R), 因而提供了较高的工艺弹性, 因为在此掩膜层 (203) 的初始厚度是较不重要的。

[0042] 在蚀刻工艺 (205) 或后续的额外蚀刻步骤移除了残余物 (203R) 之后, 可以类似于前文中参照图 1e 而对装置 (100) 所述之方式执行对微结构装置 (200) 的进一步处理。亦即, 可执行任何适当的工艺序列, 以便填入诸如阻挡材料及高导电金属等的适当之导电材料, 以便提供各别的通孔及导线, 而通常连同介电层 (207) 而界定各别的金属化层。因此, 根据高效率的压印工艺而形成各别的金属化结构, 可在共同的工艺步骤中形成各别的通孔开孔及沟槽, 且于选择金属化层的适当介电材料时, 同时提供了高度的弹性。

[0043] 请参阅图 3a 至图 3d, 现在将说明可根据有效率的压印技术而形成金属化结构之进一步的实施例, 其中可将牺牲层用来界定各别的通孔开孔及沟槽且形成该金属化结构。

[0044] 图 3a 是微结构装置 (300) 之剖面示意图, 其中该微结构装置 (300) 包含衬底 (301) 以及在该衬底 (301) 之上形成的可被模制的材料层 (303)。此外, 图中示出在自该层 (303) 移除期间的压印模具 (350), 该压印模具 (350) 包含用于通孔开孔 (352A) 及沟槽 (352B) 的负形, 其中该层 (303) 系处于高度不可变形的状态, 以便在该层 (303) 中界定通孔开孔 (304A) 及沟槽 (304B)。关于压印模具 (350) 的特性, 请参阅前文所述的各别组成部分 (150) 及 (250)。此外, 微结构 (300) 可代表前文中参照装置 (100) 及 (200) 所述的微结构装置, 或可代表用来在其中形成一或多个金属化结构之基础组成部分。因此, 衬底 (301) 可代表用来在其上形成可被模制的材料层 (303) 之任何适当的载体材料, 且在某些例示实施例中可具有在其中形成的各别电路元件及导电区 (图中未示出), 但是在其它实施例中, 可在衬底 (301) 中实质上不提供其它的功能性组成部分。可被模制的材料层 (303) 可以由任何形式之适当的材料所提供, 且该材料的介电特性可能不是必要的, 这是因为可将该层 (303) 用来作为牺牲层, 因而在该牺牲层中形成了各别的通孔及金属线之后, 即可移除该牺牲层。

[0045] 图 3b 以示意图标出在进一步的先进制造阶段中之微结构装置 (300)。系在牺牲层 (303) 中形成各别的通孔 (306A) 及导线 (306B), 其中可将任何适当的导电材料用来形成通孔 (306A) 及导线 (306B)。在一例示实施例中, 可将诸如铜、铜合金、银、及银合金等的适当之高导电金属填入该等各别的通孔开孔 (304A) 及沟槽 (304B) (图 3a), 其中可以不需要用来形成各别阻挡材料的先前步骤, 这是因为可在稍后的阶段中提供对应的阻挡特性。在某些例示实施例中, 衬底 (301) 的一表面部分可包含诸如钯、铂、及铜等的任何适当之催化剂材料, 且于形成通孔开孔 (304A) 及沟槽 (304B) 期间可露出该催化剂材料。因此, 可诸如根据铜及铜合金而使用高效率的无电镀覆技术, 因而显著地放宽与填充性能有关之任何限制, 在传统用以自下到上之方式可靠地填充高深宽比 (aspect ratio) 的开孔之电镀体系中, 通常会碰到这些限制。因此, 配合在共同压印工艺中以高效率之方式界定各别的通孔开孔 (304A) 及沟槽 (304B), 即可获致与填充性能及阻挡沉积有关的工艺复杂度之进一步减少及工艺绩效的提高。

[0046] 图 3c 以示意图表示在用来将牺牲层 (303) 选择性地移除到金属化结构 (306) 的

选择性等向性蚀刻工艺 (isotropic etch process) (308) 期间之微结构装置 (300)。为达到此一目的,可使用高选择性的蚀刻配方,其中选择适当材料时有高度的弹性,这是因为在该共同压印工艺期间只提供该层 (303) 有关所期望的特性,而该层 (303) 的介电特性与此是无关的。

[0047] 图 3d 以示意图表示在进一步的先进制造阶段中之微结构装置 (300)。此处,装置 (300) 接受一处理 (309),以便在金属化结构 (306) 的露出表面部分上形成各别的阻挡层 (310)。如前文所述,对于多个诸如铜及铜合金等的高导电金属而言,需要金属的可靠之包封层 (enclosure),以便抑制与周围的介电材料间之相互作用。此外,由于在高复杂的集成电路中通常可能遭遇的适度的高电流密度,电迁移效应对各别金属化结构的整体可靠性及所造成的使用寿命可能扮演极重要的角色。因为电迁移效应与扩散路径的存在之间有高度的相关性,所以任何接口区对电迁移都可能有相当高的关键性,因而整体电迁移行为可能显著地取决于与阻挡材料间之各别接口的品质。因此,由于在没有周围介电材料的情形下提供了阻挡层 (310),所以可使用诸如无电镀覆等的高效率制造技术,因而提供了金属化结构 (306) 的可靠且均匀的包封层,且又可形成诸如钴/钨/硼、钴/钨/磷等的高效果之阻挡材料,其中已知该等阻挡材料与铜材料结合时将呈现对电迁移效应的高抗性。因此,藉由对应地露出金属化结构 (306) 的表面部分,即可以一种自行对准的方式沉积各别的材料,因而以一种相当均匀之方式形成阻挡层 (310)。因此,可显著提高各别金属化结构 (306) 的整体性能,且又因共同地产生各别通孔开孔 (304A) 及沟槽 (304B) 之图案,而仍然可实现较低的工艺复杂度及较高的准确度。

[0048] 图 3e 以示意图表示在沉积工艺 (311) 期间之微结构装置 (300),该沉积工艺 (311) 系用来形成适当的介电层 (307),以便配合金属化结构 (306) 而界定各别的金属化层。沉积工艺 (311) 可代表诸如旋转涂布及 CVD 技术等任何适当之沉积技术,以使用可具有复杂的集成电路所需的低相对介电常数之适当的介电材料可靠地包封金属化结构 (306)。视沉积工艺 (311) 的特性而定,可以诸如 CMP 技术移除介电层 (307) 的任何过量之材料,以便提供实质上平坦的表面构形,其中可在露出阻挡层 (310) 的上方部分时,立即可靠地停止该工艺,而在其它例示实施例中,可将 CMP 与选择性蚀刻工艺结合,且亦可根据阻挡层 (310) 的露出而控制该选择性蚀刻工艺。

[0049] 请参阅图 4a 至图 4c,现在将说明进一步之实施例,其中可形成适当的压印模具或压模,以便提供与沟槽结合的通孔开孔之负形。

[0050] 图 4a 是在先进制造阶段中之压印模具或压模 (450) 的剖面示意图。压模 (450) 可包含任何适当的衬底 (451),衬底 (451) 可代表其上形成有一表面部分之任何适当的载体材料,其中该表面部分可根据各别的工艺技术而进行适当的图案化。例如,衬底 (451) 可代表其上形成有硅层、二氧化硅层、或在其中形成通孔开孔及沟槽的各别负影像或负形之后续工艺期间提供所需的机械稳定性及各别蚀刻特性的任何其它适当的材料之硅衬底。可在衬底 (451) 的一上部分或衬底 (451) 上提供的任何适当的材料层中形成沟槽的对应之负形 (452B),其中可由诸如二氧化硅及氮化硅等的可对衬底 (451) 的周围材料具有高蚀刻选择性的任何适当之材料构成负形 (452B)。此外,可在衬底 (451) 之上形成蚀刻终止层 (455)、以及可在其中形成各别的通孔开孔负形 (452A) 之接续的额外之材料层 (456)。视工艺及装置要求而定,可由与负形 (452B) 实质上相同的材料构成负形 (452A),或可由不同的材料构

成负形 (452A)。在图 4a 所示之例示实施例中, 该层 (456) 的材料以及负形 (452A) 的材料可对指定的蚀刻配方呈现高度的蚀刻选择性。例如, 可由多晶硅等的材料构成该层 (456), 而可由二氧化硅、氮化硅等的材料构成负形 (452A)。

[0051] 图 4a 所示之用来形成压印模具 (450) 的典型流程可包含下文所述之工艺。首先, 可图案化衬底 (451), 以便容纳各别的沟槽, 且可根据光微影及各别的蚀刻技术而完成该图案化工艺, 以便提供各别的光阻掩膜, 并根据该光阻掩膜而图案化衬底 (451)。在其它例示实施例中, 可根据各别的压印模具而图案化包括可被模制的材料之各别的掩膜层, 然后将所产生的图案化之掩膜层用来作为蚀刻掩膜, 用以将该等各别的沟槽转移到衬底 (451)。例如, 用于硅及其它适当材料的各别之蚀刻技术是在此项技术中已为大家接受的。然后, 可根据诸如高密度电浆 CVD 或低压 (sub-atmospheric) CVD 等的已为大家接受之沉积技术, 而以诸如二氧化硅等的适当之材料填入衬底 (451) 中形成的沟槽。然后, 可以 CMP 工艺将该表面构形平坦化, 且可根据已为大家接受的工艺技术沉积诸如由氮化硅构成之蚀刻终止层 (455)。当以多晶硅材料之形式提供该层 (456) 时, 可以诸如低压 CVD 工艺沉积该层 (456)。然后, 可图案化该层 (456), 以便容纳与负形 (452A) 对应的各别开孔, 且可根据光微影及非等向性蚀刻工艺或根据压印工艺技术而完成上述步骤, 其中可在该层 (456) 之上形成对应之可被模制的材料层, 然后亦可以前文中所述之方式, 以各别的压印技术图案化该层 (456)。然后, 根据对应的光阻掩膜或任何其它的蚀刻掩膜, 可图案化该层 (456), 并可以诸如二氧化硅等的适当之材料重新填充该各别的开孔。因此, 可根据已为大家接受的微影技术, 或可根据将在后续工艺步骤中制造负形 (452B) 及 (452A) 之压印技术, 而形成图 4a 所示之压模 (450)。

[0052] 图 4b 以示意图标出在进一步的先进制造阶段中之压印压模 (450)。在一例示实施例中, 可执行选择性蚀刻工艺 (457), 以便选择性地移除该层 (456) 之材料, 且同时实质上维持负形 (452A) 之材料。例如, 高选择性蚀刻的湿式化学蚀刻工艺是用来相对于二氧化硅而选择性地移除多晶硅的技术中已为大家所接受的工艺。在其它实施例中, 可使用高选择性干式蚀刻工艺。在其它实施例中, 蚀刻工艺 (457) 可代表根据实质上覆盖可自该层 (456) 直接形成的负形 (452A) 之蚀刻掩膜 (图中未示出) 的高非等向性蚀刻工艺。为达到此一目的, 可以前文中参照图 4a 所述之类似方式形成压印模具 (450), 以便容纳负形 (452B), 然后可以前文所述之方式沉积蚀刻终止层 (455) 及该层 (456)。然后, 可使用形式为诸如以光微影技术或形成的光阻掩膜或诸如以压印技术形成的任何其它掩膜等的各别蚀刻掩膜, 以便覆盖该等部分 (452A), 然后可在蚀刻工艺 (457) 期间自该层 (456) 的材料形成该等部分 (452A)。因此, 不论所选择何种方式, 在完成蚀刻工艺 (457) 之后, 皆可提供负形 (452A)。

[0053] 图 4c 以示意图表示在进一步的选择性蚀刻工艺 (458) 期间之压印模具 (450), 其中该选择性蚀刻工艺 (458) 系用来相对于负形 (452A)、(452B) 之材料而选择性地移除衬底 (451) 之材料。例如, 相对于二氧化硅而移除硅之高选择性蚀刻配方是此项技术中已为大家接受的蚀刻配方。为了可靠地控制蚀刻工艺 (458), 可针对此一目的而提供可由与负形 (452A)、(452B) 实质上相同的材料构成之对应的蚀刻终止层 (图中未示出)。因此, 在完成了蚀刻工艺 (458) 之后, 各别的负形 (452A)、(452B) 被露出, 且可实质上代表将根据共同压印工艺而在其它衬底上被形成的金属化结构的对应的通孔开孔及沟槽。我们当了解, 可针对后续的压印工艺而以诸如表面改质 (surface modification) 工艺等的任何适当的方式

准备压模 (450), 以便适当地减少与任何适当的可被模制的材料有关之表面粗糙度或黏着性。例如, 可根据诸如 CVD 或 ALD 等适当的沉积技术而形成各别的表面薄膜。在其它实施例中, 可执行诸如氮化等的各别表面处理, 以便提供所需的表面特性。我们亦当了解, 视工艺技术而定, 可根据先前的工艺技术而调整各别负形的特定组构 (亦即, 尺寸及形状)。例如, 如果需要各别负形 (452B) 的不同之高度, 则可覆盖压模 (450) 的对应部分, 且可执行对应的非等向性蚀刻工艺, 以便自未被覆盖的负形 (452B) 选择性地移除材料。在其它例子中, 当以压印技术界定各别的蚀刻掩膜时, 可根据各别的压印模具而得到各别负形 (452A)、(452B) 的不同之尺寸及形状。因此, 如前文中参照微结构装置 (100)、(200)、及 (300) 所述的, 可将压模 (450) 有效率地用于工艺中, 且亦可结合将被说明的其它例示实施例来使用。在另外的实施例中, 可将压印模具 (450) 本身形成为金属化结构, 然后可以前文所述之方式将该金属化结构“压印”在如装置 (100)、(200)、及 (300) 等的各别之微结构装置上。

[0054] 图 5 以示意图标出金属化结构 (550), 而在某些例示实施例中, 可将该金属化结构 (550) 视为将被压印到 (亦即, 被以机械方式连接到) 各别微结构装置 (500) 之“压印模具或压模”, 其中该微结构装置 (500) 可代表其中包含被连接到一些各别接触部分 (511) 的多个电路元件 (510) 之半导体装置。金属化结构 (550) 又可包含一或多个金属化层, 且可根据前文中参照各别金属化层 (107)、(207)、及 (307) 所述之工艺技术, 或可根据前文中参照压模 (450) 所述之流程, 而形成该等一或多个金属化层, 其中可根据适当的金属材料而形成该等各别的负形。在一例示实施例中, 可根据用来以前文所述之方式共同地产生与各别的通孔 (552A) 结合之各别的金属线 (552B) 的图案之各别的压印工艺而形成金属化结构 (550), 其中可重复多个各别的工艺序列, 以便在需要时提供多个金属化层。然后可根据前文所述之对准程序而将金属化结构 (550) 对准装置 (500)。此外, 在某些例示实施例中, 可提供诸如形式为适当的电解质溶液之薄层之“可被模制的”层 (503), 其中在金属化结构 (550) 与该层 (503) 接触时, 可利用该电解质溶液而开始选择性材料沉积, 以便提供与该等接触部分 (511) 之电性及机械接触。然后, 可移除该层 (503) 的过量之材料, 且可以在高黏度状态下被施加的适当的介电材料取代该过量之材料。

[0055] 因此, 可根据前文所述之高效率压印技术而形成金属化结构 (550), 其中可将用来形成各别半导体装置的金属化结构之工艺与用来形成电路元件之制造序列解除耦合。在此种方式下, 可显著地缩短其中包括金属化结构 (550) 及半导体装置 (500) 之整个装置的总制造时间, 而可改善工艺的弹性与产能, 这是因为金属化结构或装置层级中之任何故障可能不会造成完整微结构装置的损失。

[0056] 请参阅图 6a 至图 6c, 现在将说明进一步之实施例, 其中提供了被适当设计的压印模具或压模, 以便提供各别电路特征 (尤其是其侧壁部分) 之适当的形状。

[0057] 图 6a 以示意图表示压印模具 (650), 该压印模具 (650) 包含衬底 (651) 以及各别电路特征之多个负形 (652), 而该多个负形 (652) 在一例示实施例中可代表通孔开孔的负形 (652A)、以及用于金属化结构的导线的沟槽之负形 (652B)。在其它例示实施例中, 如将于下文中有更详细的说明, 该等各别的负形 (652) 可代表诸如隔离沟槽与栅电极等的其它电路元件。关于衬底 (651) 及负形 (652) 的材料成分, 可适用前文中参照压印模具 (150)、(250)、(350)、(450) 所述之相同准则。在所示之实施例中, 负形 (652A)、(652B) 的各别侧壁 (652S) 之至少上方部分可包含与底部 (652D) 不垂直之方位。其中, 在一例示实施例中,

各别侧壁部分 (652S) 可界定锥形, 该锥形提供了通孔开孔及沟槽的各别上方部分之较大的宽度或直径, 因而可在各别沉积技术期间有效率地改善填充性能。

[0058] 图 6b 以示意图标出其上形成有用于各别通孔开孔的负形 (652A) 之压印模具 (650), 而当可针对通孔开孔及沟槽而分别执行图案产生工艺时, 该压印模具 (650) 将是有利的。应当了解, 视装置及工艺要求而定, 负形 (652A) 的侧壁 (652S) 可能不一定是具有整个深度之连续锥形, 但是可具有不同的侧壁角。例如, 可只在侧壁 (652S) 的上部分提供该侧壁 (652S) 之显著坡度, 但是下部分可具有相对于底部 (652D) 为实质上垂直的方位。然而, 任何其它的侧壁组构可根据装置的要求而被提供。

[0059] 图 6c 以示意图标出其中包含各别沟槽的负形 (652B) 之压印模具 (650), 其中可根据装置要求而提供适当的尺寸 (在本例子中, 为侧壁部分 (652S) 之各别锥形)。

[0060] 因此, 于使用形成开孔之压印模具 (650) 时, 可显著地增进后续沉积阻挡材料及 (或) 块状材料时之填充性能, 因而增加各别金属化结构的可靠性, 这是因为诸如阻挡材料的更可靠之沉积可显著地造就对电迁移更强的抗性, 且亦可提供较佳之电气及机械特性。例如, 可配合前文所述之工艺技术而有利地使用图 6a 所示之压印模具 (650), 其中系在共同压印工艺中形成各别的通孔开孔及沟槽。另一方面, 可将图 6b 及图 6c 中所示之压印模具 (650) 有利地利用于各别的工艺序列, 其中系在各别的工艺步骤中产生各别通孔开孔及沟槽之图案。

[0061] 请参阅图 7a 至图 7b 及图 8a 至图 8d, 现在将说明可将具有非垂直的侧壁部分之各别压印模具用来产生复杂集成电路的金属化结构以外的电路元件的图案的进一步实施例。

[0062] 图 7a 是包含衬底 (701) 的半导体装置 (700) 之剖面示意图, 该衬底 (701) 可代表其上形成有材料层之任何适当的衬底, 而该材料层系用来在其中形成诸如晶体管及电容等的半导体元件。例如, 衬底 (701) 可代表其上形成有含硅半导体层之载体材料, 而该含硅半导体层是用来在其中形成各别的电路元件。在这一点上, 含硅半导体层系被理解为包含大量的硅 (例如, 等于或大于大约 50 原子百分率的硅) 之实质上结晶之半导体层。此外, 可在衬底 (701) 之上形成掩膜层 (703), 且可在该掩膜层 (703) 中形成具有侧壁 (704S) 之各别的开孔 (704B), 侧壁 (704S) 至少部分具有与开孔 (704B) 的底部 (704D) 不垂直之方位。在一例示实施例中, 开孔 (704B) 可代表用来形成衬底 (701) 中之对应的沟槽之沟槽, 而该等沟槽可被用来作为复杂的半导体装置之隔离沟槽, 用以界定衬底 (701) 中之对应的主动区。

[0063] 用来形成图 7a 所示的装置 (700) 之典型流程可包含下文所述之工艺。在提供了衬底 (701) 之后, 可以适当的沉积技术形成该层 (703), 其中该层 (703) 的材料是可被模制的材料, 亦即, 如同前文中诸如参照图 6c 所述的, 当使该层 (703) 接触可具有任何适当形状之对应的压印模具 (图中未示出) 时, 该层 (703) 可处于低黏度状态或可高度可变形的状态。因此, 具有被各别设计的侧壁部分之各别压印模具可导致形成具有所需不垂直形状 (例如, 图 7a 所示之锥形结构) 之对应的开孔 (704B)。然后, 可如前文所述而移除该压印模具, 而此时该层 (703) 之材料系处于高度不可变形的状态。然后, 可使装置 (700) 接受对应的蚀刻工艺 (705), 在该蚀刻工艺 (705) 期间, 可移除该层 (703) 的材料以及衬底 (701) 的露出部分之材料, 因而渐增地将开孔 (704B) 转移到衬底 (701)。

[0064] 图 7b 以示意图标出在蚀刻工艺 (705) 完成之后的半导体装置 (700), 其中在衬底

(701) 中形成了各别的开孔 (706B), 且其中系根据分别成形的开孔 (704B) 而得到所需的锥形 (亦即, 侧壁部分 (706S) 的不垂直之结构)。因此, 藉由提供具有所需尺寸及形状的各别压印模具, 无须特别调整蚀刻技术等之工艺技术, 即可在高弹性下设计的开孔 (706B) 之各别结构。

[0065] 图 8a 以示意图标出包含衬底 (801) 之半导体装置 (800), 该衬底 (801) 具有形成于其上之材料层 (807), 而在一例示实施例中, 该材料层 (807) 可包含诸如二氧化硅等可与后续工艺步骤兼容的任何适当之材料。此外, 可在该层 (807) 之上形成掩膜层 (803), 且该掩膜层 (803) 可在其中形成对应的开孔 (804B), 该开孔 (804B) 具有包括与开孔 (804B) 的底部 (804D) 不垂直的一侧壁部分 (804S) 之指定之形状。在图 8a 所示之实施例中, 开孔 (804B) 可在上部分中具有加大的直径, 且在下部分为呈现实质上固定的宽度。例如, 开孔 (804B) 可代表将要在衬底 (801) 之上形成的栅电极。

[0066] 用来形成图 8a 所表示的形成半导体装置 (800) 之典型制造流程可包含前文所述之类似工艺, 其中, 在可依据图 7a 及图 7b 所示的隔离沟槽而形成的任何隔离结构之后, 可根据已为大家接受的沉积技术而形成材料层 (807)。然后, 可根据适当的技术而形成可被模制的材料层 (803), 然后可根据被适当地设计之压印模具而形成开孔 (804B), 以便得到开孔 (804B) 的形状之所需结构。在本例子中, 可提供具有实质上固定的宽度之实质上固定的下部分, 以便得到界限清楚的栅极长度, 同时该开孔的上部分可提供各别栅电极的增强之导电性。在对应地硬化该层 (803), 且移除各别压印模具, 而形成了开孔 (804B) 之后, 可使装置 (800) 接受各别的非等向性蚀刻工艺 (805), 以便共同地移除该层 (803) 之材料、以及该层 (807) 的露出部分之材料, 因而渐增地将开孔 (804B) 转移到该层 (807) 中。

[0067] 图 8b 以示意图标出在蚀刻工艺 (805) 完成后之装置 (800), 因而形成了对应的开孔 (807B)。

[0068] 图 8c 以示意图标出在进一步的先进制造阶段中之装置 (800)。此处, 在开孔 (807B) 的底部上形成了栅极绝缘层 (812), 其中栅极绝缘层 (812) 可具有将要被形成的各别晶体管元件所需的而与材料成分及厚度有关的任何适当之结构。此外, 可形成诸如多晶硅等的栅电极材料层 (813), 以便可靠地填充开孔 (807B)。为达到此一目的, 可使用诸如低压 CVD 等的适当之技术。然后, 可以 CMP 技术移除该层 (813) 的任何过量之材料。

[0069] 图 8d 以示意图标出在进一步的先进制造阶段中之装置 (800)。此处, 移除该层 (807), 以便维持栅电极 (813A), 该栅电极 (813A) 有具有宽度 (813U) 之上部分, 且有具有宽度 (813L) 之下部分, 因而提供了栅电极 (813A) 的较佳导电性, 而仍维持宽度 (813L) 所实质上界定之所需栅极长度。可根据高选择性蚀刻工艺而形成栅电极 (813A)。其中, 可使用已为大家接受的等向性蚀刻技术。例如, 如果可由氮化硅构成栅极绝缘层 (812), 则可使用已为大家接受的等向性蚀刻配方, 以便将以二氧化硅的形式提供之该层 (813) 的材料选择性地移除到栅电极 (813A) 与栅极绝缘层 (812)。在其它的例子中, 当可根据二氧化硅而形成栅极绝缘层 (812) 时, 可选择该层 (807) 的适当之材料, 例如, 选择氮化硅、或诸如聚合物材料等的任何其它适当之材料, 且被选择的材料只可具有能够可靠地集积栅电极材料 (813) 之能力。

[0070] 因此, 本发明所揭示的主题提供了一种用来产生微结构特征的图案之增进技术, 且在根据压印技术的诸如通孔及金属线的金属化结构之某些实施例中, 可共同地压印通孔

开孔及沟槽,以便至少避免某些复杂的对准程序,而显著地减少工艺复杂度。为达到此一目的,可使用其中包含通孔及导线结构的被适当组构之压印模具。在其它面向中,可根据各别设计的压印模具而调整各别电路特征之形状(尤其是电路特征的侧壁结构),因而提供了形成诸如通孔、金属线、隔离沟槽、与栅电极等电路特征时之高程度的弹性,其中除了整体尺寸之外,可调整侧壁结构,以便包含不垂直部分,用以改善各别电路特征的工艺及(或)最终效能。因此,除了降低的工艺复杂度之外,并可实现增进的装置效能,这是因为有关诸如金属化结构等方面,可在考虑到电迁移时得到增进的可靠性及效能。此外,金属化结构的至少大部分之“以机械方式”图案化可提供形成各别结构时的较大之弹性,其中在某些例示实施例中,可使金属化结构的形成与装置层级中之电路元件的形成完全脱离,因而可显著地缩短整体制造时间,并可提高制造良率。

[0071] 前文所揭示之特定实施例只是举例,这是因为熟悉此项技术者在自本发明的揭示获益之后,将可轻易以不同但等效的方式修改且实施本发明。例如,可按照不同的顺序执行前文所述之工艺步骤。此外,除了最后的申请专利范围所述者之外,本发明将不限于本说明书中示出的结构或设计之细节。因此,显然可改变或修改前文中揭示的某些实施例,且所有这类变动将被视为在本发明之范围及精神内。因此,最后的申请专利范围将述及本发明所寻求的保护。

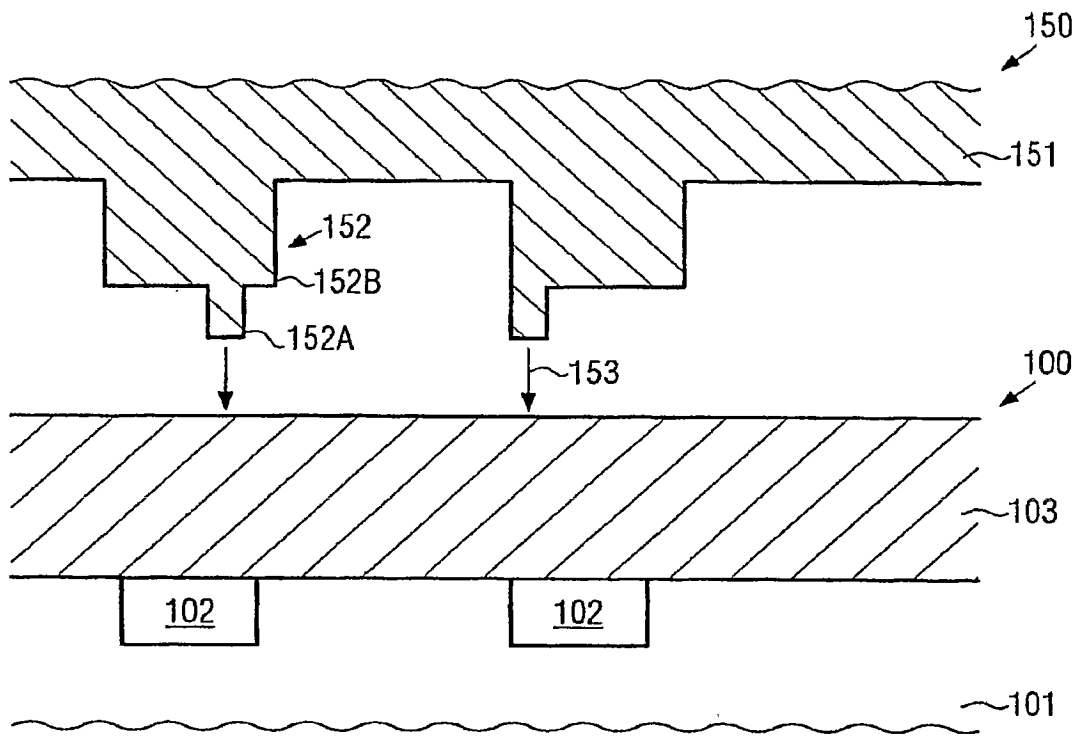


图 1a

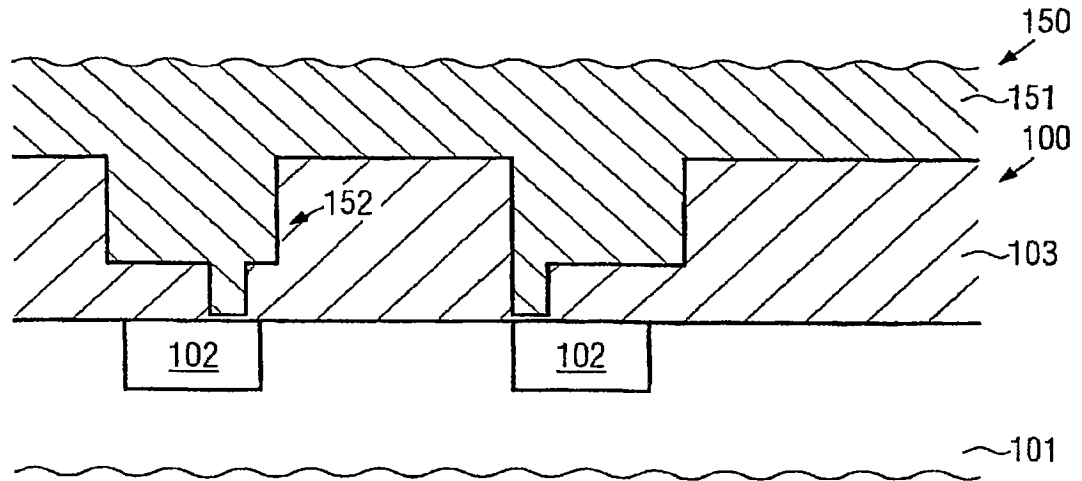


图 1b

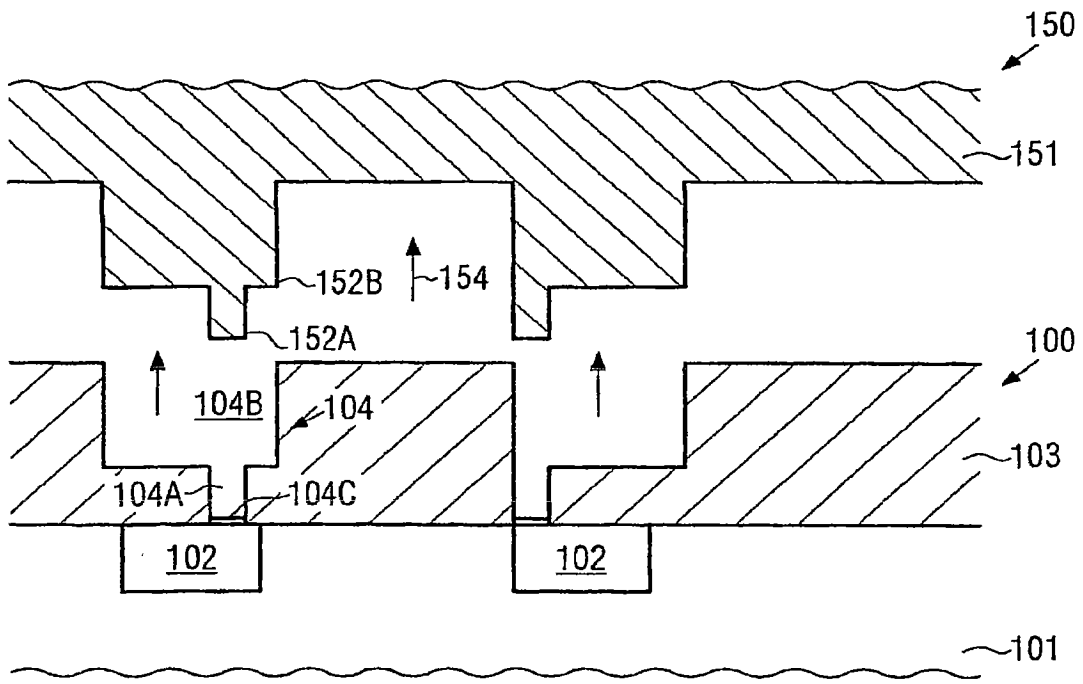


图 1c

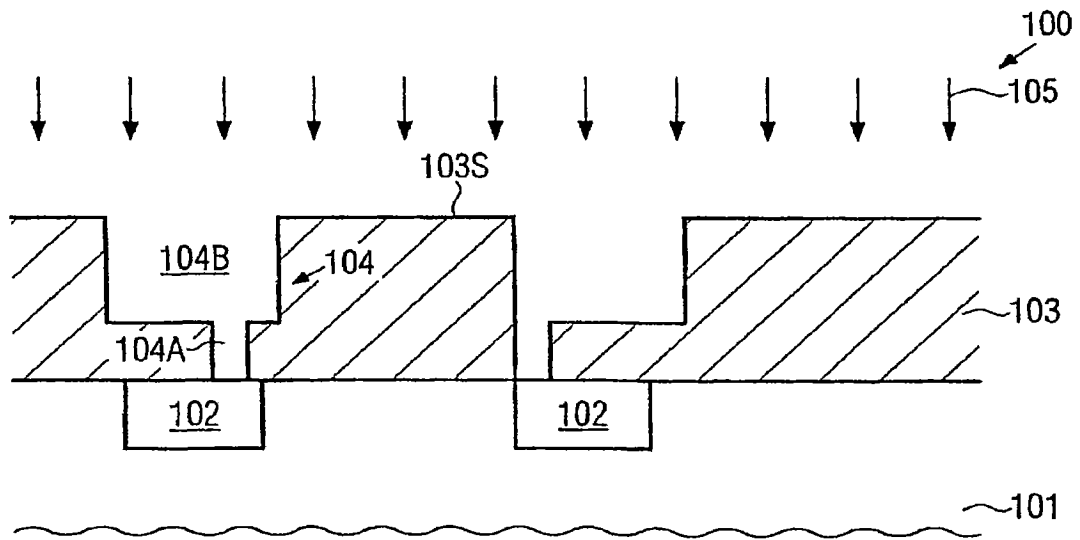


图 1d

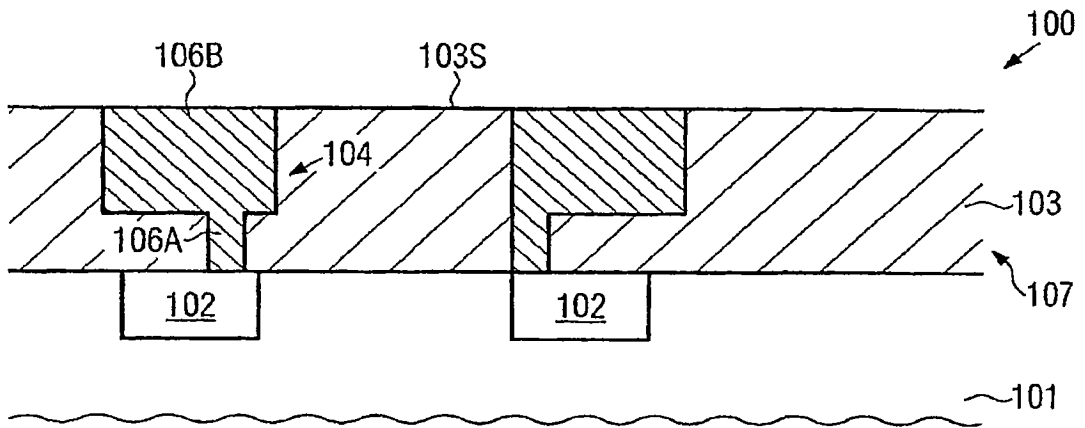


图 1e

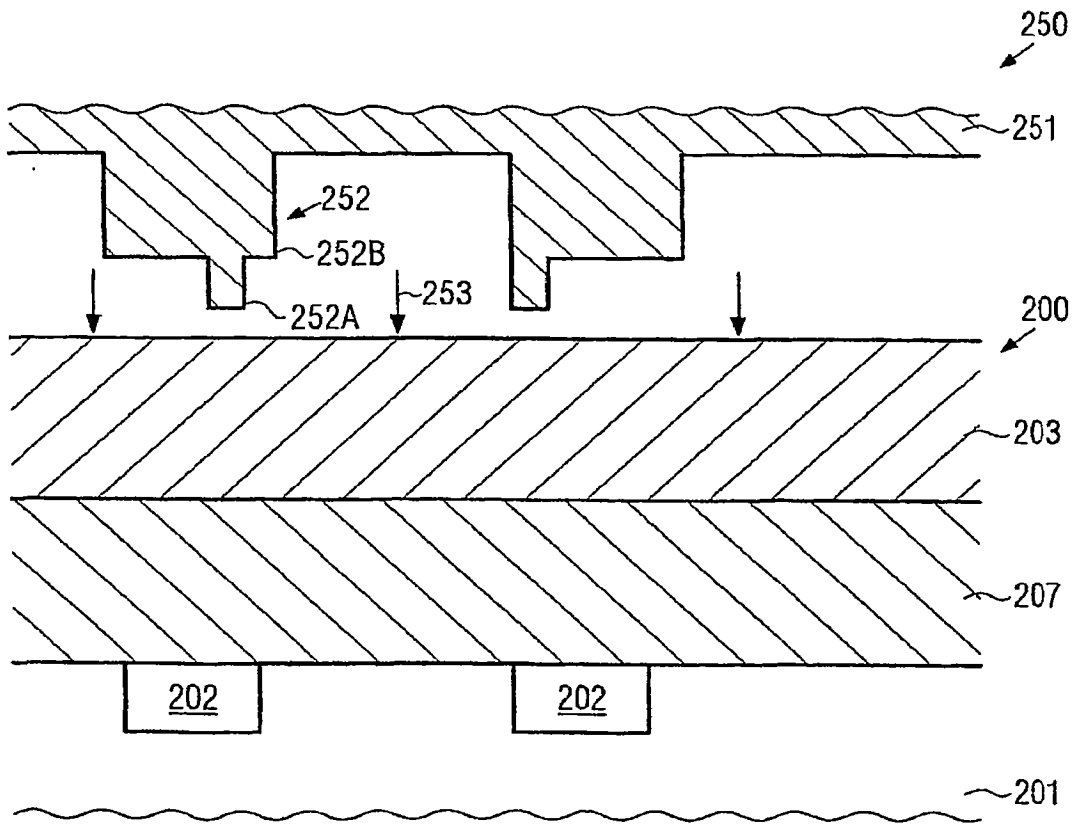


图 2a

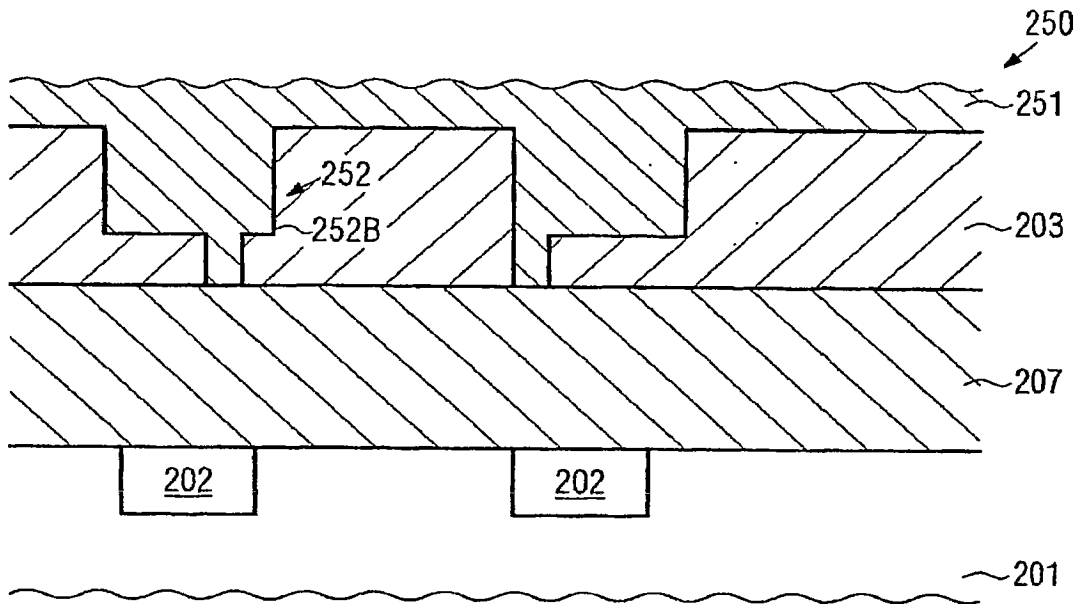


图 2b

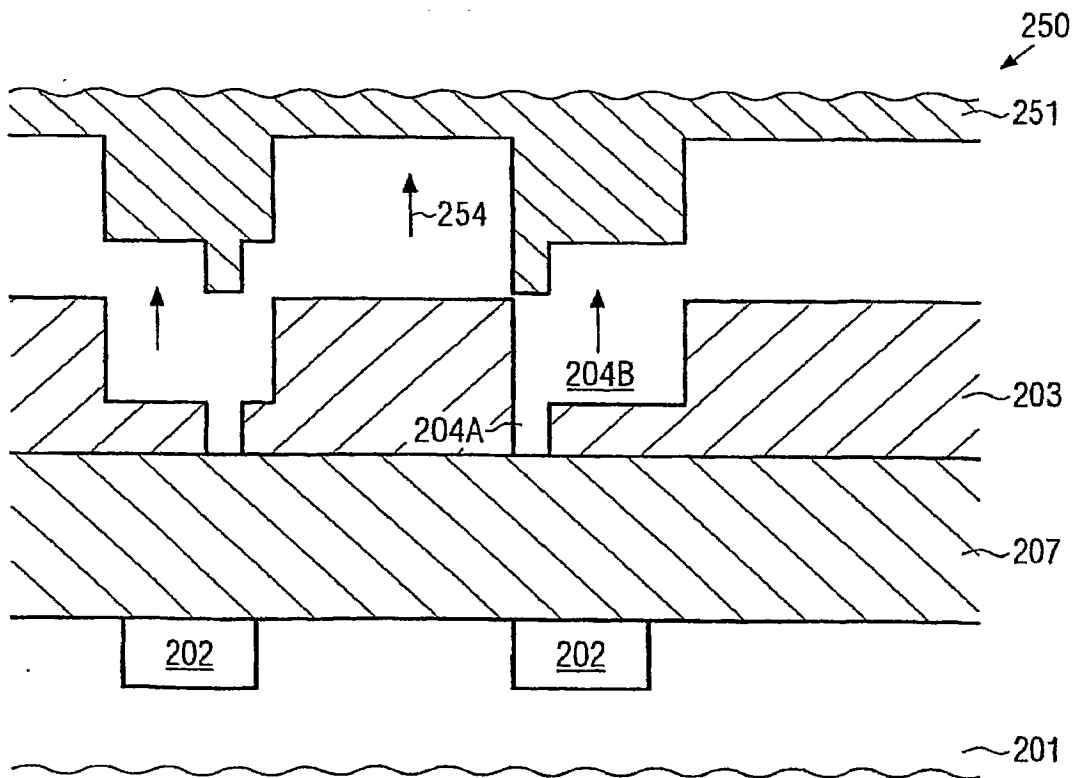


图 2c

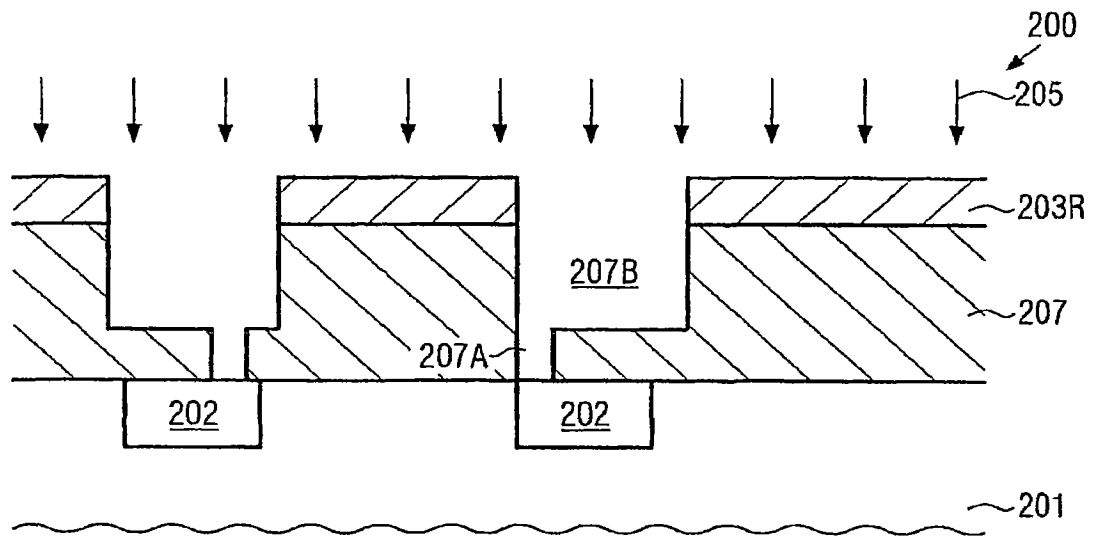


图 2d

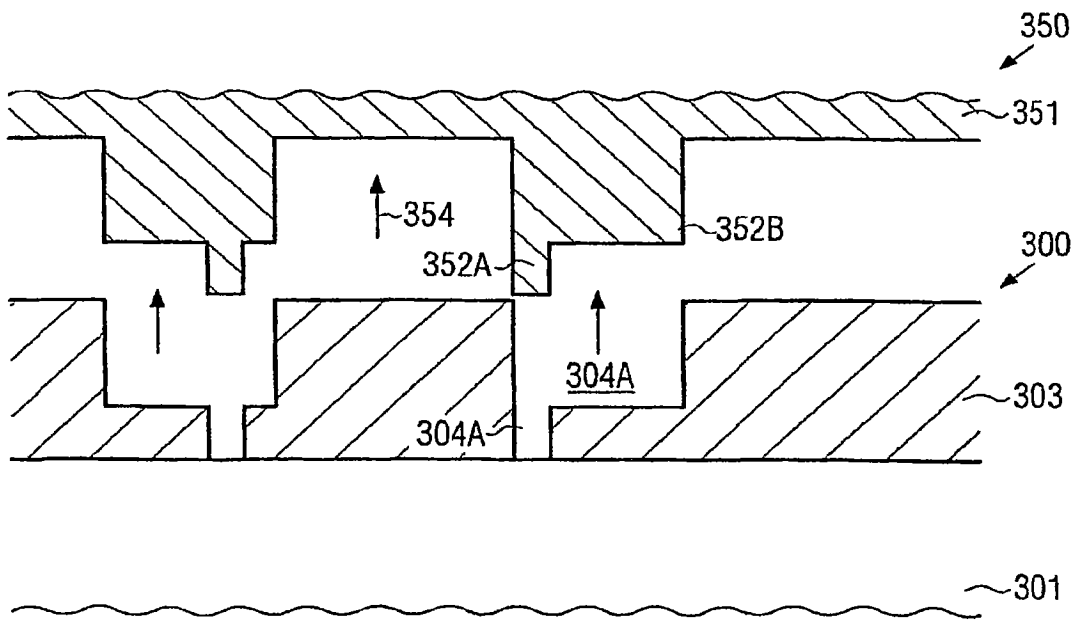


图 3a

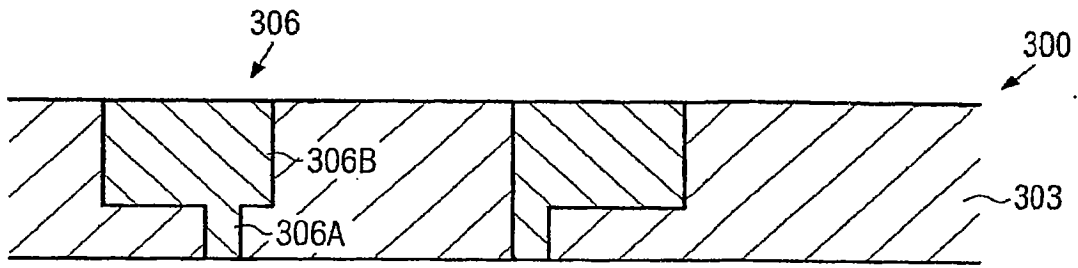


图 3b

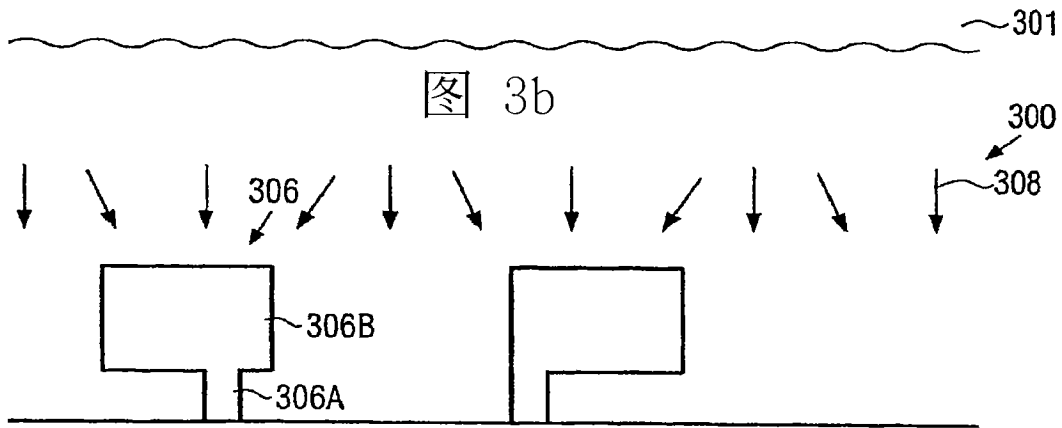


图 3c

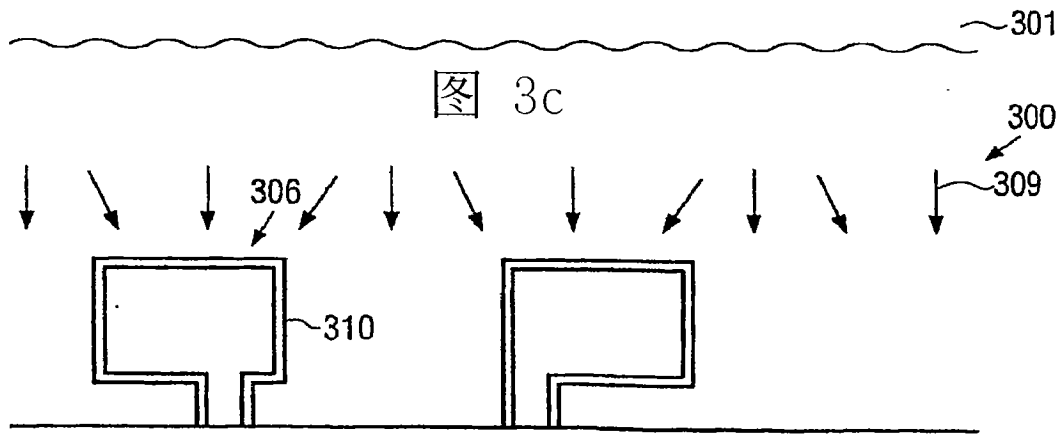


图 3d

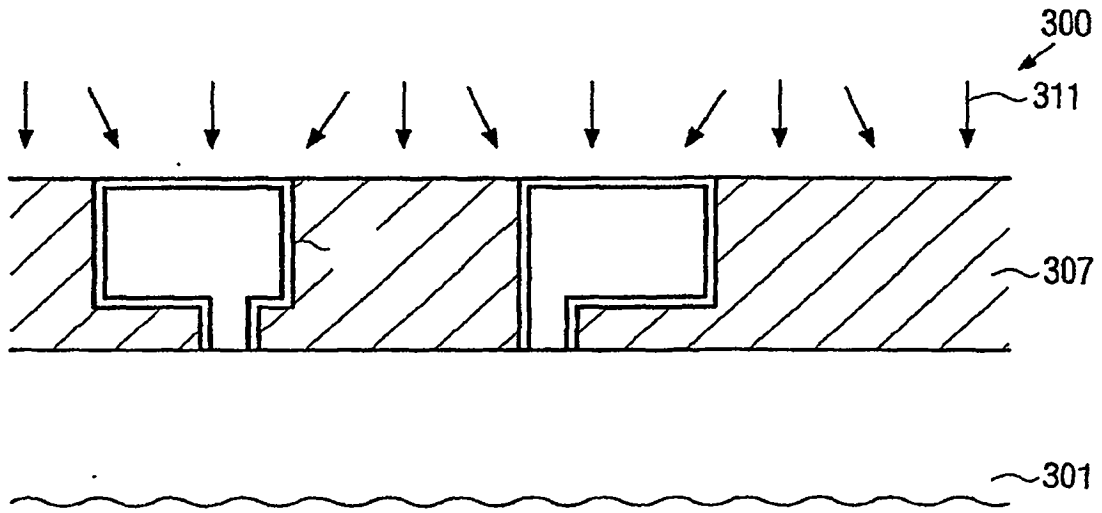


图 3e

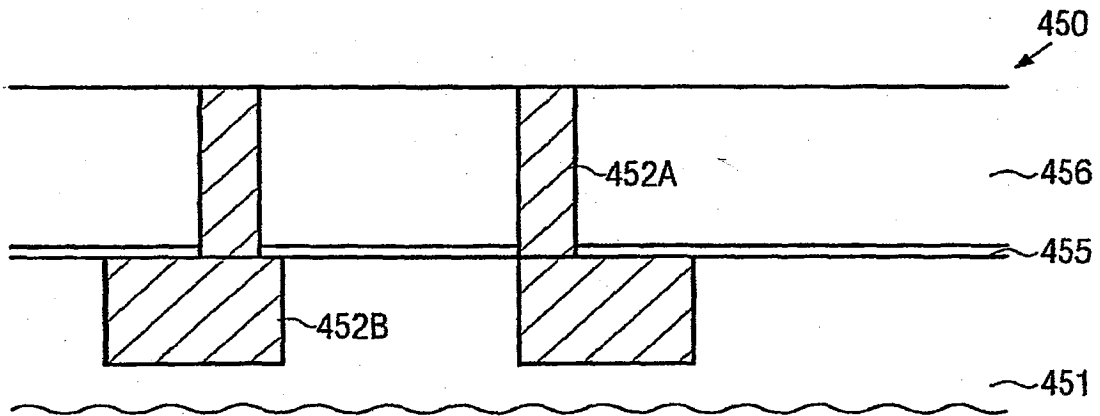


图 4a

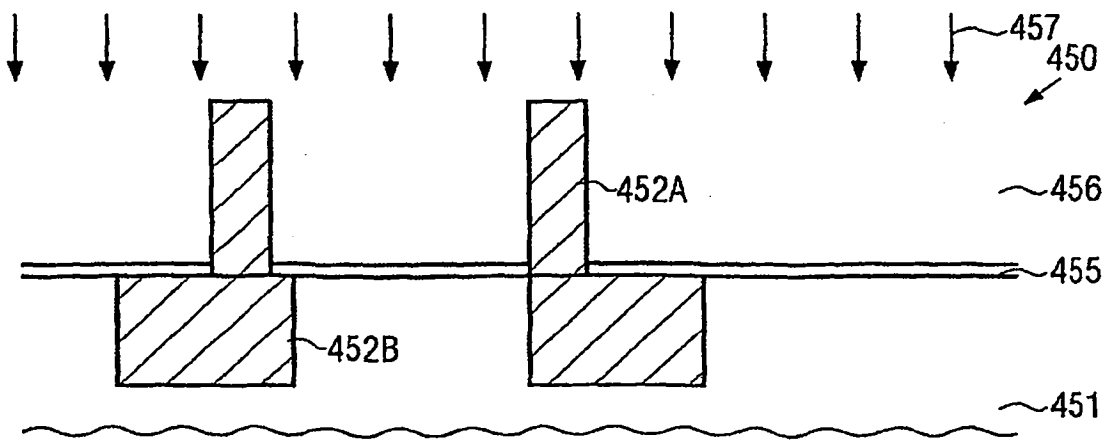


图 4b

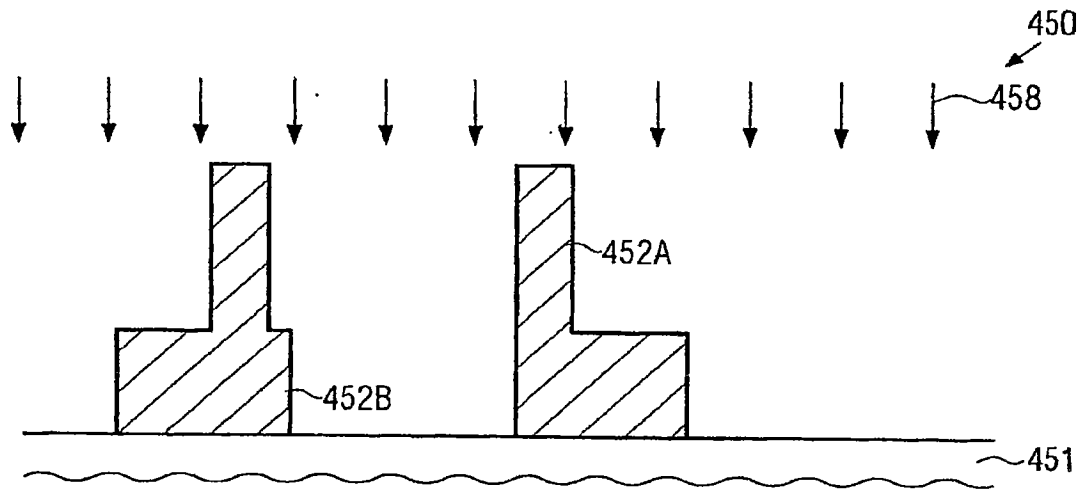


图 4c

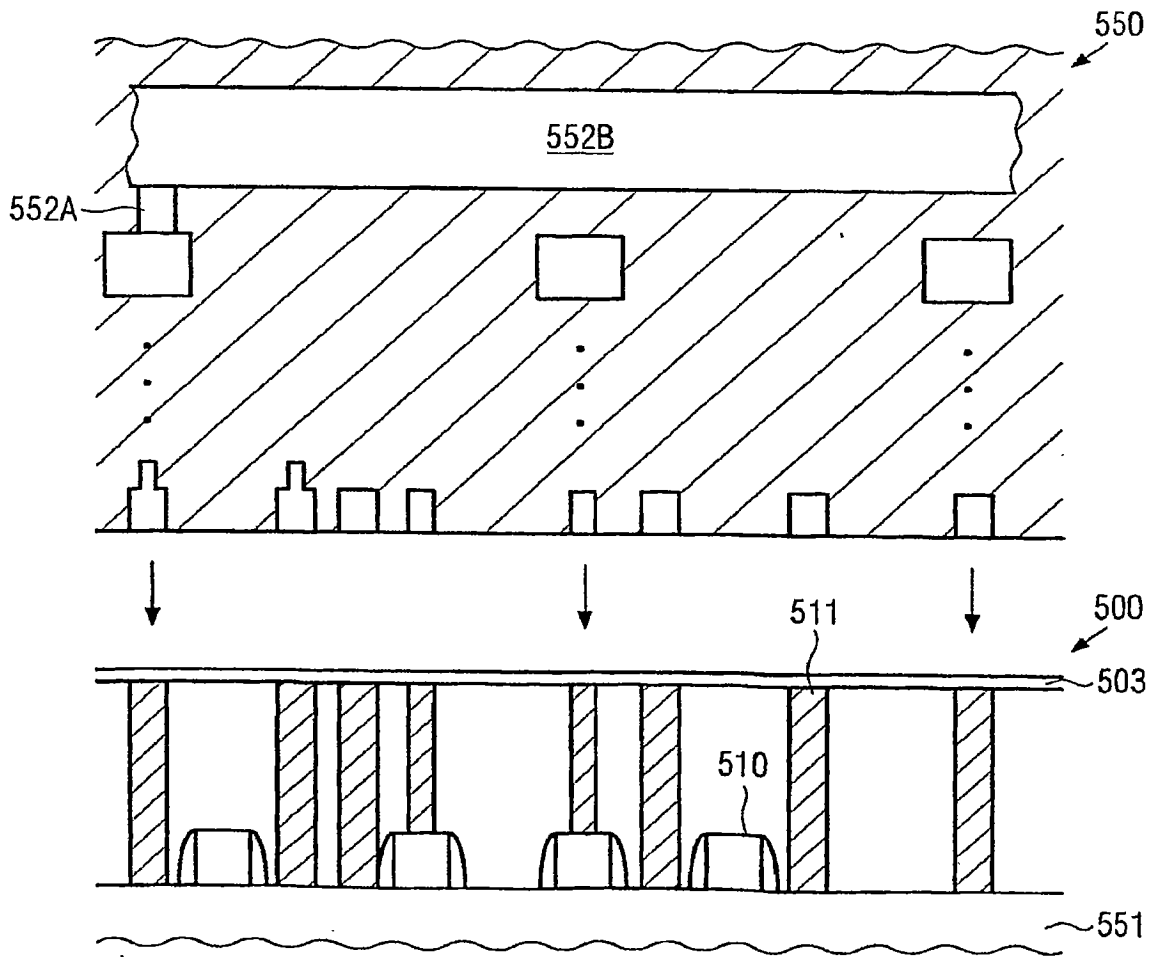


图 5

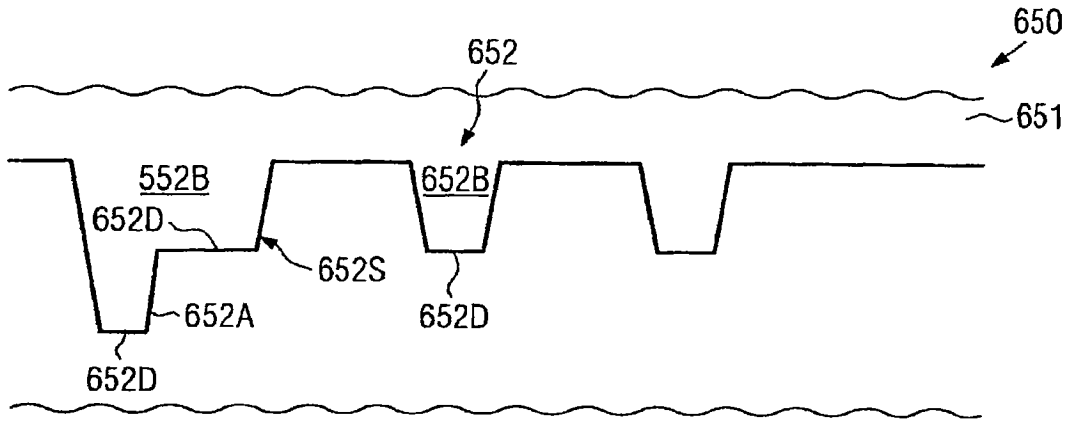


图 6a

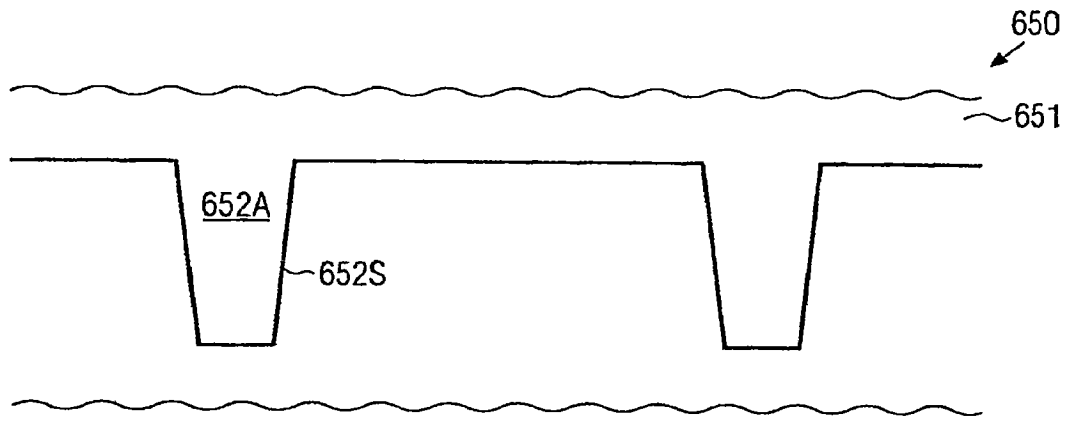


图 6b

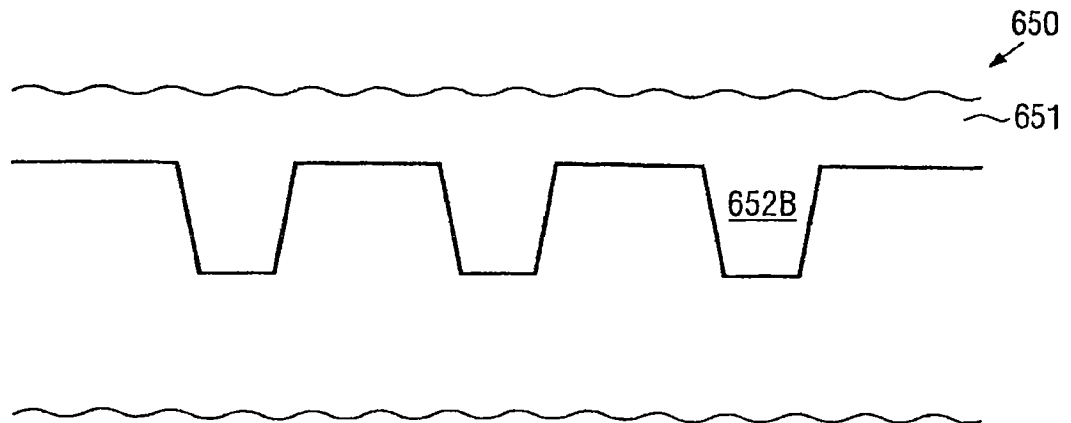


图 6c

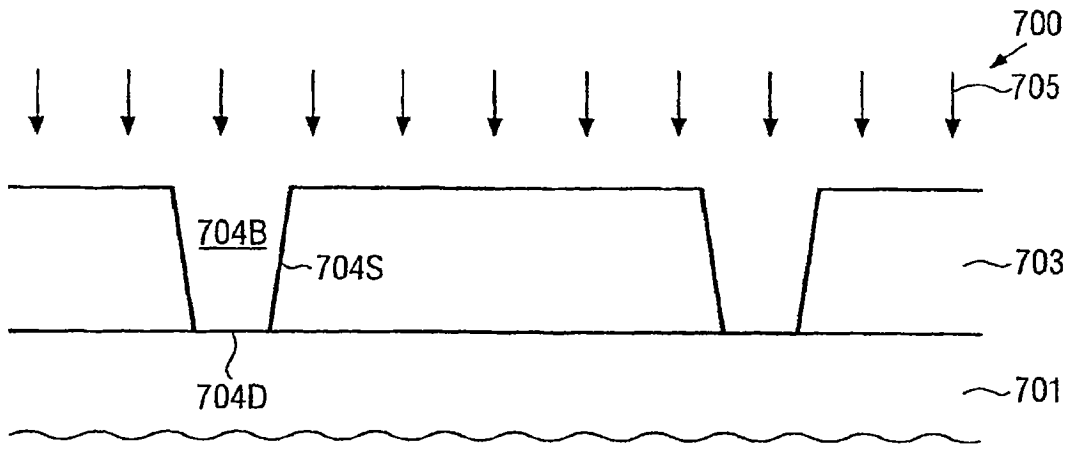


图 7a

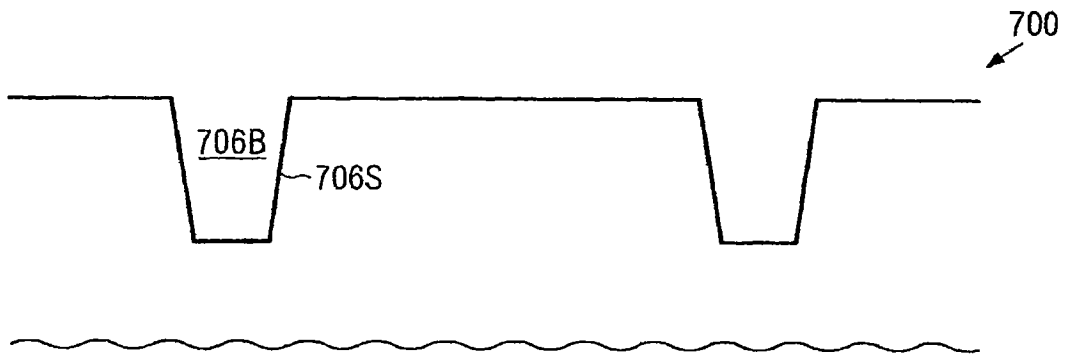


图 7b

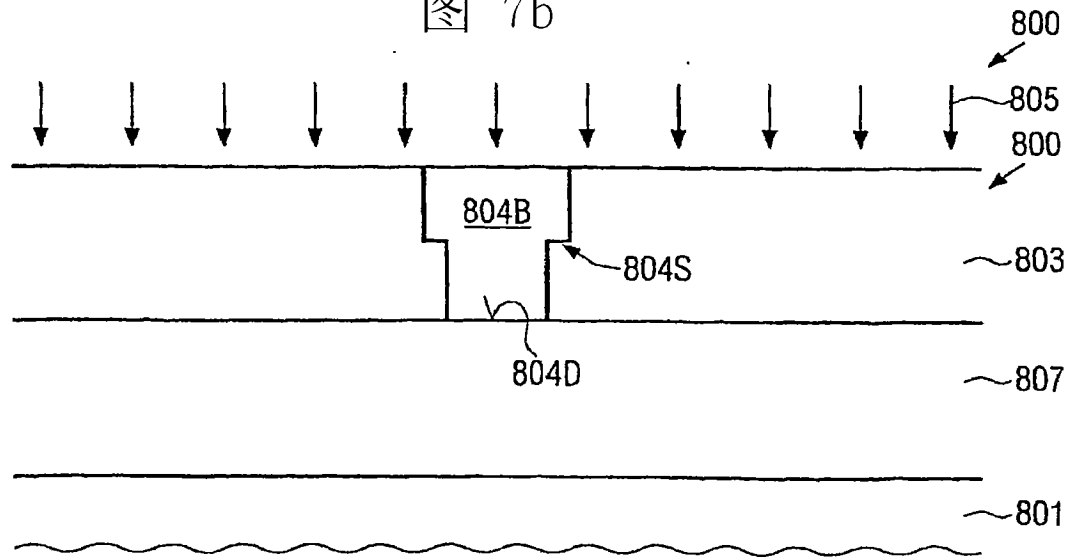


图 8a

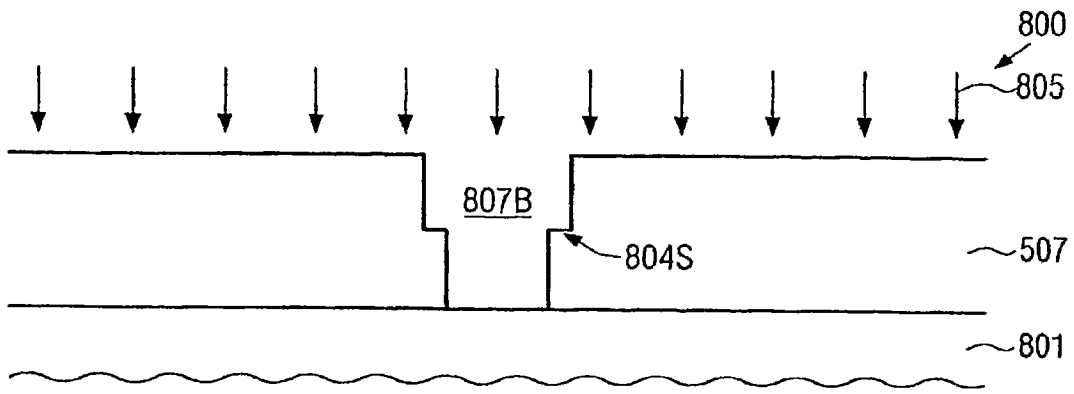


图 8b

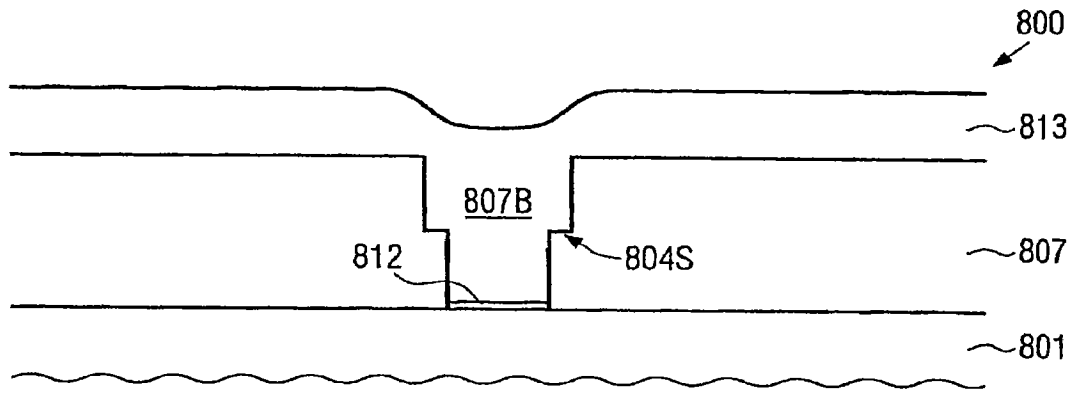


图 8c

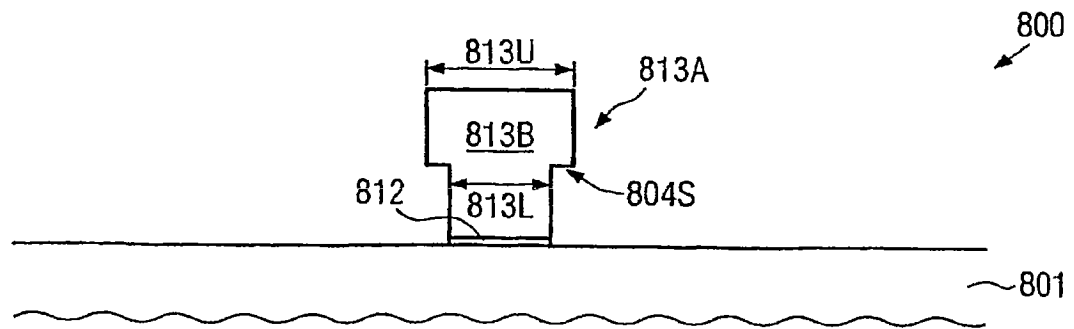


图 8d