



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 842821

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 22.11.79 (21) 2832418/18-21 (51) М. Кл.³

с присоединением заявки № -

G 06 F 11/22

(23) Приоритет -

Опубликовано 30.06.81 Бюллетень № 24

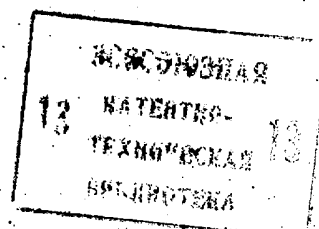
(53) УДК 681.326.74
(088.8)

Дата опубликования описания 30.06.81

(72) Авторы
изобретения

В.Д.Руденко, А.Н.Толкачев и В.Е.Чмут

(71) Заявитель



(54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ЛОГИЧЕСКИХ БЛОКОВ

1

Изобретение относится к вычислительной технике и предназначено для тестового контроля логических блоков.

Известно устройство для испытания логических блоков, содержащее генератор тактов, генератор случайных кодов, эталонный и логический блоки, блок сравнения, блок управления, дешифратор, сумматор по модулю 2, коммутатор [1].

Недостатком известного устройства является недостаточная достоверность контроля вследствие того, что для проверки логического блока в этом устройстве необходимо иметь такой же, но эталонный логический блок, который не всегда может быть в исправном состоянии.

Известно также устройство для контроля логических блоков, содержащее коммутатор, блок усилителей-нормализаторов, магистральную шину, временной дискриминатор, амплитудный дискриминатор, блок ввода-вывода, блок ввода, блок печати, пульт управления, блоки проверки стандартных ячеек, состоящие из блоков установок, компараторов, блоков управления установками, блоков регистра-

2

ции, блок управления, схему или, генератор тестов [2].

Недостаток устройства - низкое быстродействие вследствие того, что генератор теста перебирает все возможные комбинации входных сигналов. Это приводит к избыточности теста и увеличивает время проверки блоков. Кроме того, устройство может проверять только отдельные стандартные логические блоки, для каждого типа которых в устройстве имеется отдельный блок проверки, что ограничивает область применения устройства.

Наиболее близким к предлагаемому является универсальное программируемое устройство сопряжения для испытания цифровых схем, содержащее синхронизатор, соединенный первым выходом с первым входом компаратора, соединенного выходом с первым входом первого блока памяти, соединенного вторым входом со вторым выходом синхронизатора, третий выход которого соединен с первым входом второго блока памяти, соединенного выходом через первый триггер со вторым входом компаратора и первым входом элемента И, со вторым входом которого соединен выход второго триггера,

а с выходом - вход ключа, выход которого соединен с третьим входом компаратора и с выходом устройства. Известное устройство под воздействием теста, поступающего от внешнего блока памяти, формирует стимулирующие сигналы, подаваемые на входы проверяемой цифровой схемы, получает от нее ответные сигналы, сравнивает их с эталонными сигналами и запоминает результаты сравнения. Информация от внешнего блока памяти, в котором хранится тест, передается в регистр данных, первый и второй блоки памяти, по отдельным каналам. Причем, в регистр данных записывается информация о стимулирующих сигналах, в первый блок памяти - данные, определяющие какой из выводов цифровой схемы необходимо закомутировать как вход, а какой как выход. Во второй блок памяти устройства поступают эталонные данные ответных сигналов [3].

Недостаток известного устройства - ограниченная область применения и недостаточное быстродействие. Ограниченность применения обусловлена тем, что при контроле цифровых схем может использоваться только такой внешний блок памяти, в котором имеется по крайней мере три выходных канала, по которым данные о тесте передаются в регистр данных и первый и второй блоки памяти. Например, это устройство нельзя применять с такими внешними блоками памяти, в которых имеется лишь один выходной канал, а именно: с фотосчитывающими механизмами, накопителями на магнитной ленте и т.д. Если в качестве внешнего источника информации использовать ЭВМ, то для подключения к ней известного устройства понадобится занять три выходных канала, которые не всегда могут быть в наличии.

Низкое быстродействие устройства обусловлено тем, что время считывания теста из регистра данных (время одного цикла) определяется количеством разрядов в регистре данных и не зависит от длины теста, так как в устройстве отсутствуют узлы, обеспечивающие уменьшение длительности цикла при уменьшении длины теста. Длина же теста определяется сложностью проверяемой цифровой схемы, и регистр данных в известном устройстве должен содержать такое количество разрядов, чтобы поместить тест максимальной длины. Следовательно, в устройстве время проверки не зависит от длины теста и постоянно, так как равно времени поочередного считывания информации из всех разрядов регистра данных. Это увеличивает время проверки тех цифровых схем, у которых длина теста меньше максимальной величины, т.е. снижает

быстродействие известного устройства и является его недостатком.

Цель изобретения - расширение области применения и повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство для контроля логических блоков, содержащее синхронизатор, соединенный первым выходом с первым входом компаратора, соединенного выходом с первым входом первого блока памяти, соединенного вторым входом со вторым выходом синхронизатора, третий выход которого соединен с первым входом второго блока памяти, соединенного выходом через первый триггер со вторым входом компаратора и первым входом элемента И, со вторым входом которого соединен выход второго триггера, а с выходом - вход ключа, выход которого соединен с третьим входом компаратора и с выходом устройства, введены блок сопряжения, первый, второй, третий, четвертый, пятый и шестой регистры хранения, первый и второй счетчики, первый и второй блоки сравнения и регистр сдвига, причем вход устройства соединен с первым входом блока сопряжения, соединенного выходом с первыми входами первого, второго, третьего и четвертого регистров хранения, первые выходы первого и второго регистров хранения соединены соответственно с первым и вторым входами синхронизатора, выход третьего регистра хранения соединен с первым входом первого блока сравнения, соединенного вторым входом с выходом пятого регистра хранения и первым входом первого счетчика, соединенного выходом со входом пятого регистра хранения, с третьим входом первого блока памяти, вторым входом второго блока памяти и с третьим входом первого блока сравнения, соединенного выходом с третьим входом синхронизатора, соединенного четвертым выходом со вторым входом первого счетчика, пятым выходом - с первым входом второго счетчика, второй вход которого соединен с выходом шестого регистра хранения и первым входом второго блока сравнения, второй вход которого соединен с выходом второго счетчика и со входом шестого регистра хранения, а выход - с четвертым входом синхронизатора, соединенного шестым выходом с первым входом регистра сдвига, выход которого соединен со вторым входом четвертого регистра хранения, третьим входом второго блока памяти и входом второго триггера, второй вход - с выходом первого блока памяти, третий вход - с первым выходом четвертого регистра хранения, соединенного вторым выходом со вторым входом блока сопряжения, а третьим

входом - с седьмым выходом синхронизатора, соединенного пятым входом со вторым выходом блока сопряжения.

На чертеже дана структурная схема устройства.

Устройство для контроля логических блоков содержит четвертый регистр 1 хранения, регистр 2 сдвига, второй триггер 3, ключ 4, выход 5, элемент И 6, вход 7, блок 8 сопряжения, второй 9 и первый 10 регистры хранения, синхронизатор 11, второй блок 12 памяти, первый триггер 13, третий регистр 14 хранения, первый блок 15 сравнения, первый блок 16 памяти, пятый регистр 17 хранения, первый счетчик 18, компаратор 19, шестой регистр 20 хранения, второй счетчик 21, второй блок 22 сравнения.

Устройство работает следующим образом.

На вход 7 устройства поступают информационные сообщения от внешнего блока памяти, например, от ЭВМ. Каждое сообщение состоит из трех служебных и нескольких информационных байтов. Количество информационных байтов определяется числом n выходных каналов устройства и равно $n/8$.

Под каналом понимается вывод проверяемого логического блока, независимо от того, является он входным или выходным. На чертеже показан только один выходной канал устройства. Если устройство строится на n каналов, то оно содержит по n компараторов 19, блоков 12 и 16, триггеров 3 и 13, элементов И 6, ключей 4 и выходов 5 и n -разрядный регистр 2. При проверке логического блока каждый из его выводов подключается к одному из выходов 5 устройства.

Первый из служебных байтов определяет режим работы устройства, второй - номер набора, на котором необходимо произвести останов устройства, а третий - величину задержки выдачи ответных сигналов проверяемого блока.

Устройство работает в режимах коммутации, проверки коммутации, подачи на проверяемый блок контролирующего теста и приема от него логических сигналов в одноходовом и циклическом режимах, останова по номеру кадра, измерения задержки распространения логических сигналов.

При поступлении первого служебного байта на вход 7 устройства блок 8 вырабатывает сигнал синхронизатору 11, который записывает этот байт в регистр 10. Первый байт первого сообщения определяет режим коммутации. Второй байт, приходящий на вход 7 устройства, поступает аналогичным образом в регистр 14, третий - в регистр 9. Затем поступает $n/8$ байтов, определяющих программу коммутации, т.е. какой из каналов ус-

ройства будет входным, а какой - выходным. Каждый из этих $n/8$ байтов сначала по команде синхронизатора параллельно поступает в регистр 1. После этого синхронизатор 11 вырабатывает 8 импульсов сдвига и сдвигает принятый байт в регистр 2 на 8 разрядов, освобождая место для приема очередного байта. После приема всех $n/8$ байтов все n разрядов регистра 2 будут заполнены. Их содержимое переписывается в триггеры 3 каждого канала таким образом, что первый разряд регистра 2 переписывается в триггер 3 первого канала, второй разряд - в триггер 3 второго канала и т.д. Состояние триггера 3 определяет режим канала на все время работы с проверяемым устройством. Если в триггер 3 поступает '1', что определяет режим работы канала, как выход устройства, то на второй вход элемента И 6 поступит разрешающий уровень.

Основной режим работы устройства - подача на проверяемый логический блок и прием от него логических сигналов - режим тестовой проверки.

Блок 8 принимает сообщения в этом режиме аналогично режиму коммутации. Количество сообщений, принимаемое блоком 8 в режиме тестового контроля, определяется длиной теста, т.е. количеством кадров информации, подаваемой на вход проверяемого блока. Под кадром понимается период времени, в течение которого выходные сигналы устройства, поступающие на вход проверяемого блока, остаются неизменными. Каждому кадру соответствует одно сообщение. Тест строится таким образом, что каналы закомутированные, как выходные, записываются стимулирующие сигналы, подаваемые на вход проверяемого блока, а в каналы, закомутированные, как входные - информация об ответных сигналах, которые должны поступить от проверяемого блока.

При приеме теста первый байт, записываемый в регистр 10 в каждом сообщении, определяет режим тестовой проверки. При приеме информационных байтов теста счетчик 18 подсчитывает количество байтов в кадре, а счетчик 21 - количество кадров. После приема последнего кадра содержимое счетчика 18 переписывается в регистр 17, а счетчика 21 в регистр 20, после чего счетчики 18, 21 сбрасываются в нулевое состояние. Информация о тесте из регистра 2 под управлением синхронизатора 11 переписывается в блок 12. Причем информация о первом кадре записывается по первому адресу блока 12, а во втором кадре - по второму и т.д. Количество адресов блока 12 определяется количеством кадров. После приема

всех сообщений о тесте блок 8 вырабатывает сигнал, под воздействием которого и при наличии в регистре 10 байта, определяющего режим тестовой проверки, синхронизатор 11 считывает информацию из блока 12, начиная с первого адреса, определяемого счетчиком 18. Выходное число блока 12 записывается в триггер 13 и через элемент И 6 поступает на ключ 4. Элемент И 6 не пропускает сигналов тех каналов, где в триггер 3 записан '0', т.е. каналов, которые закоммутированы как входы. При последовательном чтении с блока 12 на выходах 5 устройство формирует последовательность логических сигналов, поступающую на входные выводы проверяемого блока, ключ 4 задает величину уровней логической '1' в зависимости от характеристик тех логических элементов, на которых построен контролируемый блок. В ответ на эти сигналы на выходных выводах контролируемого блока появляются сигналы, значения которых необходимо проверить. Они поступают на вход компаратора 19, где происходит логическое сравнение ответного сигнала с уровнем логической '1' или '0' в зависимости от значения ответного сигнала, записанного в блоке 12. При несоответствии ответных сигналов заданному уровню логической '1' или '0' или при их неравенстве ответным сигналам, записанным в блоке 12, компаратор 19 вырабатывает сигнал ошибки, который поступает в блок 16. Запись в блок 16 происходит по тому же адресу, что и в блок 12, так как адрес определяется счетчиком 18. При чтении блока 12 и записи сигналов ошибок в блок 16 счетчик 18 изменяет свой адрес на единицу младшего разряда до тех пор, пока значение адреса блоков 12 и 16 (т.е. счетчика 18) не станет равным коду, записанному в регистре 17. В момент равенства кодов регистра 17 и счетчика 18 блок 15 вырабатывает сигнал, по которому синхронизатор 11 прекращает изменять состояние счетчика 18, блоков 12 и 16. При этом блок 12 прекращает подачу тестовых сигналов на проверяемый блок, а блок 16 - запись ответных сигналов. Если служебным байтом устройству был задан циклический режим, то работа его продолжается установкой счетчика 18 в нулевое состояние, а затем чтением с блока 12 и записью в блок 16, начиная с первого адреса и т.д.

Если служебным байтом устройству была задана однократная проверка, то после прохождения одного цикла устройство переходит к передаче результатов проверки на внешний источник. При этом синхронизатор 11 начинает чтение с блока 16 с первого

адреса. Выходные числа с блока 16 поступают в регистр 2, а затем побайтно из него - в регистр 1 и через блок 8 на вход 7 устройства и поступают в ЭВМ для отображения результатов проверки на дисплее или распечатки на АЦПУ и т.д.

При считывании каждого байта информации из регистра 2 в регистр 1 синхронизатор 11 подает на вход счетчика 21 счетные импульсы после считывания байта. Передача байтов прекращается после того, как в счетчике 21 окажется число, равное числу байтов, записанному в регистре 20. Блок 22 определяет момент равенства чисел. После передачи одного кадра информации счетчик 18 меняет значение адреса на единицу младшего разряда и начинает передачу следующего кадра.

После считывания всех кадров информация из блока 16 в счетчик 18 содержит число, равное числу кадров, записанному в регистре 17, что определяет схему 15 сравнения, прекращая чтение с блока 16 и передачу информации на вход 7.

Таким образом, в предлагаемом устройстве время проверки логических блоков пропорционально количеству кадров теста, а время передачи результатов контроля пропорционально количеству байтов в кадре (количеству контролируемых каналов) и количеству кадров в тесте. В режиме однократной проверки устройство обеспечивает возможность определить, исправен или неисправен контролируемый блок и выявить ошибки в сигналах на его входных и выходных выводах. В циклическом режиме работы устройство производит диагностику логического блока, т.е. локализует обнаруженную неисправность, например, по сигналам на экране осциллографа. Благодаря циклическому режиму проверки на экране осциллографа можно наблюдать осциллограммы сигналов, так как тест на контролируемый блок поступает периодически. В режиме проверки времени появления ответного сигнала на выходе контролируемого блока по отношению ко входным сигналам, в третьем байте каждого сообщения теста содержится код величины задержки выдачи ответных сигналов контролируемого блока. Записанный в регистр 9, этот байт определяет в синхронизаторе 11 время задержки сигнала записи результатов контроля в блоке 16 по отношению ко времени подачи стимулирующих сигналов на контролируемый блок.

В режиме останова по номеру кадра на вход контролируемого блока поступают постоянные логические уровни, а результаты проверки записываются в блок 16. Для этого при передаче теста в регистр 10 поступает байт,

определяющий режим останова по номеру кадра, а в регистр 14 - байт, определяющий номер кадра, на котором должен произойти останов.

Устройство в этом режиме работает как в режиме тестовой проверки. Однако в момент, когда блок 15 фиксирует равенство кодов в счетчике 18 и регистре 14, счетчик 18 прекращает задавать новые адреса блока 12, вследствие чего в триггере 13 и ключе 4 остаются неизменные логические сигналы, которые поступают на вход контролируемого блока. Результаты контроля поступают в блок 16 и с него через блок 8 на вход 7 устройства, как и в режиме тестовой проверки с той разницей, что на вход 7 поступают результаты проверки только по кадру, на котором произошел останов. Для перехода к проверке на следующем кадре в регистр 14 необходимо записать код очередного кадра и т.д.

Режим проверки коммутации следует после коммутации и необходим, как контрольный режим. При коммутации и проверке коммутации контролируемый блок к устройству не подключается.

В режиме проверки коммутации в регистр 10 поступает байт, определяющий этот режим. В качестве теста на вход устройства передается кадр из $n/8$ байтов, во всех разрядах которых записаны единицы. Как и в режиме тестовой проверки, этот кадр поступает по первому адресу в блок 12 и через триггеры 13 и элементы И 6 - на ключи 4. При этом единичные сигналы появляются на выходе тех каналов, которые закоммутированы как выходы, а на входных каналах будут логические нули, так как логическая "1" проходит через элемент И 6 только того канала, в котором в триггер 3 была при коммутации записана "1". Логическая "1" с выхода 5 устройства поступает на вход компаратора 19, сравнивается с ним с "1", записанной в триггере 13 и результат сравнения проверки коммутации поступает в регистр 2 и побайтно передается на вход 7 устройства для определения правильности коммутации и исключения ложных ошибок при контроле блоков.

Таким образом, предлагаемое устройство за счет введения в его состав блока 8, регистров 2, 9, 10, 14, 20 обеспечивает связь с внешним блоком памяти по одному каналу, что обеспечивает его применение с произвольным блоком памяти, каналом связи и т.д., что расширяет его область применения.

С другой стороны, предлагаемое устройство характеризуется высоким быстродействием, так как время контроля логических блоков в нем

определяется количеством кадров в тесте.

Формула изобретения

5 Устройство для контроля логических блоков, содержащее синхронизатор, соединенный первым выходом с первым входом компаратора, соединенного выходом с первым входом первого блока памяти, соединенного вторым входом со вторым выходом синхронизатора, третий выход которого соединен с первым входом второго блока памяти, соединенного выходом через первый триггер со вторым входом компаратора и первым входом элемента И, со вторым входом которого соединен выход второго триггера, а с выходом - вход ключа, выход которого соединен с третьим входом компаратора и с выходом устройства, отличающееся тем, что, с целью расширения области применения и повышения быстродействия, в него введены блок сопряжения, первый, второй, третий, четвертый, пятый и шестой регистры хранения, первый и второй счетчики, первый и второй блоки сравнения и регистр сдвига, причем вход устройства соединен с первым входом блока сопряжения, выходом соединенного с первыми входами первого, второго, третьего и четвертого регистров хранения, первые выходы первого и второго регистров хранения соединены соответственно с первым и вторым входами синхронизатора, выход третьего регистра хранения соединен с первым входом первого блока сравнения, соединенного вторым входом с выходом пятого регистра хранения и первым входом первого счетчика, соединенного выходом со входом пятого регистра хранения, третьим входом первого блока памяти, вторым входом второго блока памяти и с третьим входом первого блока сравнения, соединенного выходом с третьим входом синхронизатора, соединенного четвертым выходом со вторым входом первого счетчика, пятым выходом - с первым входом второго счетчика, второй вход которого соединен с выходом шестого регистра хранения и первым входом второго блока сравнения, второй вход которого соединен с выходом второго счетчика и со входом шестого регистра хранения, а выход - с четвертым входом синхронизатора, соединенного шестым выходом с первым входом регистра сдвига, выход которого соединен со вторым входом четвертого регистра хранения, третьим входом второго блока памяти и входом второго триггера, второй вход - с выходом первого блока памяти, третий вход - с первым выходом

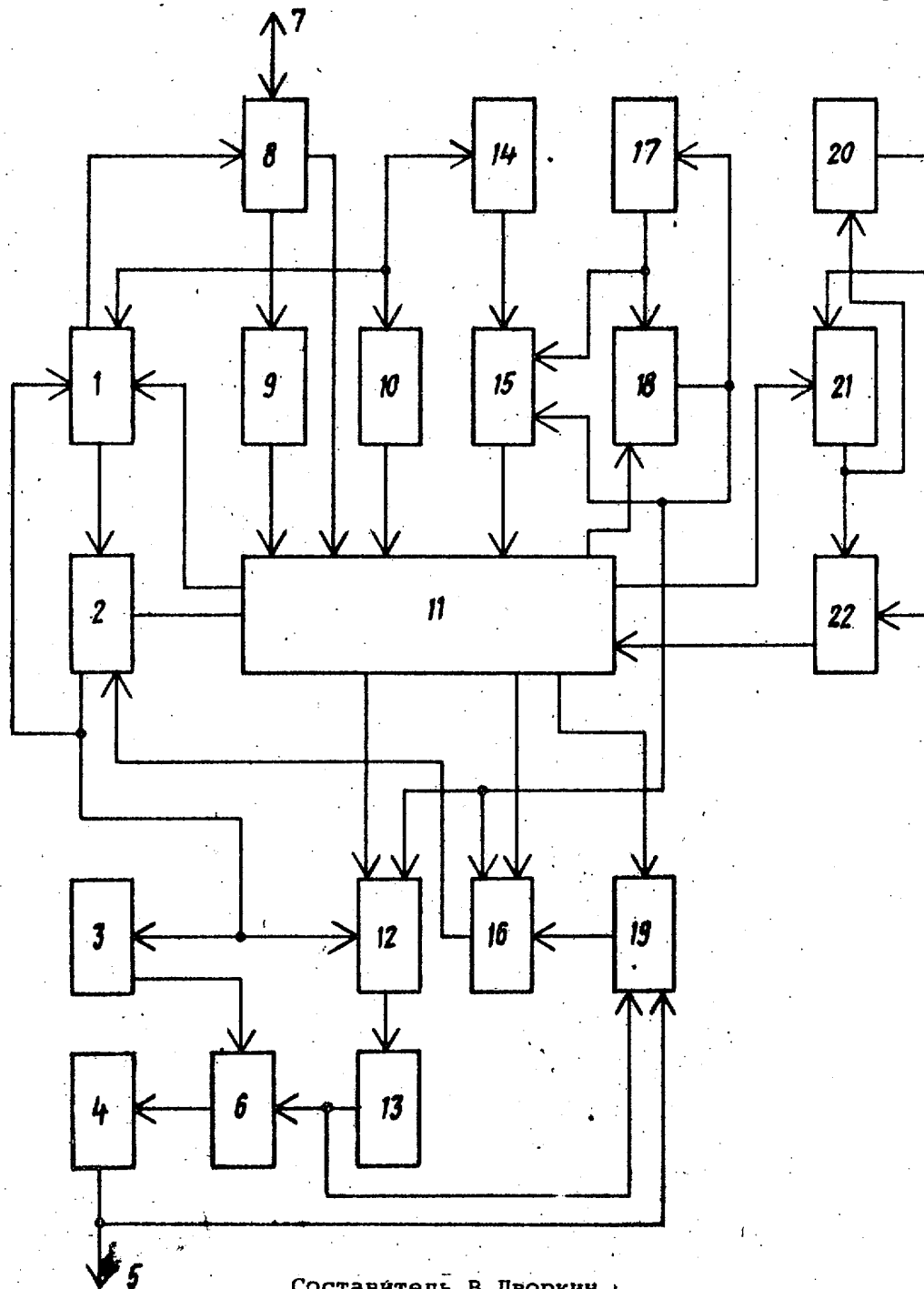
четвертого регистра хранения, соединенного вторым выходом со вторым входом блока сопряжения, а третьим входом - с седьмым выходом синхронизатора, соединенного пятым входом со вторым выходом блока сопряжения.

Источники информации, принятые во внимание при экспертизе:

1. Авторское свидетельство СССР № 551578, кл. G 01 R 31/02, 1976.

2. Авторское свидетельство СССР № 651351, кл. G 06 F 15/46, 1979.

3. Патент США № 3949726, кл. G 01 R 31/00, 1974 (прототип).



Составитель В.Дворкин
Редактор Ю.Серета Техред А. Ач Корректор Н.Стец

Заказ 5103/61 Тираж 745 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4