

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5972016号
(P5972016)

(45) 発行日 平成28年8月17日(2016.8.17)

(24) 登録日 平成28年7月22日(2016.7.22)

(51) Int.Cl.

F I

H O 4 N 5/268 (2006.01)

H O 4 N 5/268

H O 4 N 5/225 (2006.01)

H O 4 N 5/225

Z

請求項の数 4 (全 9 頁)

(21) 出願番号 特願2012-89696 (P2012-89696)
(22) 出願日 平成24年4月10日(2012.4.10)
(65) 公開番号 特開2013-219624 (P2013-219624A)
(43) 公開日 平成25年10月24日(2013.10.24)
審査請求日 平成27年4月10日(2015.4.10)

(73) 特許権者 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(74) 代理人 100126240
弁理士 阿部 琢磨
(74) 代理人 100124442
弁理士 黒岩 創吾
(72) 発明者 西田 徳朗
東京都大田区下丸子3丁目30番2号キヤ
ノン株式会社内

審査官 西谷 憲人

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項 1】

毎秒60フレームの動画信号を出力する撮像手段と、

前記撮像手段から出力された前記動画信号を記憶するメモリと、

前記撮像手段から出力された前記動画信号の偶数フレームを第1の動画信号に割り当て、前記メモリから前記偶数フレームを読み出すことにより毎秒30フレームの前記第1の動画信号を生成するとともに、奇数フレームを第2の動画信号に割り当て、前記メモリから前記奇数フレームを読み出すことにより毎秒30フレームの前記第2の動画信号を生成し、前記第1の動画信号と前記第2の動画信号とを出力する手段であって、所定の出力フォーマットに従って前記第1の動画信号を出力する第1の出力部と、前記所定の出力フォーマットに従って前記第2の動画信号を出力する第2の出力部とを含む出力手段と、

前記第1の出力部による前記第1の動画信号の出力と並列に、前記第2の出力部により前記第2の動画信号を出力する場合に、前記偶数フレームと前記奇数フレームとが共通の同期信号により同じタイミングで読み出されるように前記メモリからの前記偶数フレームと前記奇数フレームの読み出しタイミングを制御することにより、前記第1の動画信号に含まれるフレームと前記第2の動画信号に含まれるフレームとが、同じタイミングで出力されるように、前記第1の動画信号の出力タイミングと前記第2の動画信号の出力タイミングとを制御する制御手段とを備え、

前記制御手段は、前記撮像手段から出力された毎秒60フレームの動画信号における偶数フレームと奇数フレームを各フレームに対応した異なるアドレスに記憶するように前記

10

20

メモリを制御するとともに、前記撮像手段から出力された毎秒60フレームの動画信号における一つの偶数フレームが前記メモリに記憶された後、次の奇数フレームの前記メモリへの記憶が完了する前に、前記メモリからの前記一つの偶数フレームと前記次の奇数フレームの読み出しが開始されるように、前記メモリからの前記偶数フレームと前記奇数フレームの読み出しを制御することを特徴とする撮像装置。

【請求項2】

前記撮像手段が前記毎秒60フレームの動画信号を出力する第1のモードと、前記撮像手段が毎秒30フレームの動画信号を生成する第2のモードの一方を設定する設定手段を備え、

前記制御手段は、前記第1のモードにおいては、前記第1の出力部による前記第1の動画信号の出力と並列に、前記第2の出力部により前記第2の動画信号が出力されるように、前記出力手段を制御し、前記第2のモードにおいては、前記撮像手段から出力された毎秒30フレームの動画信号が前記第1の出力部と前記第2の出力部とから同時に出力されるように、前記出力手段を制御することを特徴とする請求項1に記載の撮像装置。

10

【請求項3】

前記第1の出力部と前記第2の出力部はそれぞれ、SDIフォーマットに従って動画信号を出力することを特徴とする請求項1に記載の撮像装置。

【請求項4】

前記撮像手段から出力された前記毎秒60フレームの動画信号に含まれるR画素、G画素、B画素の比率は4:4:4であり、各画素のデータは10ビットのデジタルデータであることを特徴とする請求項1に記載の撮像装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は撮像装置に関し、特に撮影された動画信号を出力する際の制御に関する。

【背景技術】

【0002】

従来、動画を撮影する撮像装置においては、撮影された動画信号が装置外部に出力されるまでには、撮像素子の特性補正処理や動画信号のフォーマット変換処理など様々な処理回路を経由する。そのため、肉眼で見ている画像と、撮像装置から出力される画像との間では遅延が発生する。

30

【0003】

例えば、撮影された画像をリアルタイムで出力する系統と、画像信号を遅延させて出力する系統を有する装置も提案されている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平11-98396号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0005】

近年では、撮像装置で撮影可能な動画の画素数やフレームレートが大きくなっている。そのため、出力される動画信号のデータ量（データレート）も大きくなっており、SDI（Serial Digital Interface）のように非圧縮の動画を出力するフォーマットで規定されるデータレートを上回ってしまうことがある。

【0006】

そこで、元々1系統の動画信号を複数の系統を用いて出力することが考えられる。

【0007】

しかしながら、従来は、複数の系統を用いて動画を出力する際のフレーム遅延については考慮されていなかった。

50

【 0 0 0 8 】

本発明はこの様な問題を鑑みてなされたものであり、動画信号を複数の系統により出力する際に、動画信号の遅延を適切に制御可能とすることを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

撮像装置は、毎秒 6 0 フレームの動画信号を出力する撮像手段と、前記撮像手段から出力された前記動画信号を記憶するメモリと、前記撮像手段から出力された前記動画信号の偶数フレームを第 1 の動画信号に割り当て、前記メモリから前記偶数フレームを読み出すことにより毎秒 3 0 フレームの前記第 1 の動画信号を生成するとともに、奇数フレームを第 2 の動画信号に割り当て、前記メモリから前記奇数フレームを読み出すことにより毎秒 3 0 フレームの前記第 2 の動画信号を生成し、前記第 1 の動画信号と前記第 2 の動画信号とを出力する手段であって、所定の出力フォーマットに従って前記第 1 の動画信号を出力する第 1 の出力部と、前記所定の出力フォーマットに従って前記第 2 の動画信号を出力する第 2 の出力部とを含む出力手段と、前記第 1 の出力部による前記第 1 の動画信号の出力と並列に、前記第 2 の出力部により前記第 2 の動画信号を出力する場合に、前記偶数フレームと前記奇数フレームとが共通の同期信号により同じタイミングで読み出されるように前記メモリからの前記偶数フレームと前記奇数フレームの読み出しタイミングを制御することにより、前記第 1 の動画信号に含まれるフレームと前記第 2 の動画信号に含まれるフレームとが、同じタイミングで出力されるように、前記第 1 の動画信号の出力タイミングと前記第 2 の動画信号の出力タイミングとを制御する制御手段とを備え、前記制御手段は、前記撮像手段から出力された毎秒 6 0 フレームの動画信号における偶数フレームと奇数フレームを各フレームに対応した異なるアドレスに記憶するように前記メモリを制御するとともに、前記撮像手段から出力された毎秒 6 0 フレームの動画信号における一つの偶数フレームが前記メモリに記憶された後、次の奇数フレームの前記メモリへの記憶が完了する前に、前記メモリからの前記一つの偶数フレームと前記次の奇数フレームの読み出しを開始されるように、前記メモリからの前記偶数フレームと前記奇数フレームの読み出しを制御する。

【発明の効果】

【 0 0 1 0 】

動画信号を複数の系統により出力する際に、動画信号の遅延を適切に制御可能となる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】本発明の実施形態における撮像装置のブロック図である。

【図 2】本発明の実施形態における 6 0 f p s の動画信号を出力する場合のタイミングチャートである。

【図 3】本発明の実施形態における 3 0 f p s の動画信号を出力する場合のタイミングチャートである。

【図 4】本発明の実施形態における動画信号の出力処理を示すフローチャートである。

【発明を実施するための形態】

【 0 0 1 2 】

本発明の実施形態について、図面を用いて詳細に説明する。図 1 は、本発明の実施形態にかかわる撮像装置 1 0 0 の構成を示すブロック図である。

【 0 0 1 3 】

図 1 において、撮像部 1 0 1 はレンズ、撮像素子等を有し、被写体像を撮影して動画信号を取得する。撮像部 1 0 1 により取得される動画信号の画素数やフレームレート（単位時間あたりのフレーム数）は、制御部 1 0 3 により制御される。画像処理部 1 0 2 は、撮像部 1 0 1 により取得された動画信号に対し、様々な処理を施す。例えば、画像処理部 1 0 2 は、撮像素子の各画素のゲイン特性の補正、ホワイトバランスの補正、レンズと撮像素子の形状差により発生する周辺光量不足の補正などの処理を行う。画像処理部 1 0 2 は、各種の処理を施した動画信号をメモリ 1 0 5 に出力する。メモリ 1 0 5 は S D R A M と

このSDRAMに対する信号の書き込み、読み出しを制御するメモリ制御部とを有する。メモリ105による動画信号の書き込み、読み出し処理は制御部103により制御される。

【0014】

制御部103はCPU114を有し、ROM108に記憶されたプログラム(ソフトウェア)に従って撮像装置100の各部を制御する。具体的には、制御部103は、撮像部101のレンズユニットに対して、ズーム制御やフォーカス制御を、撮像素子に対しては駆動同期信号の生成を行い、撮影フレームレートの設定などを行う。また、制御部103は、画像処理部102には各種補正制御や制御パラメータの送信や受信などを行う。また、制御部103は、メモリ105に対しては記録アドレスの設定や書き込み、読み出しの制御を行う。また、制御部103は、出力部104には外部IF110~113から動画信号を出力するための同期信号の生成や出力のON/OFFなどを行う。また、制御部103は、表示部106に撮像部101からの動画や各種の情報を表示する。また、制御部103は、メモリ105による動画信号の書き込み、読み出しタイミングを制御するための各種の同期信号などを生成する同期信号生成部115を有する。また、制御部103は、メモリ105に対する動画信号の書き込み、読み出しのフレームアドレスを制御するためのアドレス制御部116を有する。

10

【0015】

出力部104は、メモリ105より読み出した動画信号を外部インターフェイス(IF)110-113より所定の伝送路を介して装置外部に出力する。外部I/F110-113はそれぞれ、SDIに従って動画信号を出力する。SDIにおける伝送フォーマットは、SMPTE(Society of Motion Picture and Television Engineers)により伝送フォーマットが細かく規格化されている。例えば、サンプリング構造やピクセル深度、フレームレートなどが指定されている。3G-SDI規格の場合、出力可能な動画信号は、画角が水平1920画素×垂直1080画素、サンプリング構造RGB444であれば、30フレーム毎秒(fps)までと決められている。

20

【0016】

出力部104は、メモリ105より読み出した動画信号を伝送フォーマットに準拠する形態に変更した後、外部IF110-113に出力する。また、外部IF110-113の一つ、或いは、全てを使って動画信号を出力することが可能である。ユーザは操作部107を操作することにより、動画信号を出力するための外部IFを選択することができる。

30

【0017】

表示部106は液晶パネル等の表示装置を有し、撮像部101により得られた動画や各種の情報を表示する。操作部107はユーザが操作可能な各種のボタン、スイッチ等を有する。ROM108はCPU114の動作プログラムを記憶する。RAM109は制御部103によるワークメモリとして使用される。

【0018】

次に、撮像装置100により撮影した動画信号を外部に出力する際の処理について説明する。本実施形態では、撮像部101により撮影される動画信号の画素数を横1920画素×縦1080画素とする。また、撮像部101における撮像素子からの画像信号の読み出し方法はプログレッシブ方式、サンプリング構造をRGB444、各画素のデータを10bitとする。また本実施形態では、撮影する動画のフレームレートを、60fpsと30fpsの間でユーザが任意に設定できる。

40

【0019】

図2、図3は撮像装置100における動作タイミングチャートである。図2は60fpsの動画を撮影した場合の動作を示し、図3は30fpsの動画を撮影した場合を示している。3G-SDI規格では、水平1920画素×垂直1080画素、サンプリング構造RGB444の60fpsの動画を出力することができない。そのため、本実施形態では

50

、60fpsの動画を撮影した場合、この1系統の60fpsの動画信号から2系統の動画信号を生成して出力する。また、30fpsの動画を撮影した場合、30fpsの動画信号を1系統の動画信号として出力する。

【0020】

図2、3において、SYSTEM SYNC201は撮像装置100の内部で基準となる同期信号である。本実施形態では、SYSTEM SYNC201の周波数は60Hzとしている。このSYSTEM SYNC201に合わせて制御部103から各ブロックに命令が出力される。SENSOR SYNC202は撮像部101の撮像素子の駆動のための同期信号である。このSENSOR SYNC202に同期して撮像素子から電気的情報を読み出す。SYSTEM SYNC201とSENSOR SYNC202はある位相差をもって同期している。書き込みフレームアドレス203は制御部103からメモリ105に出力される書き込み用フレーム番号の情報である。画像処理部102から送信される各フレームの動画信号は、このフレーム番号に従いメモリ105の指定アドレスに書き込まれる。制御部103はSYSTEM SYNC201に同期してフレーム番号を出力し、メモリ105はSENSOR SYNC202に同期して書き込みフレームアドレスを取得する。メモリ105の容量によって記憶可能なフレーム数は決まっている。そのため、制御部103は、メモリ105に記憶される動画信号が容量オーバーとならないようにフレームアドレスの値を設定する。

10

【0021】

入力フレーム204は、撮像部101から読み出されてメモリ105に書き込まれるフレームを示している。撮像部101はSENSOR SYNC202に同期して各フレームの動画信号を出力する。撮像部101から出力された各フレームの動画信号は、画像処理部102による処理に要する時間遅延されてメモリ105に出力される。なお、画像処理部102による遅延時間は所定の時間であり、フレーム周期に比べると非常に短い。

20

【0022】

出力同期205は、動画信号を出力する際の同期信号である。撮影画角1920×1080で、RGB444の10bitの動画信号を、3G-SDI規格に従って出力するために、1系統の動画信号のフレームレートは30fpsが上限である。そのため、出力同期205の周波数は30Hzである。SYSTEM SYNC201と出力同期205は、ある位相差を持って同期している。

30

【0023】

読み出しフレームアドレス206、208はそれぞれ、制御部103からメモリ105に送信される読み出し用フレーム番号の情報である。制御部103はSYSTEM SYNC201に同期してフレーム番号を出力し、メモリ105は出力同期205に同期してフレームアドレスを取得する。このフレームアドレスにより、メモリ105から動画信号が読み出される。出力フレーム207、209は、メモリ105から読み出された動画信号を示している。各出力フレームは、出力同期205に同期している。尚、メモリ105の書き込みコマンドや読み出しコマンドも制御部103が出力する。

【0024】

このように、撮像部により取得された動画信号は一旦、メモリ105に記憶されるため、出力するまでに遅延が発生していることがわかる。

40

【0025】

まず、60fpsの動画を撮影、出力する場合の処理について図2を用いて説明する。動画のフレームレートは60fpsであるので、SYSTEM SYNC201とSENSOR SYNC202は同じ周波数である。制御部103から書き込み用フレームアドレス203がSYSTEM SYNC201に同期してメモリ105に出力される。メモリ105は、SENSOR SYNC202に同期して各フレームの動画信号を記憶する。つまり、メモリ105には1秒間に60フレームの動画信号が書き込まれることになる。メモリ105の容量にも依存するが、メモリ105に書き込まれる動画信号が容量をオーバーしないように制御部103によって制御する。

50

【 0 0 2 6 】

この様にメモリ 1 0 5 に書き込まれた 6 0 f p s の動画信号を読み出す際に、2 系統の動画信号として読み出し、外部 I F 1 1 0 - 1 1 3 の何れか二つを用いて出力する。1 フレーム毎に第 1 の系統と第 2 の系統の動画信号に分割し、第 1 の系統には偶数フレームを、第 2 の系統には奇数フレームを割り当てる。即ち、取得された 1 系統の動画信号を、2 系統の動画信号に対して 1 フレーム 1 おきに交互に割り当てる。

【 0 0 2 7 】

そして、本実施形態では、各系統の動画信号のために、共通の出力同期信号 2 0 5 を生成する。一方、各系統の動画信号のために、独立に、読み出し用フレームアドレス 2 0 6 、 2 0 8 を生成して出力する。この構成にすることで、各系統の動画信号における各フレーム出力タイミングが、同じタイミングとなるように遅延時間を制御することが可能となる。

10

【 0 0 2 8 】

図 2 では、メモリ 1 0 5 にフレーム 0 の信号の書き込みに続いてフレーム 1 の書き込みが開始された後、フレーム 1 の書き込みが完了する前に、メモリ 1 0 5 からフレーム 0 とフレーム 1 の読み出しが開始されている。即ち、2 系統の動画信号において同時に出力される偶数フレームと奇数フレームのうち、奇数フレームのメモリ 1 0 5 への書き込み開始後、この奇数フレームの書き込みが完了する前に、偶数フレームと奇数フレームを読み出す。なお、第 1 の系統に奇数フレームを割り当て、第 2 の系統に偶数フレームを割り当てた場合には、同時に出力される偶数フレームと奇数フレームのうち、偶数フレームの書き込みが完了する前に、偶数フレームと奇数フレームを読み出す。即ち、同時に出力される複数のフレームのうち、最後のフレームのメモリ 1 0 5 への書き込みが完了する前に、これら複数のフレームを読み出すように制御する。

20

【 0 0 2 9 】

この場合、出力同期 2 0 5 は S E N S O R S Y N C 2 0 1 よりも周波数が低いので、メモリ 1 0 5 から読み出されるフレーム番号が、書き込み中のフレーム番号を追い越すことはない。

【 0 0 3 0 】

このように、6 0 f p s の動画を撮影した場合、この 1 系統の動画を、それぞれのフレームレートが 6 0 f p s よりも低い 3 0 f p s となるように複数の系統の動画に分けて出力する。その際、各系統の動画に含まれる各フレームの出力タイミング（位相）が同じになるように制御することにより、共通の出力同期信号により 2 系統の動画信号を出力することが可能となる。そのため、系統ごとに同期信号を生成する必要がなく、同期信号を生成するための回路規模を削減することができる。

30

【 0 0 3 1 】

次に、3 0 f p s の動画を撮影、出力する場合の処理について、図 3 を用いて説明する。なお、図 3 では、外部 I F 1 1 0 - 1 1 3 のうちの二つを使い、同じ 3 0 f p s の動画信号を同時に出力する場合を示しているが、もちろん、1 系統の動画信号を出力する構成でもよい。

【 0 0 3 2 】

動画信号のフレームレートは 3 0 f p s であるので、S E N S O R S Y N C 2 0 2 は S Y S T E M S Y N C 2 0 2 の半分の周波数の同期信号となっている。制御部 1 0 3 から書き込み用フレームアドレスが S Y S T E M S Y N C 2 0 1 に同期して出力されるが、図 3 の場合、S Y S T E M S Y N C 2 0 1 の二回に一回の割合で書き込みフレームアドレスが出力される。メモリ 1 0 5 は、S E N S O R S Y N C 2 0 2 に同期して各フレームの動画信号を記憶する。つまり、メモリ 1 0 5 には 1 秒間に 3 0 フレームの動画信号が書き込まれることになる。ここで、6 0 f p s の動画信号を撮影する時と同様に、メモリ 1 0 5 に書き込まれる動画信号がメモリ 1 0 5 の容量をオーバーしないように制御部 1 0 3 によって制御する。

40

【 0 0 3 3 】

50

メモリ 105より動画信号を読み出す場合、動画信号のフレームレートは30fpsであるので、外部IF110-113の何れか一つにより1系統の動画信号として出力可能である。また、外部IF110-113のうちの二つを使い、同じ30fpsの動画信号を同時に出力することもできる。また、制御部103は、第1の系統の読み出しフレームアドレス206と、第2の系統の読み出しフレームアドレス208に対し、同じ値を出力する。

【0034】

図3では、メモリ105にフレーム0の信号の書き込みが開始された後、書き込みが完了する前に、メモリ105からフレーム0の信号の読み出しが開始され、第1、第2の系統の動画信号として出力される。また、出力同期205はSENSOR SYNC201よりも周波数が低いので、メモリ105から読み出されるフレーム番号が、書き込み中のフレーム番号を追い越すことはない。

10

【0035】

この様に、30fpsの動画を撮影する場合にも、出力される動画信号を最短の遅延時間で出力することが可能である。

【0036】

以上の動作を、図4のフローチャートを用いて説明する。図4は、撮影された動画を外部に出力する際の出力タイミングの制御を示すフローチャートである。図4の処理は制御部103により実行される。

【0037】

20

ユーザが操作部107を操作して電源スイッチを投入すると、制御部103は、動画のフレームレートを所定のフレームレートに設定する。そして、この所定のフレームレートで撮影された動画が表示部106に表示される。この状態でユーザが操作部107を操作して、撮影する動画のフレームレートを変更する(S401)。動画のフレームレートが設定された場合、制御部103は、設定されたフレームレートに応じて書き込みフレームアドレスを設定する(S402)。次に、制御部103は、設定されたフレームレートに基づいて、撮影された動画信号を複数系統の動画信号に分割して出力するか否かを判別する(S403)。

【0038】

前記のように、フレームレートが60fpsで、3G-SDIに従って動画を出力する場合、2系統の動画信号に分割して出力する必要がある。その場合、制御部103は、各系統の動画信号を出力するための出力同期信号として、複数の系統の動画信号のための出力同期信号を生成する(S404)。この時、2系統の動画信号において同時に出力される偶数フレームと奇数フレームのうち、メモリ105への奇数フレームの書き込みが完了する前に、偶数フレームと奇数フレームを読み出すように出力同期信号が生成される。また、制御部103は、各系統の動画信号を出力するために独立に読み出しフレームアドレスを生成する(S405)。

30

【0039】

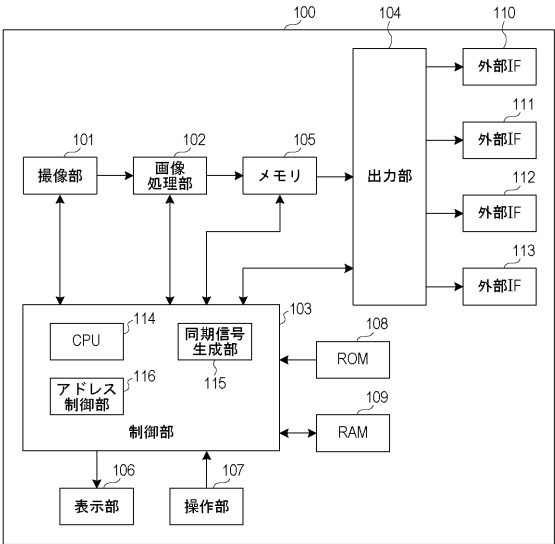
一方、撮影された動画信号を複数系統に分割せずに出力できる場合、制御部103は、一つの出力同期信号を生成する(S406)。例えば、図3に示す様に、同じ動画信号を複数の外部IFから出力する場合であっても、制御部103は、各外部IFから出力される動画信号のために、共通の出力同期信号を生成して出力する。また、制御部103は、一つの読み出しフレームアドレスを生成する。例えば、図3に示す様に、同じ動画信号を複数の外部IFから出力する場合であっても、制御部103は、各外部IFから出力される動画信号のために、共通の読み出しフレームアドレスを生成して出力する。

40

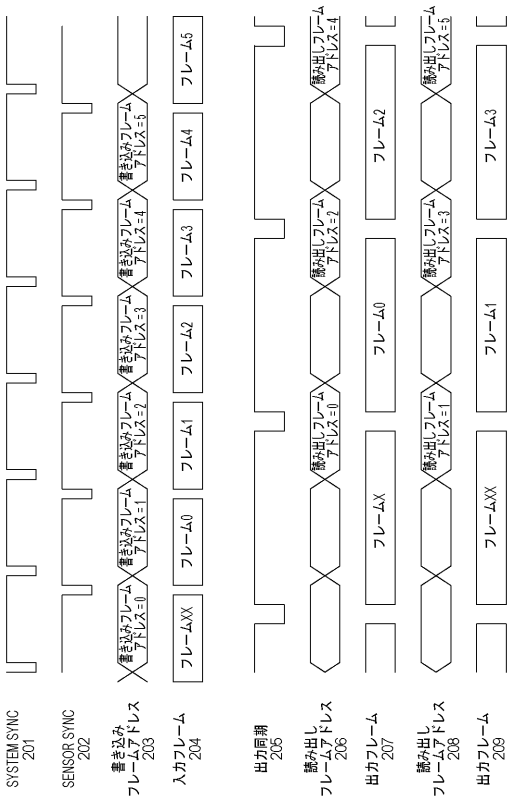
【0040】

本実施形態では、60fpsの動画信号を2系統の動画信号に分割して出力する構成であったが、これ以外のフレームレートの動画信号を3系統以上の動画信号に分割して出力する構成とすることも可能である。

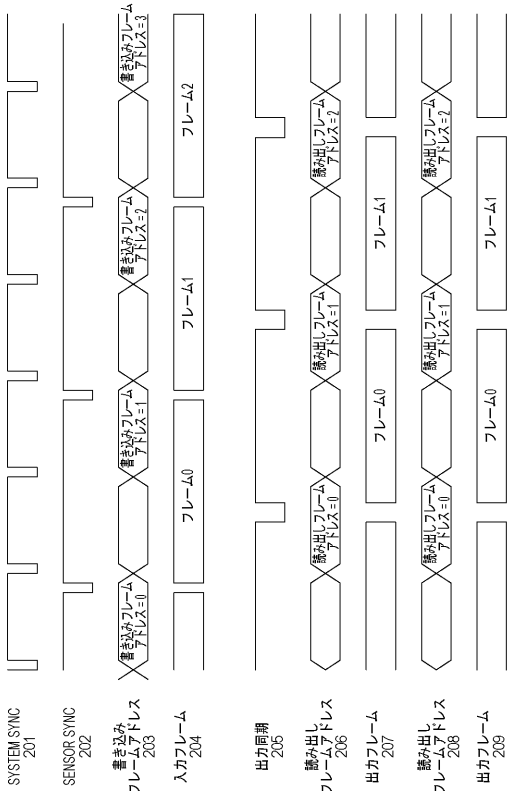
【図 1】



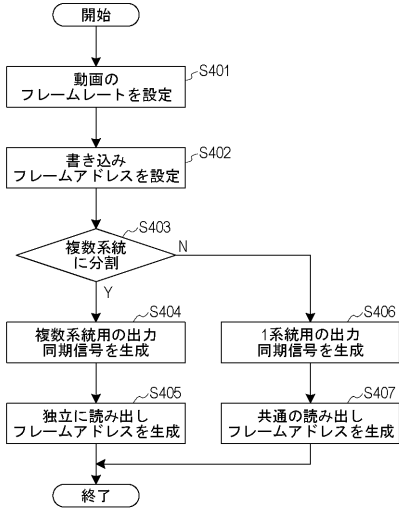
【図 2】



【図 3】



【図 4】



フロントページの続き

(56)参考文献 特開 2 0 1 1 - 0 6 1 3 2 7 (J P , A)
特開 2 0 0 2 - 0 1 0 1 2 9 (J P , A)
特開平 1 1 - 2 8 9 4 9 3 (J P , A)
特開 2 0 0 1 - 1 8 6 4 8 4 (J P , A)
特開 2 0 0 2 - 2 7 1 7 8 6 (J P , A)
特開 2 0 1 1 - 1 7 6 6 3 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 N	5 / 2 6 8
H 0 4 N	5 / 2 2 5
H 0 4 N	7 / 0 1